



筑波大学
University of Tsukuba

ニュートリノ崩壊光探索のための SOI-STJの研究開発IV

八木俊輔、金信弘、武内勇司、武政健一、木内健司、笠原宏太、先崎蓮、森内航也、
A美馬寛、B新井康夫、B倉知郁生、B羽澄昌史、C石野宏和、D吉田拓生、
D広瀬龍太、E加藤幸弘、F松浦周二、G池田博一、G和田武彦、G長瀬晃一、H志岐成友、
H浮辺雅宏、H藤井剛、H大久保雅隆、
I Erik Ramberg、I Mark Kozlovsky、I Paul Rubinov、I Dmitri Sergatskov、J Soo-Bong Kim

筑波大数理、A理研、BKEK、C岡山大、D福井大、E近畿大、F関西学院大、
GJAXA、HAIST、IFermilab、JSeoul Nat'l. Univ.

講演番号 : 25aSN-8

登録番号 : 3442



目次

- **動機**
 - ニュートリノ崩壊
 - 超伝導トンネル接合素子光検出器
- **検出器からの信号の読み出し**
 - 極低温環境下での信号増幅
 - 極低温環境下で動作するトランジスタ
- **完全空乏型SOI-FETの電流電圧特性**
 - サイズ依存性
 - 温度依存性

ニュートリノ崩壊光探索

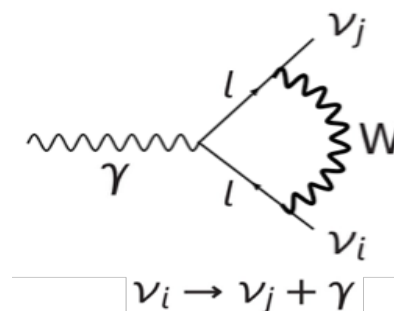
● ニュートリノ崩壊

崩壊に伴う光子のエネルギーと測定済みの質量自乗差から、ニュートリノ質量を決定できる。

$$\text{精度よく測定} \quad E_\gamma = \frac{m_3^2 - m_2^2}{2m_3} \quad \text{ニュートリノ振動実験}$$

- ニュートリノは長寿命 (T 10^{12} 年 : COBE + AKARI)
 - ✧ 大量のニュートリノ源が必要となる。
 - 宇宙背景ニュートリノを用いる

ニュートリノ崩壊図



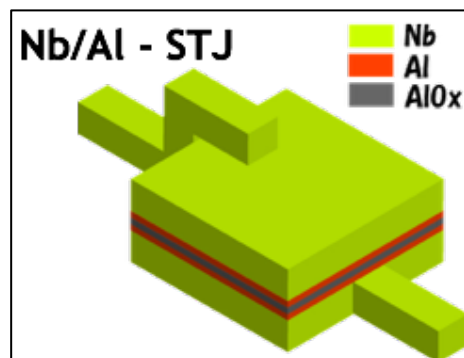
予想される崩壊エネルギーは、約25meV(波長換算 : 50um)

- テラヘルツ光検出可能な光検出器

超伝導検出器の導入

超伝導トンネル接合素子光検出器

超伝導トンネル接合素子 (Superconducting Tunnel Junction : STJ)



超伝導体 / 絶縁体 / 超伝導体のサンドイッチ構造

STJの動作プロセス

1. 超伝導体に光子が入射
2. その光子がクーパー対を壊し、準粒子生成
3. 準粒子が絶縁膜をトンネルし、それを電流として観測

Nb / Al - STJ 準粒子生成個数

$$N_q = G_{al} \cdot \frac{E_0}{1.7 \times \Delta}$$

G_{al} : トラッピングゲイン
 E_0 : 放射線のエネルギー
 Δ : 超伝導体のエネルギーギャップ

25meVの1光子に対する準粒子発生個数

$$N_q = 10 \cdot \frac{25\text{meV}}{1.7 \times 1.550\text{meV}} = 95e(= 10\text{pA})$$

	Tc [K]	Δ [meV]
Si		1100
Nb	9.23	1.550
Al	1.20	0.172

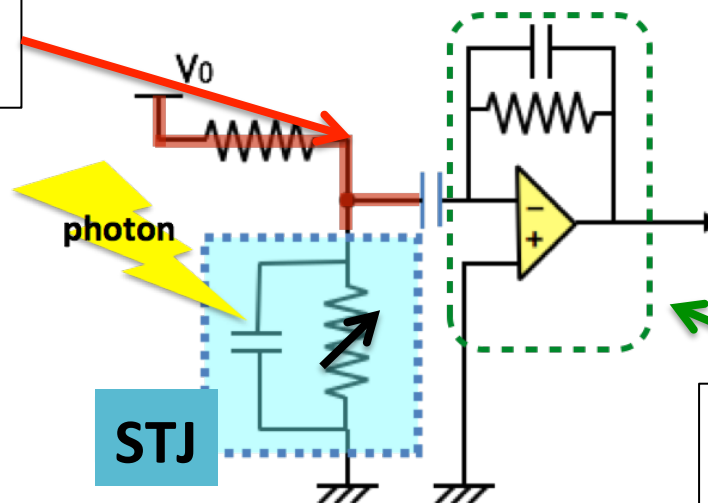
STJからの信号読み出し

① 常温環境下への長い配線

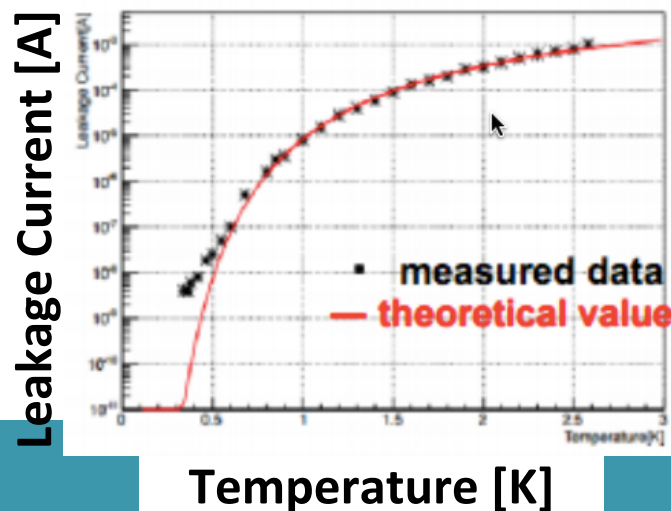
① 常温環境下への長い配線

- ・ 伝送損失
- ・ 外部からの電磁雑音
- ・ 配線の熱雑音

② 増幅器自体の熱雑音



② 増幅器の熱雑音



STJからの信号が雑音に埋もれてしまう

これらの問題を解決するために、
STJ直近の極低温環境で動作する前置増幅器を導入する

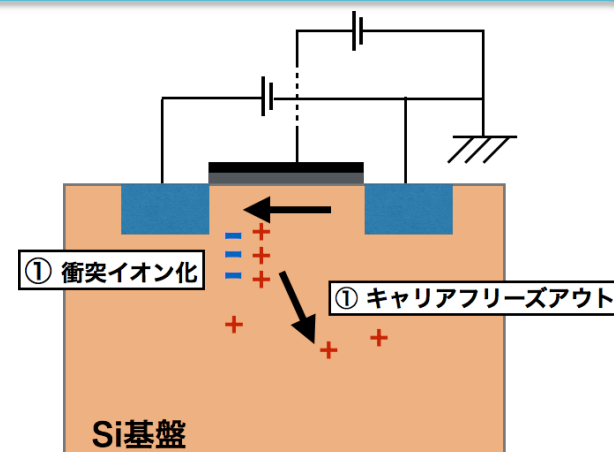
トランジスタの極低温特性

● Bulk CMOS

極低温環境下では、キャリアの移動度が高くなる

- ① 衝突イオン化
- ② キャリアフリーズアウト

➢ Bodyの電位が変動し、誤作動が生じる



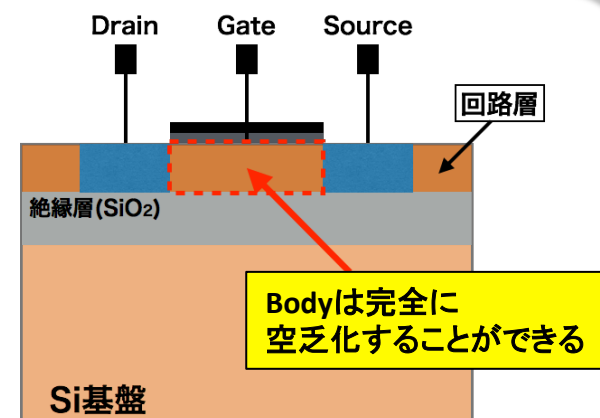
● 完全空乏型SOI

- ・ キャリアフリーズアウトの抑制
- ・ JAXAはFD-SOI-FETが4Kで動作したことを確認

Development of cryogenic readout electronics using fully-depleted-silicon-on-insulator CMOS process for future space borne far-infrared image sensors

Hirohisa Nagata*, Takehiko Wada*, Hirokazu Ikeda*, Yasuo Arai† and Morifumi Ohno**

AIPC 1185, 286-289 (2009)





トランジスタの極低温特性

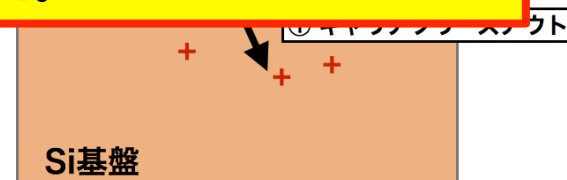
● Bulk CMOSでは？

極低温環境下では、キャリアの移動

- ① 衝突イオン化
- ② キャリアフリーズアウト

➤ Bodyの電位に調整が困難になる

- 極低温用増幅器に用いるトランジスタとして、FD-SOIプロセスで形成されたMOSFETを採用する。
- FD-SOI-FETの極低温環境下でのトランジスタの特性を調べるため測定を行っていった。



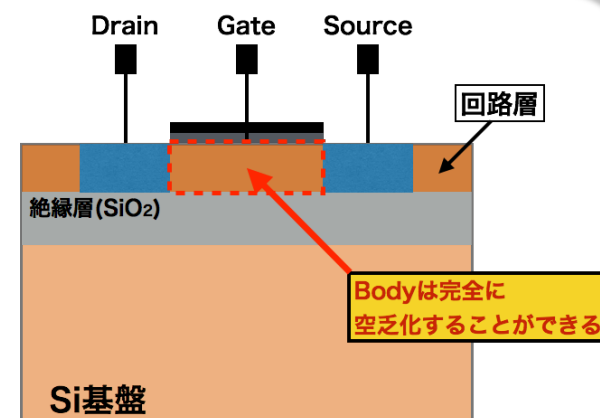
● 完全空乏型SOIでは？

- フリーズアウトの抑制
- JAXAはFD-SOI-FETが4Kで動作したことを確認

Development of cryogenic readout electronics using fully-depleted-silicon-on-insulator CMOS process for future space borne far-infrared image sensors

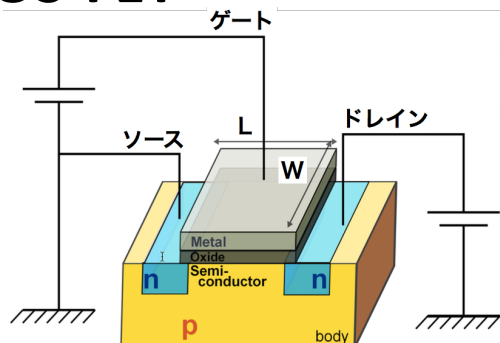
Hirohisa Nagata*, Takehiko Wada*, Hirokazu Ikeda*, Yasuo Arai† and Morifumi Ohno**

AIPC 1185, 286-289 (2009)



トランジスタの電流電圧特性

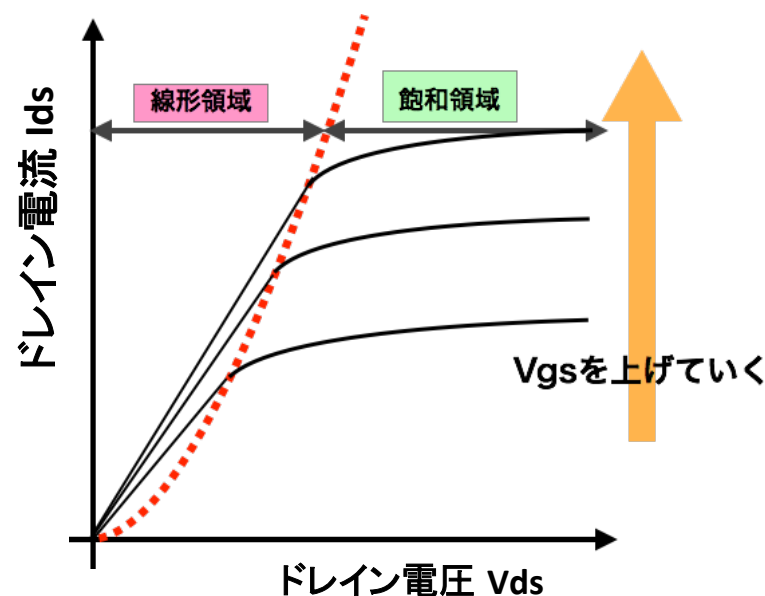
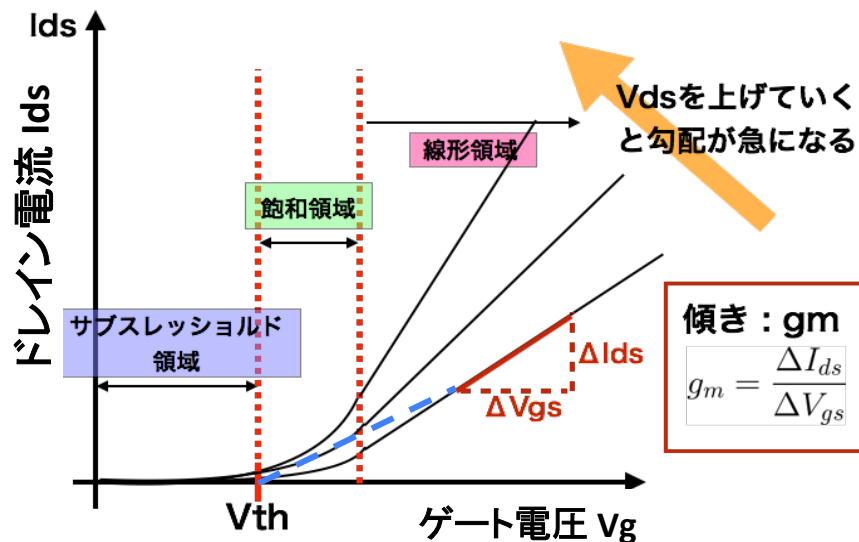
N型MOS-FET



ドレイン電流依存性

$$I_{ds} \propto \mu \cdot \frac{W}{L}$$

- μ : キャリアの移動度
- W : チャネル幅
- L : チャネル長





測定したFET 詳細

- 極低温環境下で使用する増幅器を設計するために、シミュレーションが必要
 - しかし、極低温環境下でのFETの電流電圧特性モデルが構築されていない
- モデル構築のためにn型、p型について様々なサイズのFETを測定した

今回測定したFETのサイズ一覧

Nch		L [um]		
		0.4	1	5
W[um]	1	✓	✓	✓
	2	✓	✓	
	10	✓	✓	☆

Pch		L [um]		
		0.4	1	5
W[um]	1	✓	☆	☆
	2	✓	☆	
	10	✓	☆	☆

✓ : 測定済み
☆ : 測定予定

- L = 1umで固定して、ドレイン電流のW依存性を検証
- 同様に、W = 1umで固定して、ドレイン電流のL依存性を検証



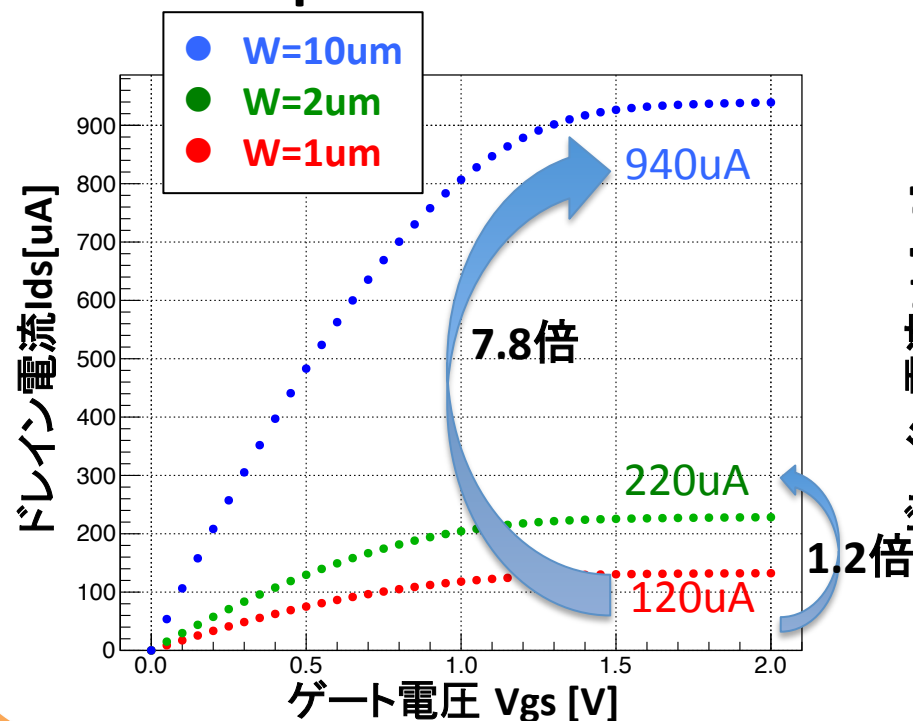
ドレイン電流 チャンネル幅依存性

Nch L = 1 μ m I_{ds} VS V_{ds} (V_{gs} = 2.0V)

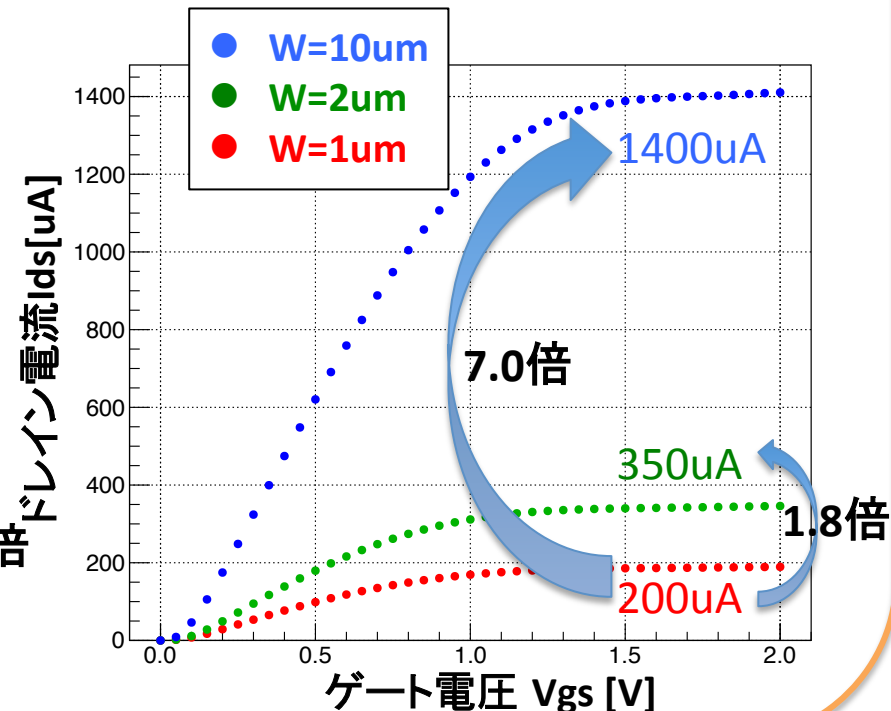
一般的にドレイン電流は

$$I_{ds} \propto W$$

Temperature : room



Temperature : 3K





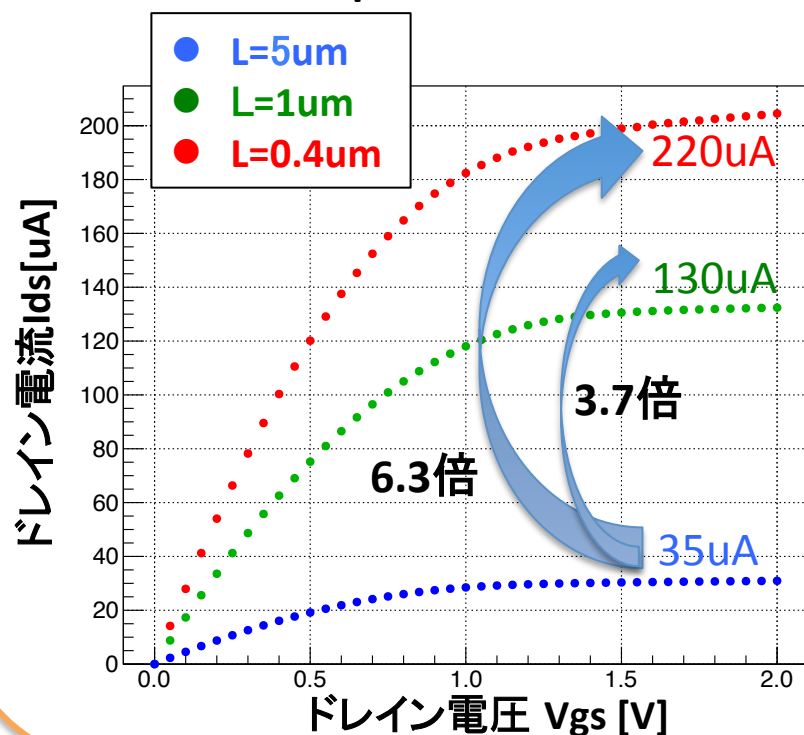
ドレイン電流 チャンネル長依存性

Nch W = 1um I_{ds} VS V_{ds} ($V_{gs} = 2.0V$)

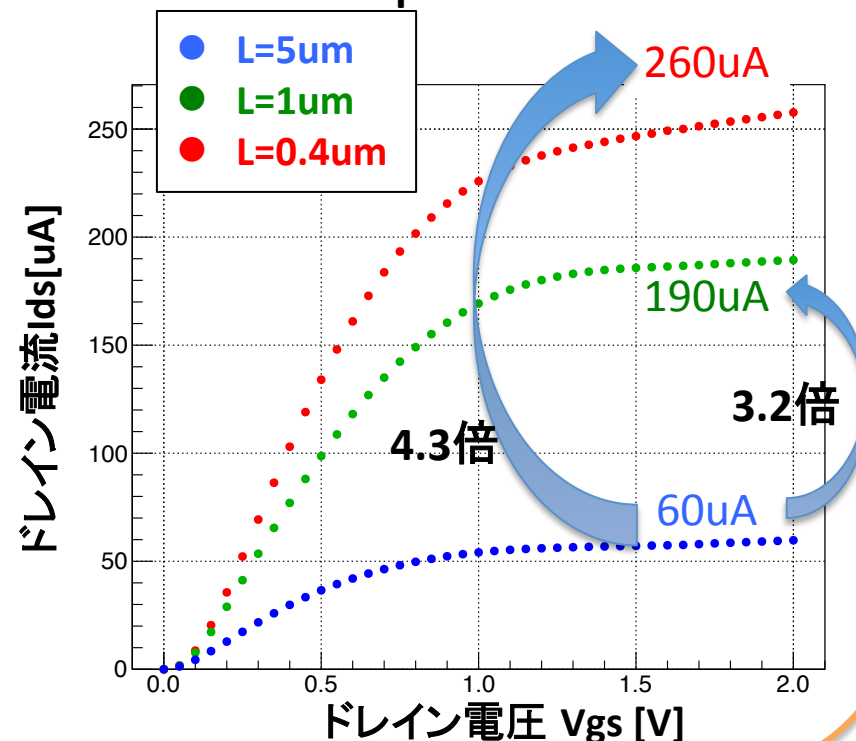
一般的にドレイン電流は

$$I_{ds} \propto 1/L$$

Temperature : room



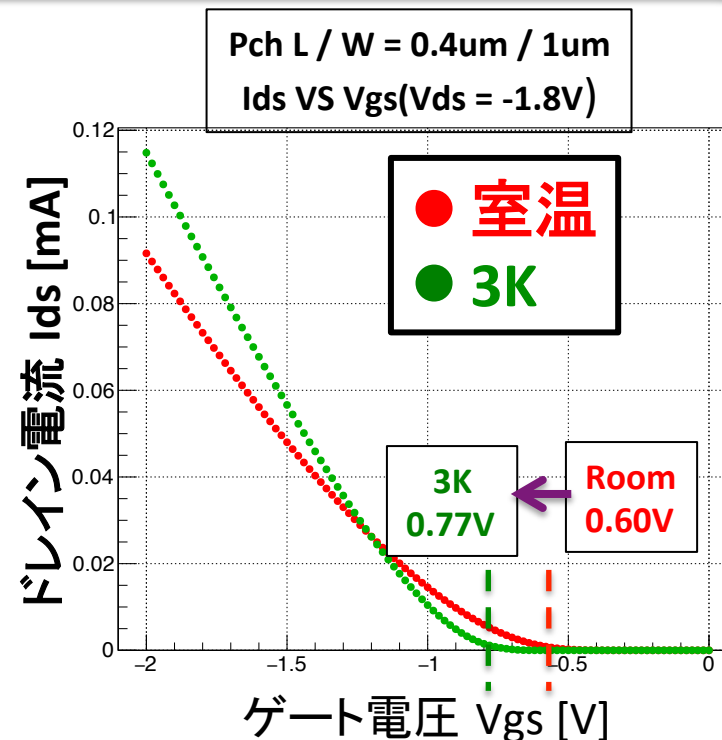
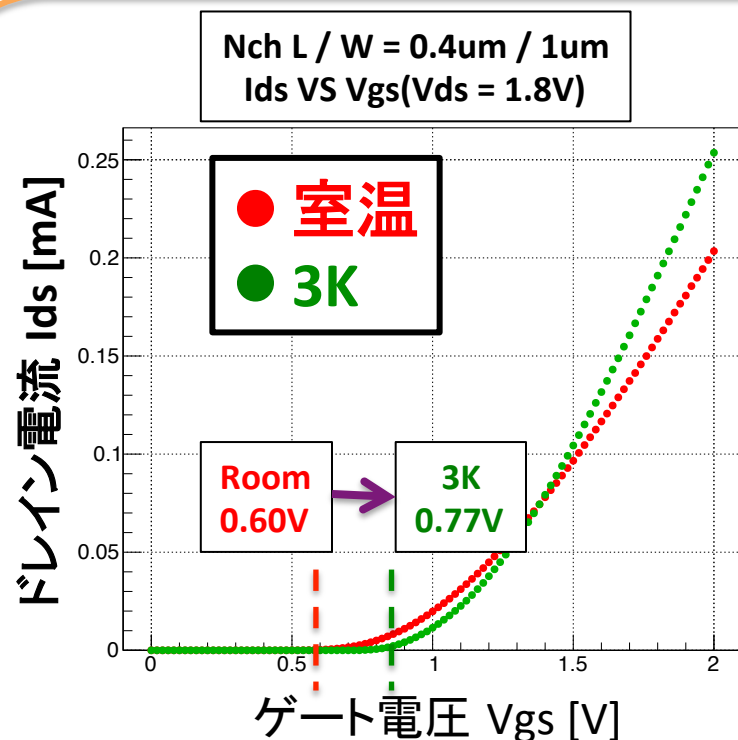
Temperature : 3K





閾電圧

閾電圧 V_{th} = ドレイン電流 $I_{ds} > (0.1\mu A) \times W/L$ でのゲート電圧



閾電圧 → 低温になるにつれて次第に高くなる挙動がみられた



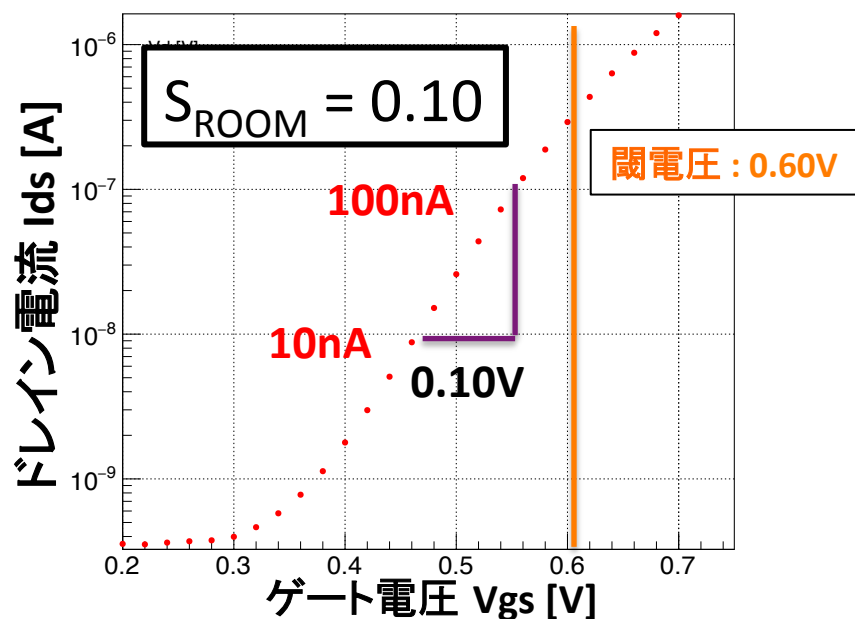
サブスレッショルド・スイング [N型]

サブスレッショルド・スイング(Subthreshold Swing)
ドレイン電流が一桁上昇するのに必要なゲート電圧

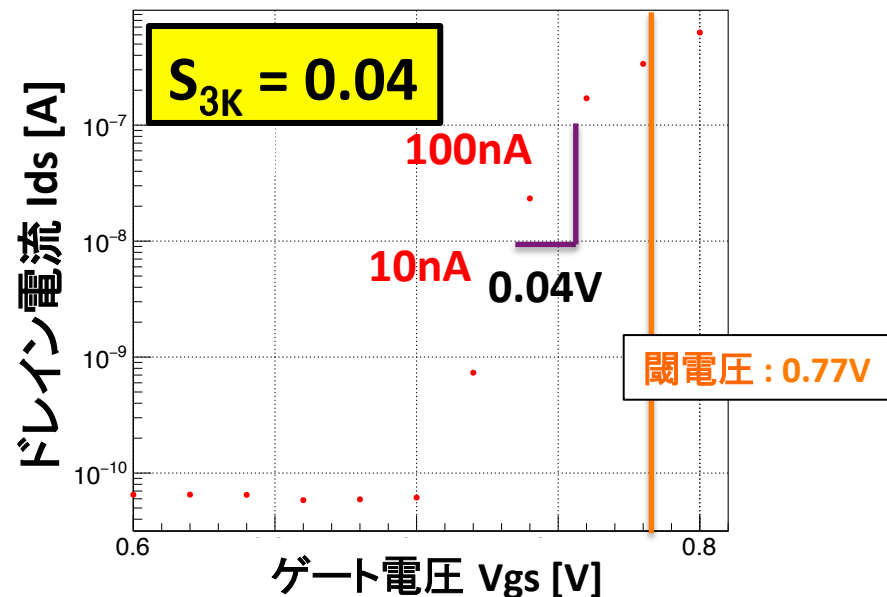
$$S = \frac{dV_{gs}}{d(\log I_{ds})}$$

Nch L / W = 0.4 μ m / 1 μ m I_{ds} VS V_{gs} (V_{ds} = 1.8V)

Temperature : room



Temperature : 3K

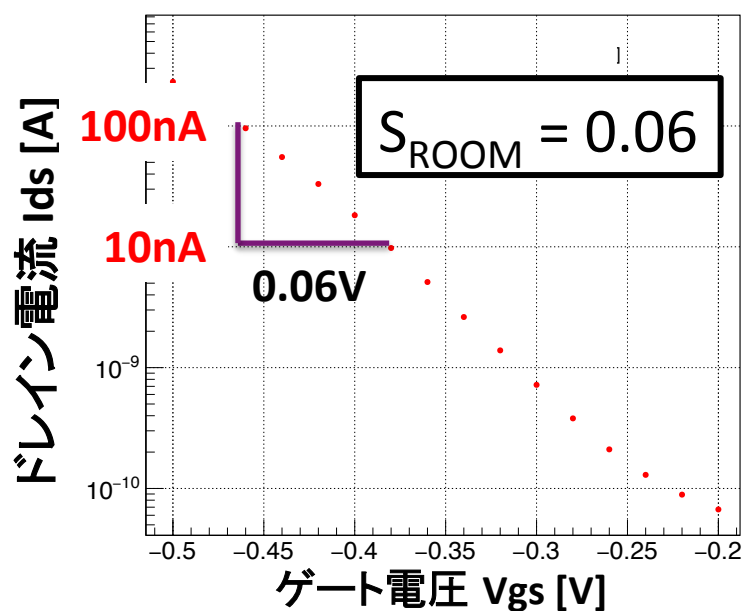




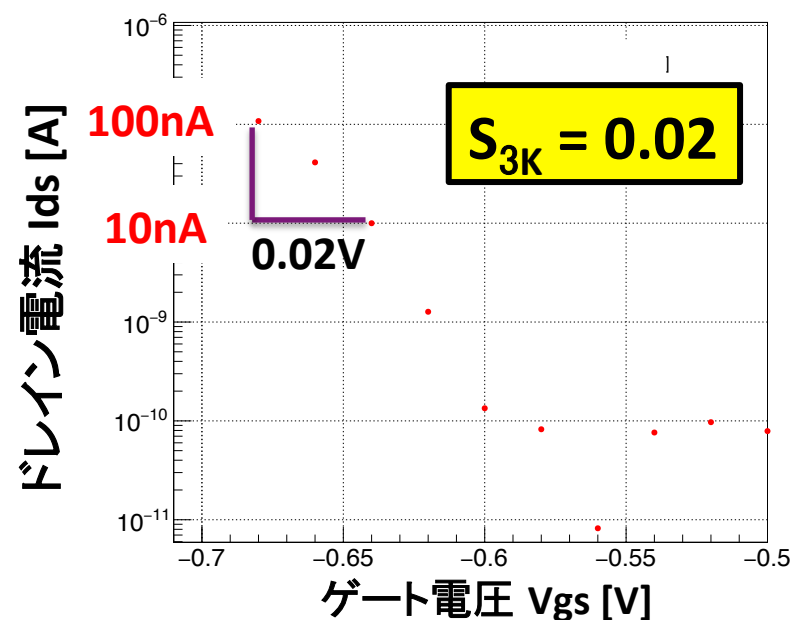
サブスレッショルド・スイング [P型]

Pch L / W = 0.4 μ m / 1 μ m I_{ds} VS V_{gs}

Temperature : room



Temperature : 3K



極低温環境下では、サブスレッショルド・スイングは低くなる
➤ 低消費電力でより大きな増幅率を稼ぐことができる



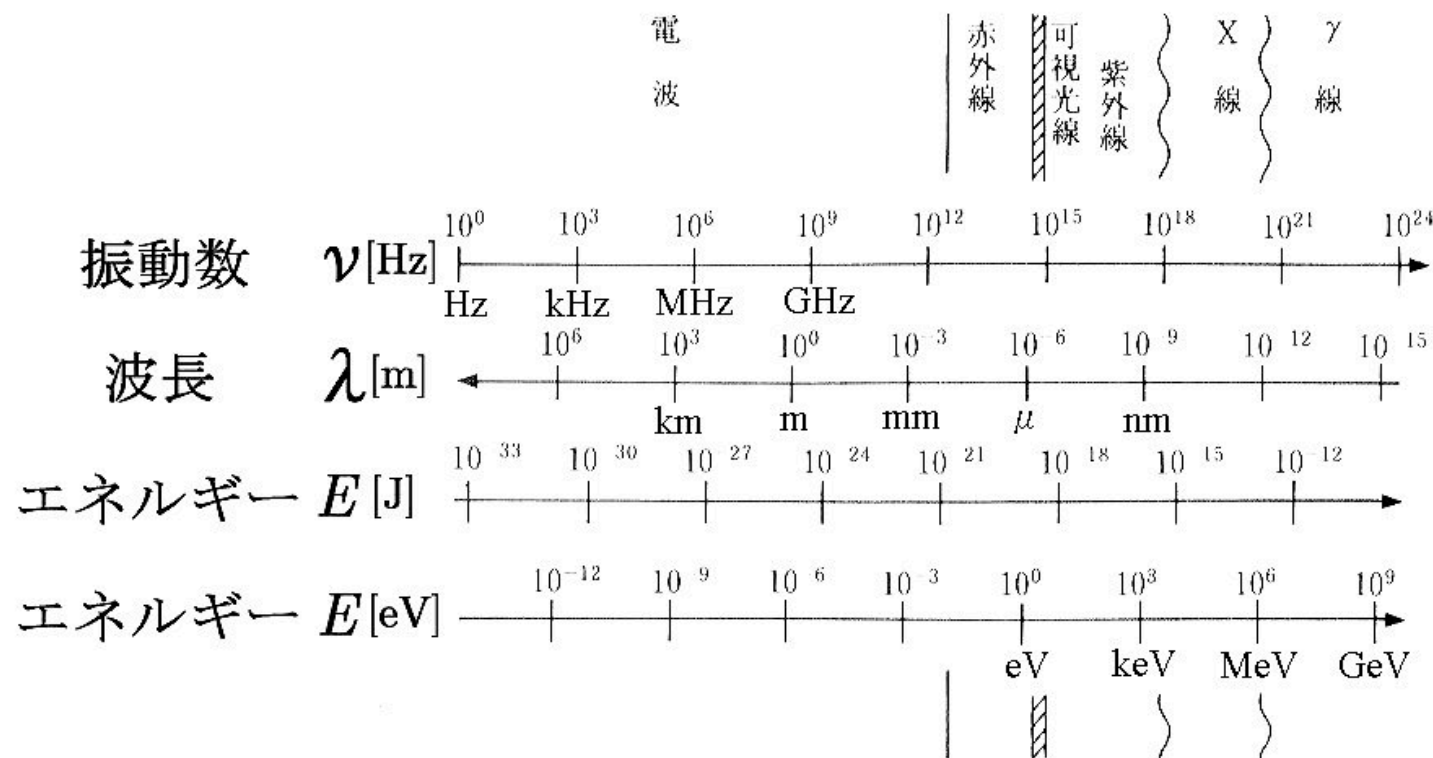
まとめと今後

- ニュートリノ崩壊光探索のために、
超伝導検出器 と 極低温環境下で動作する増幅器
を設計・開発している。
- 増幅回路の極低温環境特性をシミュレートするために、
FD-SOI FETの電流電圧特性を測定した。
- 極低温環境で常温環境と比べ、
 - ✓ ドレイン電流の W 、および L 依存性は同等であった。
 - ✓ 閾電圧の上昇が認められる。
 - ✓ サブスレッショルド スイングの低下がみられた。
- 今後も FD-SOI FETの電流電圧測定を行い、
極低温でのFETのパラメータ抽出を行い、これを元に
極低温用増幅器の設計・開発を行う

Backup



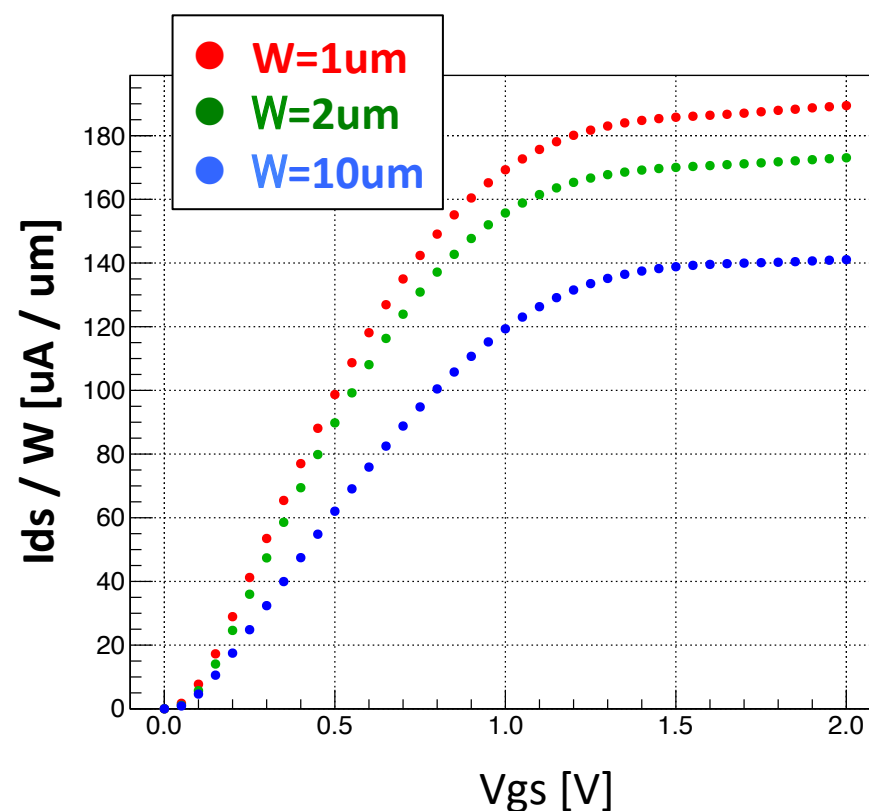
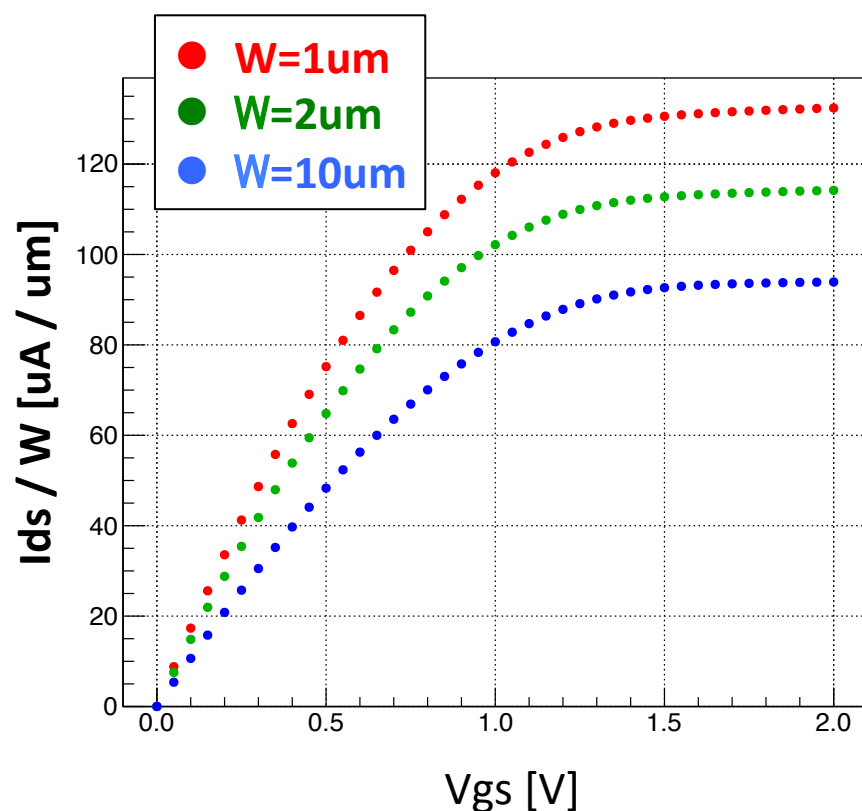
波長換算





Wで規格化した場合

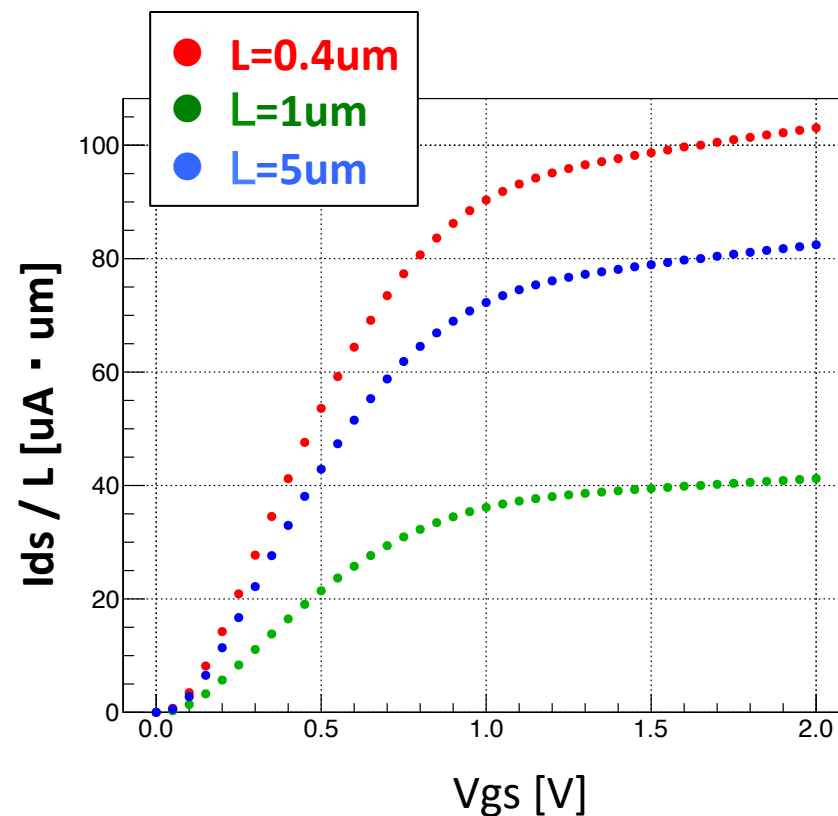
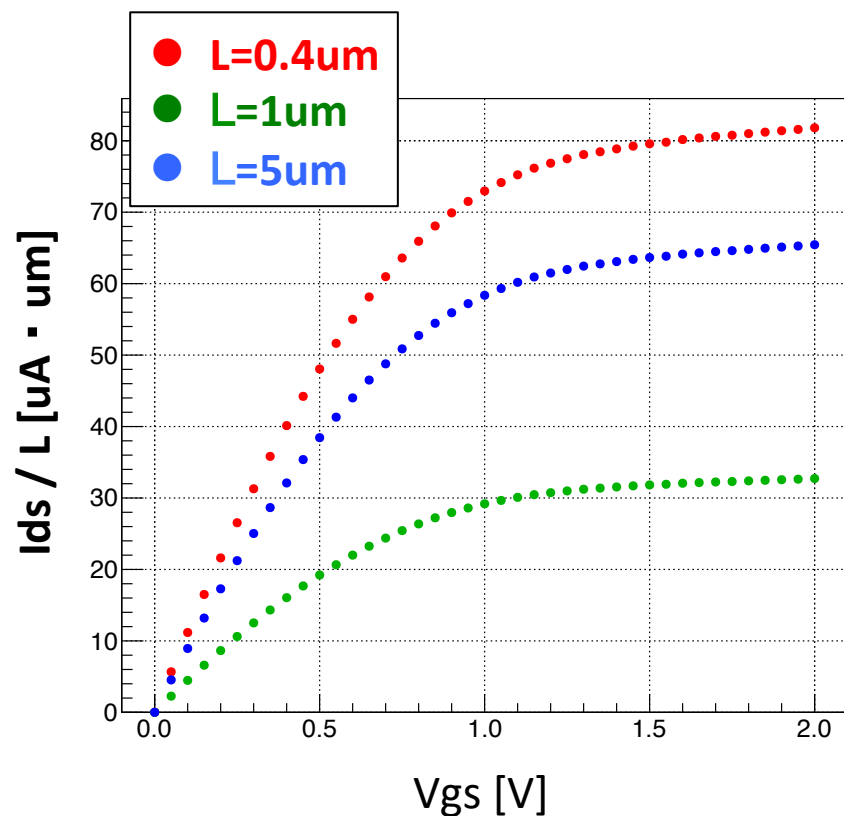
Nch $W = 1\mu\text{m}$ I_{ds} VS V_{ds} ($V_{gs} = 2.0\text{V}$)





Lで規格化した場合

Nch W = 1 μ m I_{ds} VS V_{ds} ($V_{gs} = 2.0$ V)

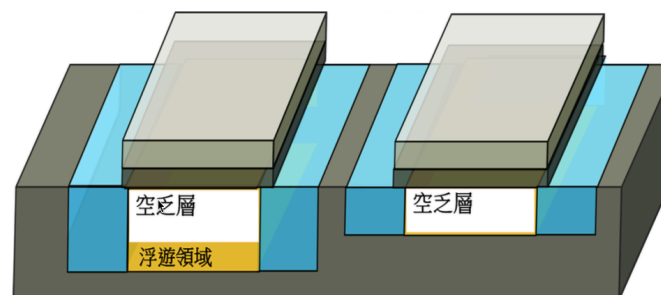
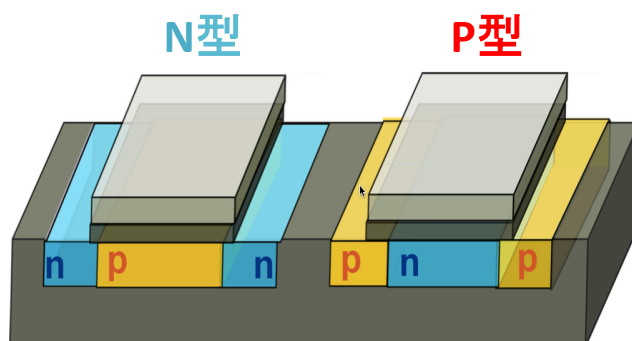




極低温で動作するFET

Silicon On Insulator : SOI

酸化層で分離されているため



部分空乏型SOI
PD-SOI

完全空乏型SOI
FD-SOI

浮遊体効果 低温環境ではキャリアの移動度が高くなり、問題となる効果

ソースからドレインへ電子が流れると、
浮遊領域で正孔が蓄積され誤動作が生じる

**FD-SOIは、チャネル層が薄いため、
浮遊体効果に強い**

JAXAはFD-SOIでプロセスされた
MOSFETが4Kで動作したことを確認

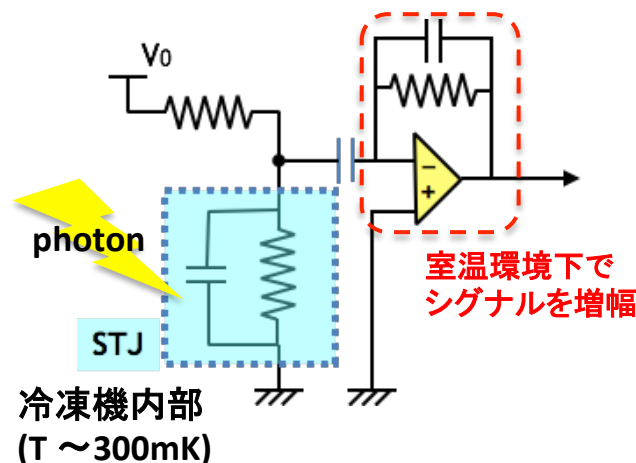
Development of cryogenic readout electronics using
fully-depleted-silicon-on-insulator CMOS process for future
space borne far-infrared image sensors

Hirohisa Nagata*, Takehiko Wada*, Hirokazu Ikeda*, Yasuo Arai† and
Morifumi Ohno*

AIPC 1185, 286-289 (2009)

極低温環境下で用いる増幅器

STJからの信号の読み出し



STJからの信号読み出しの流れ

1. 冷凍機でSTJ検出器が光子を検出し、信号発生
2. 極低温環境下から長い配線を経て、室温環境で信号増幅

しかし、

- 伝送損失
 - 外部からの電磁雑音
 - 配線の熱雑音
 - 増幅器自体の熱雑音
- といった不利益がある

このため、
遠赤外光1光子計数達成に
至っていない

遠赤外光1光子計数達成のためには、極低温でも動作する増幅器が必要

増幅器を極低温で動作させることによって、

- 伝送損失や電磁雑音や熱雑音に埋もれる前に増幅可能
- 増幅器自体の熱雑音を減らせる

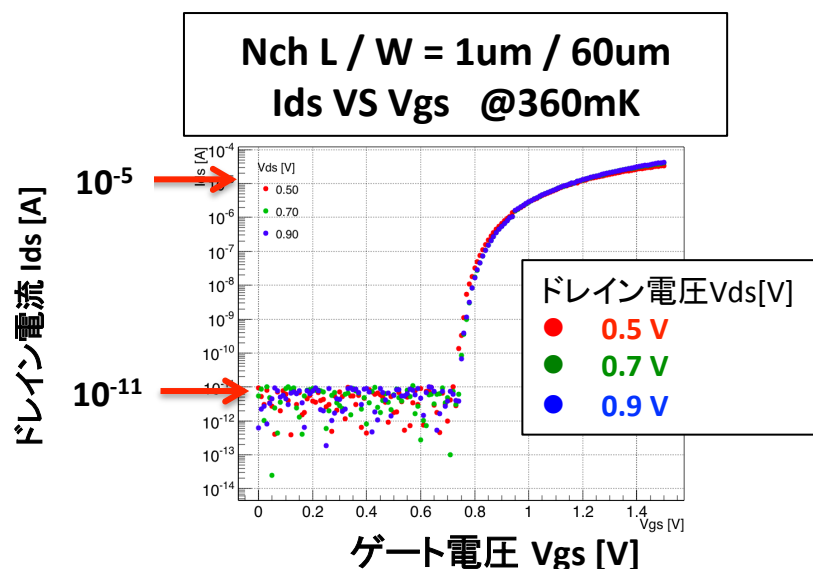
という狙いがある



極低温環境用増幅器への要求

① 極低温で動作可能

冷凍機の最低温度(360mK)でも、
トランジスタが動作していることが必要不可欠



② 消費電力

冷凍機の冷却能力を超えてはならない

③ 素早い応答速度

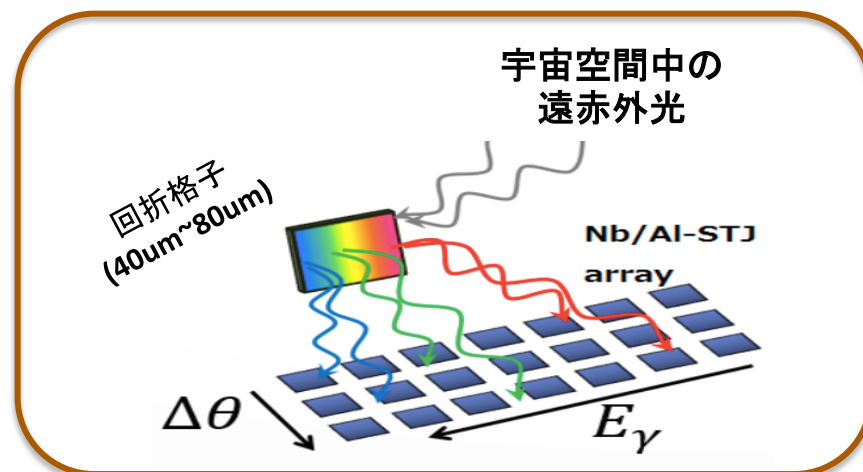
STJの信号幅 : 1.5 μ s

- 1MHz程度の信号に対しても
周波数応答の良い増幅器

STJからの信号読み出し

Nb/Al STJと回折格子組み合わせて、宇宙空間の遠赤外光を観測

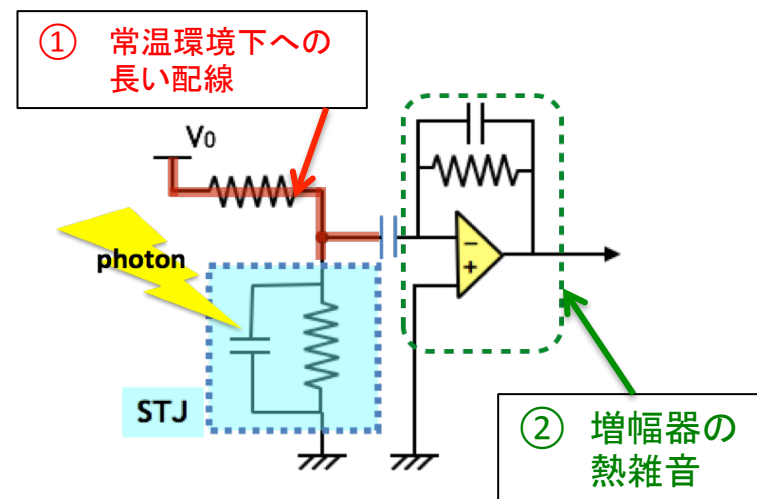
- STJと回折格子と冷凍機を搭載して宇宙空間にロケットを飛ばす
- 回折格子で波長40~80umの光を分光
- 遠赤外光1光子を計数できるSTJをマルチピクセル化し、エネルギースペクトルを観測



STJからの信号が雑音に埋もれてしまう

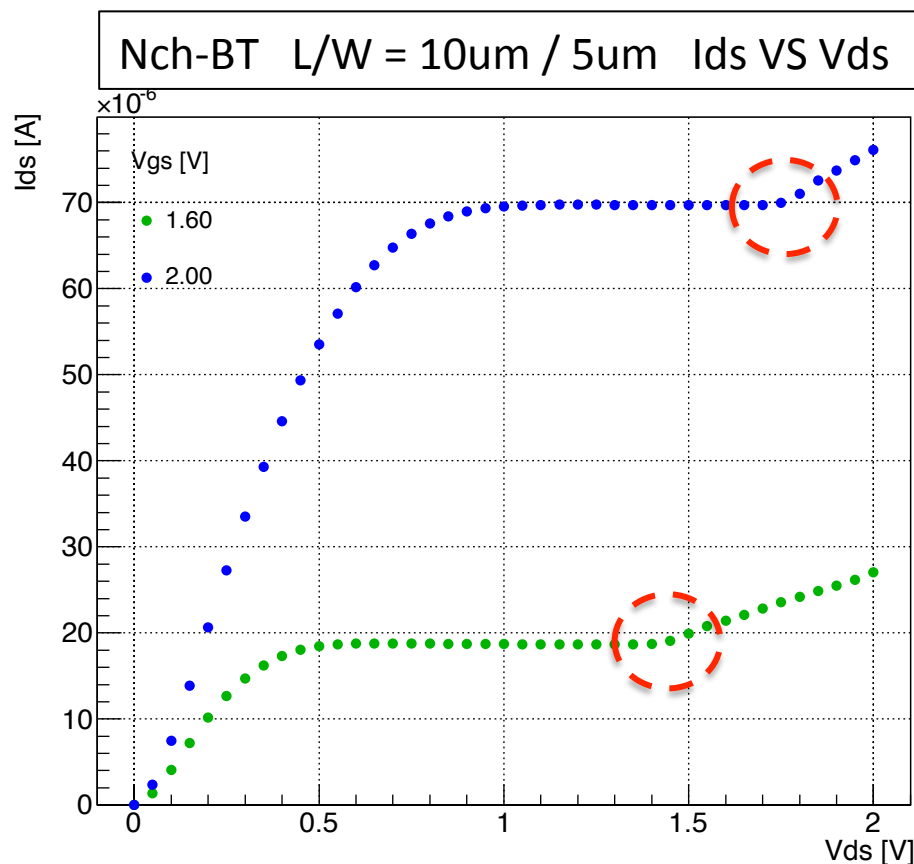
- ① 常温環境下への長い配線
 - 伝送損失
 - 外部からの電磁雑音
 - 配線の熱雑音
- ② 増幅器自体の熱雑音

これらの問題を解決するために、
増幅器をSTJと近づけ、極低温環境で動作させる





キンク効果



キンク効果

チャネル内の原子がキャリアと衝突することによって、原子がイオン化されることによって、ドレイン電流が急激に上昇する現象

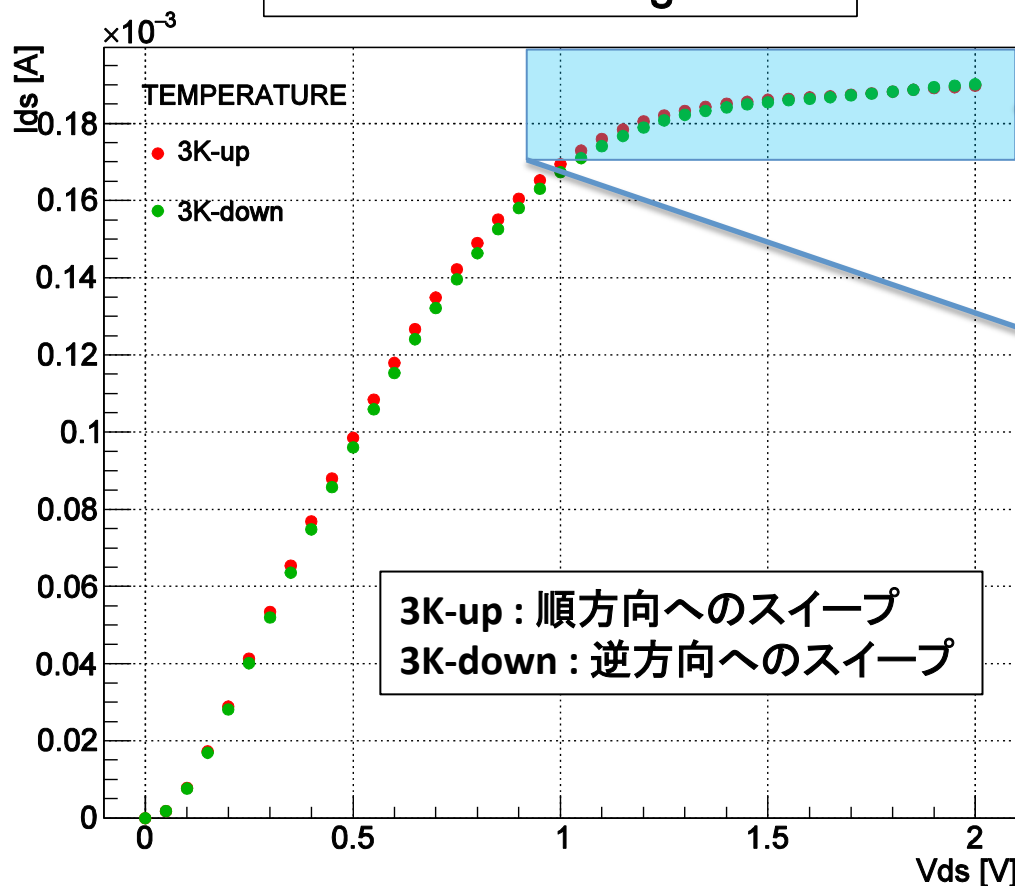
通常FD-SOIプロセスで作成されたFETは、キンク効果は抑制されるはずだが、Lが長いBT-SOIにキンク効果が見られる



ヒステリシスの検証

Nch-ST Id VS Vd ($V_g = 2V$)

PTEG2 10NS6 $V_g=2.00V$



V_d が低い領域(1V~1.5V)で、 I_d の差が広がっている

