



筑波大学  
*University of Tsukuba*



# ニュートリノ崩壊探索のための 超伝導検出器開発

筑波大学大学院 素粒子実験研究室  
八木 俊輔

# 目次

---

- MOTIVATION
- 超伝導トンネル接合素子光検出器(STJ)
- 極低温アンプ → SOI(Silicon On Insulator) – STJ
- SOI-FETの極低温特性

# 動機

## ニュートリノ崩壊

絶対質量がまだ測定されていない素粒子

崩壊に伴う光子のエネルギーを高精度に測定できれば、ニュートリノ絶対質量を決定できる。

ニュートリノ振動実験

精度よく測定

$$E_{\gamma} = \frac{m_3^2 - m_2^2}{2m_3}$$

$$\begin{aligned} m_3 &= 50 \text{ meV} \\ m_2 &= 10 \text{ meV} \end{aligned}$$

を仮定する

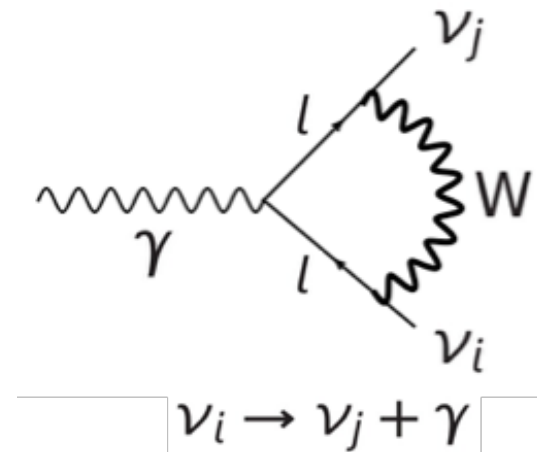


$$E_{\gamma} = 25 \text{ meV (波長 : 50 } \mu\text{m)}$$

通常の半導体検出器では検出困難

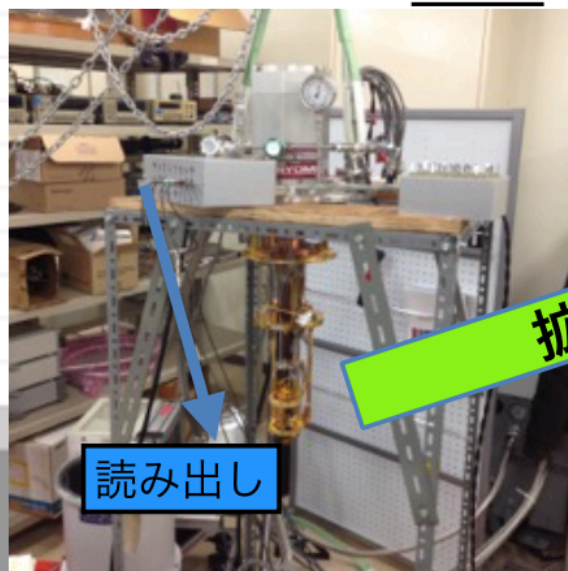
エネルギー分解能に優れた超伝導検出器の開発

ニュートリノ崩壊Feynman図



# 冷凍機

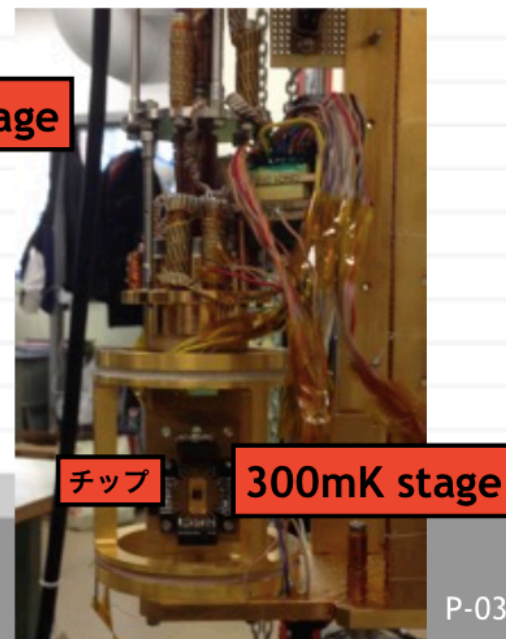
- 希釈冷凍機から代わってHe3減圧冷凍機を導入
  - 40時間程度で 300mK に到達
  - 安定して 300 mK まで冷却が可能
  - ロケット実験においても、He3減圧冷凍機を使用予定
- He3減圧冷凍機を用いて300mKまで冷却して測定



読み出し

拡大

3K stage



チップ

300mK stage

P-03

# 動機

## ニュートリノ崩壊の寿命

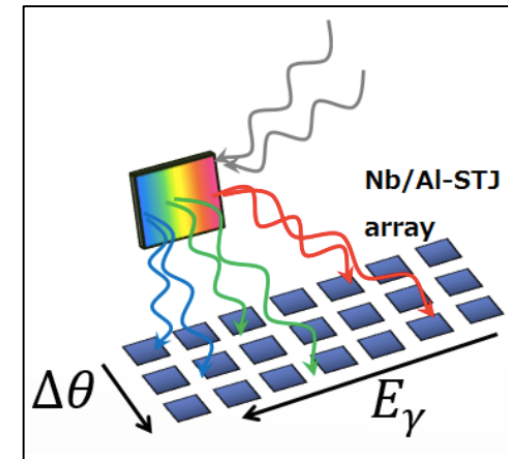
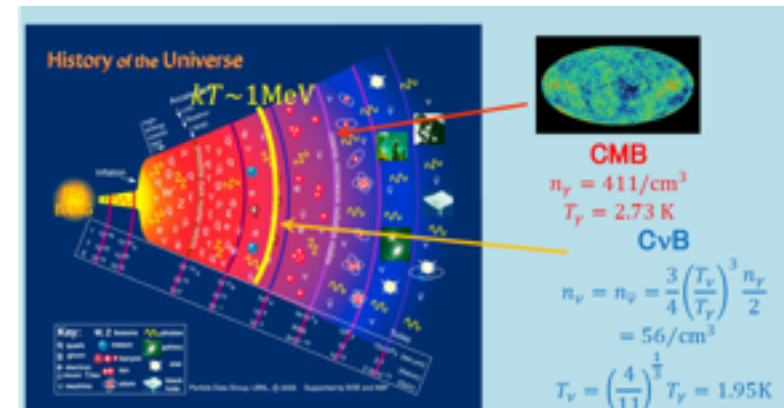
仮定する模型	寿命
標準模型	$\sim 10^{43}$ year
L-R対称模型	$\sim 10^{17}$ year

Too Long!!

大量のニュートリノ源が必要！

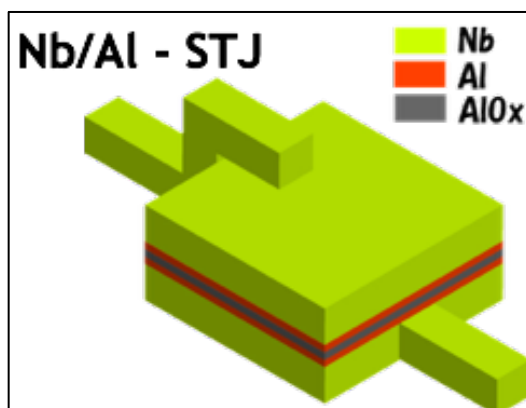
宇宙背景ニュートリノ崩壊探索

- ロケットを検出器を搭載して打ち上げ予定
- 宇宙空間の遠赤外光を回折格子で分光
- 1光子計数が可能な超伝導検出器を用いてエネルギースペクトルを観測



# 超伝導トンネル接合素子光検出器

## 超伝導トンネル接合素子 (Superconducting Tunnel Junction : STJ)

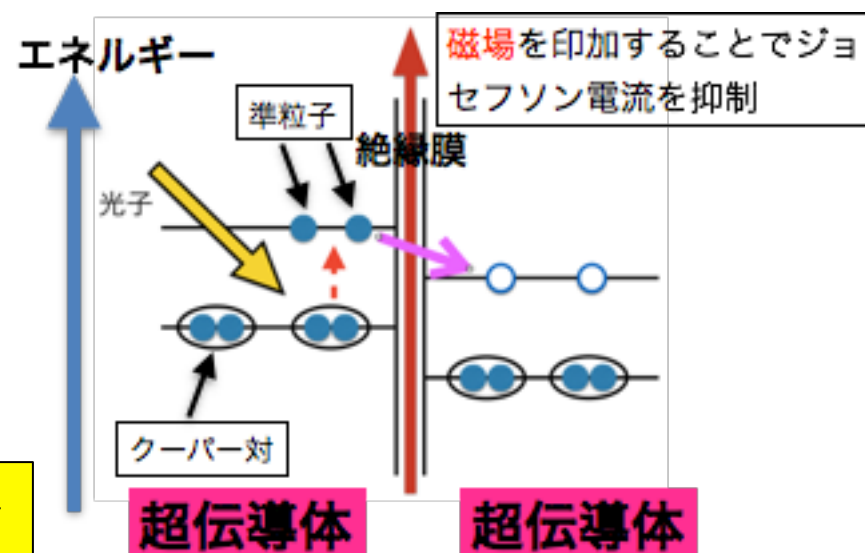


### STJの動作プロセス

1. 超伝導体に光子が入射
2. その光子がクーパー対を壊し、準粒子生成
3. 準粒子が絶縁膜をトンネルし、それを電流として観測

- 現在STJの1光子観測が必要不可欠  
STJ signal : 1fC in a few micro seconds for 1eV photon (approx.)
- 信号にノイズが乗る前に増幅できる増幅器が必要不可欠

## 低温プリアンプとしてSOI-STJを開発



# 極低温アンプへの要求

## 極低温アンプへの3つの要求

### ① 極低温での動作

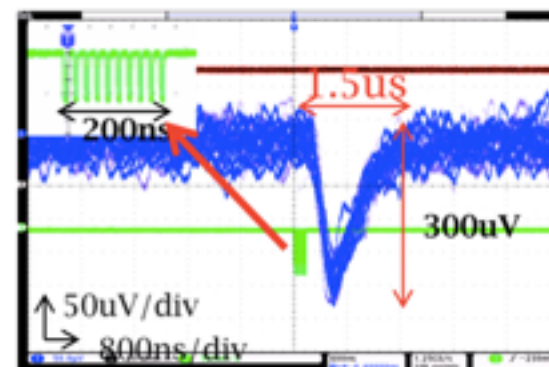
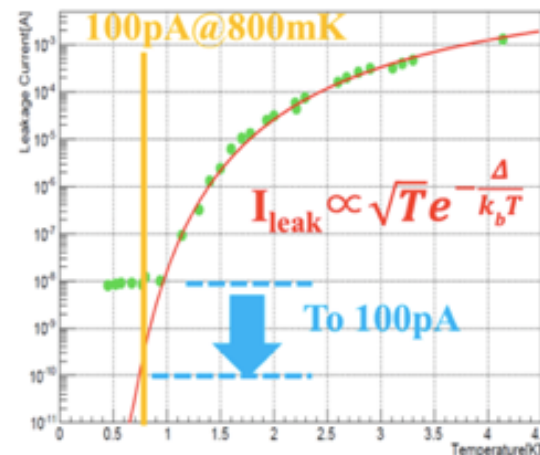
- STJ検出器を極低温で動作
- 300 mKでも動作可能

### ② 低消費電力

- 冷凍機の冷却パワーを超えない程度の消費電力

### ③ 応答速度

- 信号幅 : 1.5 us





# SOI(Silicon On Insulator)増幅器

## SOIとは？

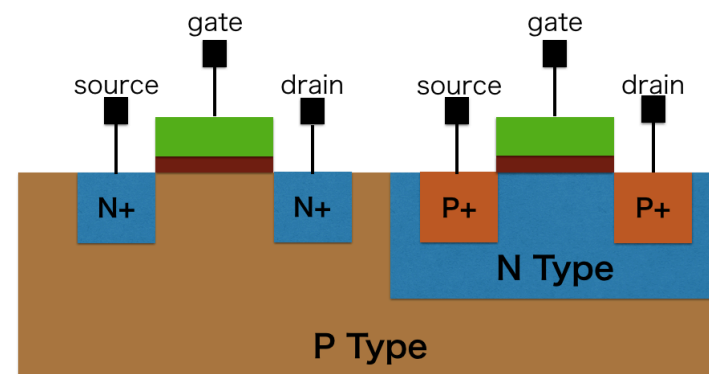
- FETなどを絶縁膜上に作成する技術
- 通常はPN接合で分離するが、絶縁層で分離される

## 極低温での動作

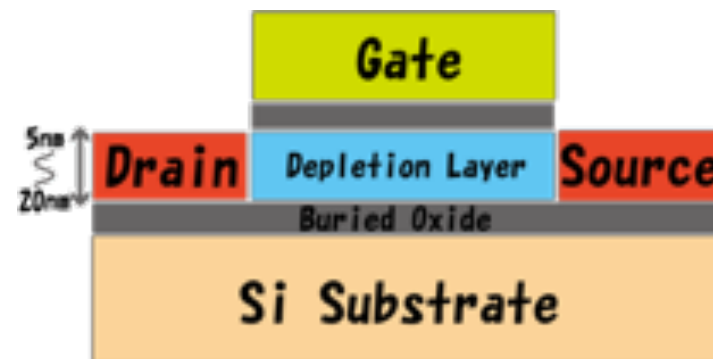
極低温においてキャリアの移動度が高くなりbulk部に電荷が拡散  
→蓄積された電荷による誤動作

## FD-SOIでは？

- チャンネル領域を狭く作成したFD-SOIプロセスでは低温での誤動作を抑制可能
- JAXAで、FD-SOIでプロセスされたSOI-FETを4Kで動作確認  
(AIPC 1185, 286-289 (2009))



Bulk CMOS

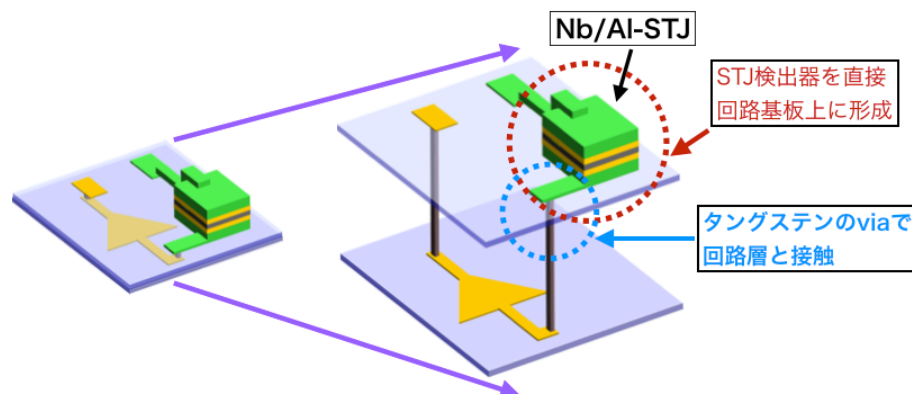


FD(Fully Depleted) SOI



# SOI-STJ

## SOI-STJ概要図

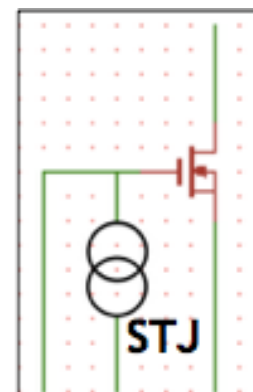


## SOI-STJ とは？

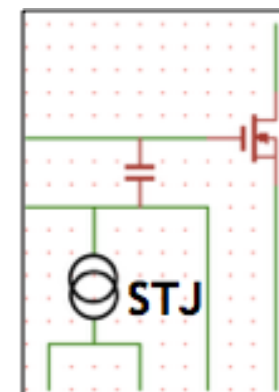
増幅器として形成されたSOI基板上にSTJを形成した読み出し回路一体型検出器

## SOI-STJ 長所

- 長い配線間でノイズが乗るのを避ける
- 読み出し配線が不要
  - S/Nが向上
  - マルチピクセル化が容易



SOISTJ 1号  
(2013年度作成)

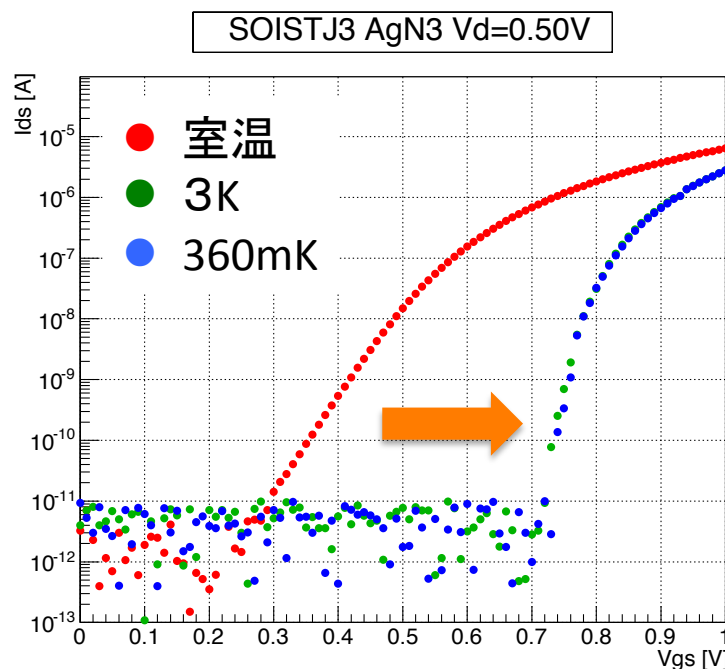


SOISTJ 2号  
(2013年度作成)



# FD-SOI-FET I-V特性

## Ids VS Vgs



NMOS W/L = 1 $\mu$ m / 2 $\mu$ m

## IV-Curve → 4端子測定

➤ 配線抵抗による影響を抑制

## 極低温でのIV-Curve特性

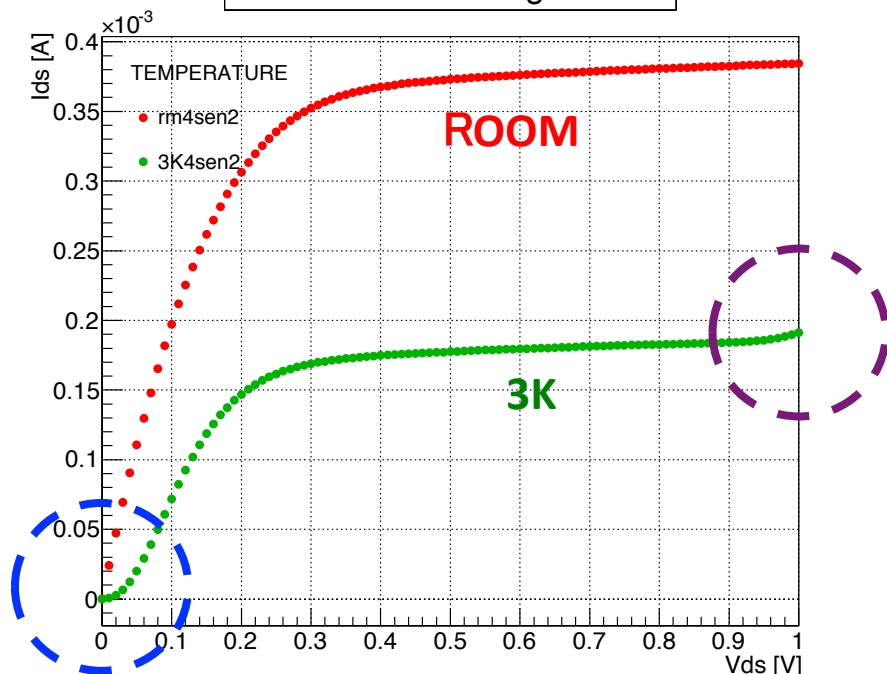
1. 立ち上がりが鋭くなる  
➤ キャリアの移動度 → 大
2. 閾電圧( $V_{TH}$ )が高くなる

我々は極低温におけるFD-SOIを  
シミュレーションするためのSPICEモデルを  
準備する必要がある！

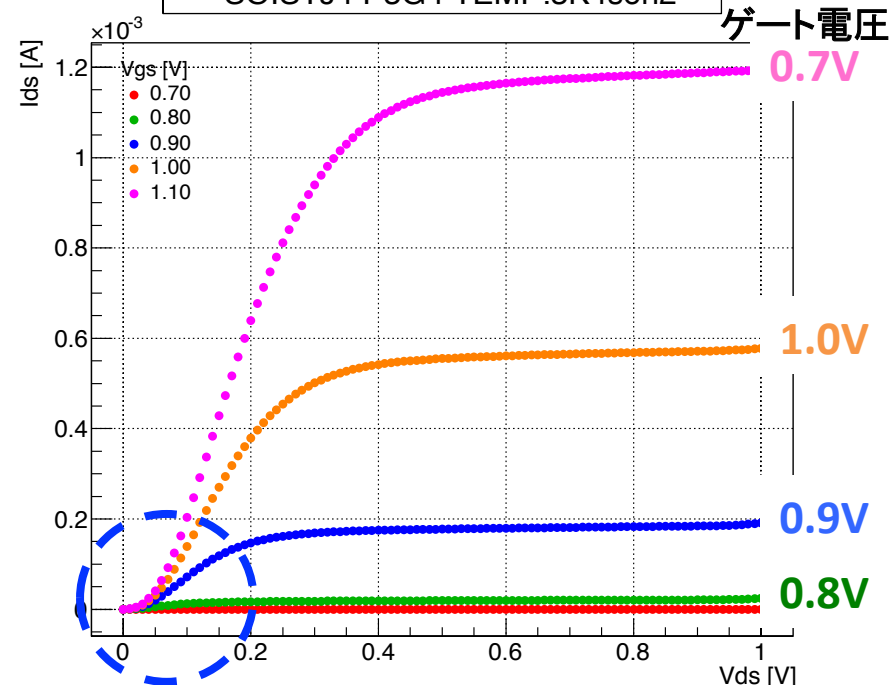


# FD-SOI-FET IV異常特性

SOISTJ4 P3G4  $V_g=0.90V$



SOISTJ4 P3G4 TEMP:3K4sen2



- 線形領域で、3Kでは直線にならず鈍ってしまう
- ドレイン電圧 $V_d$ が高い領域でキンク効果が見られる

# まとめ

- 我々はニュートリノ崩壊光を精密に測定するために、STJ光検出器の研究開発を行っている。
- ノイズに埋もれる前に増幅できる増幅器一体型検出器(SOI-STJ)を現在開発中
- FD-SOIは極低温0.3Kで動作可能だが、3K以下の極低温においてIV異常が見られる。



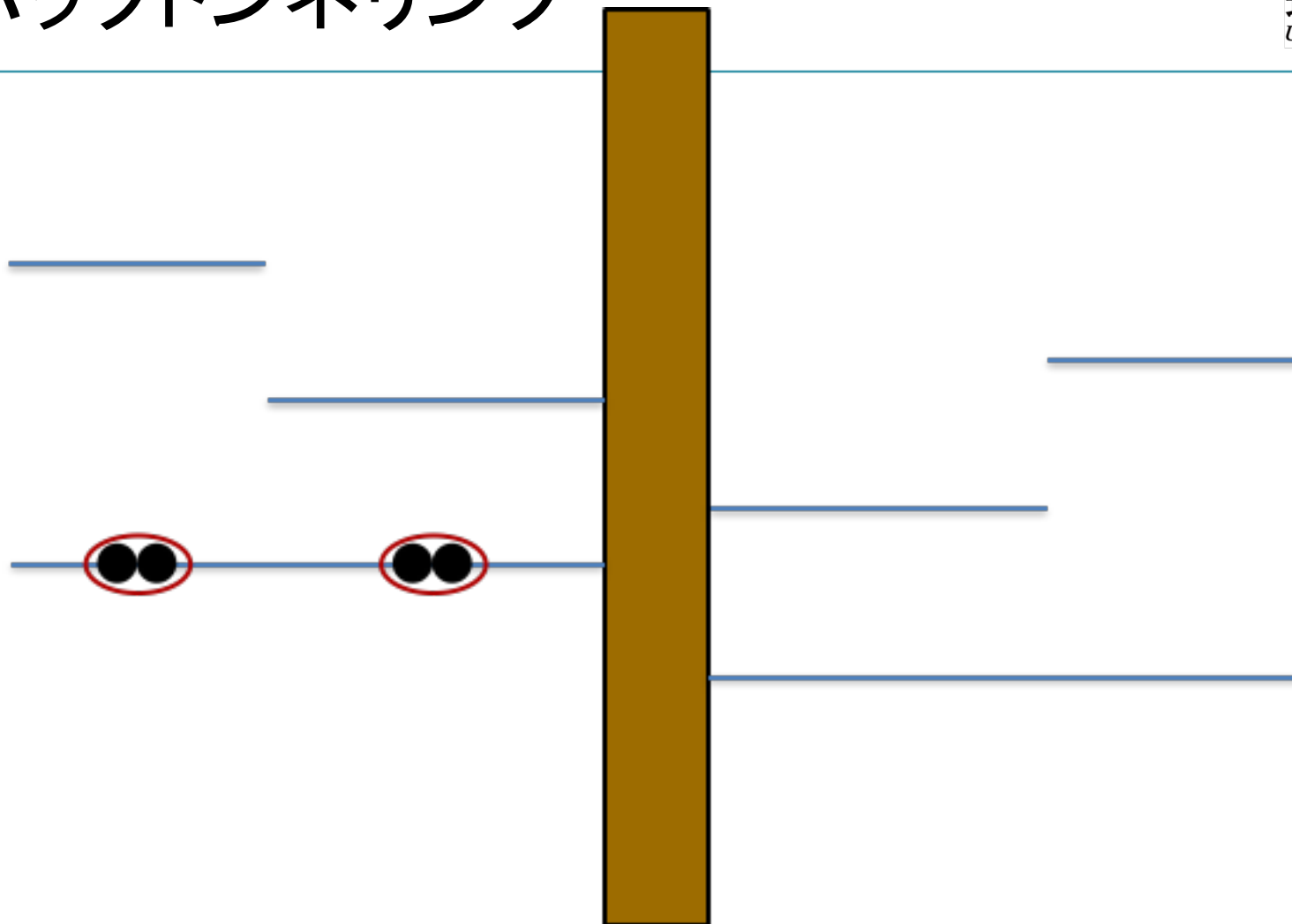
筑波大学  
*University of Tsukuba*

---

# BACKUP

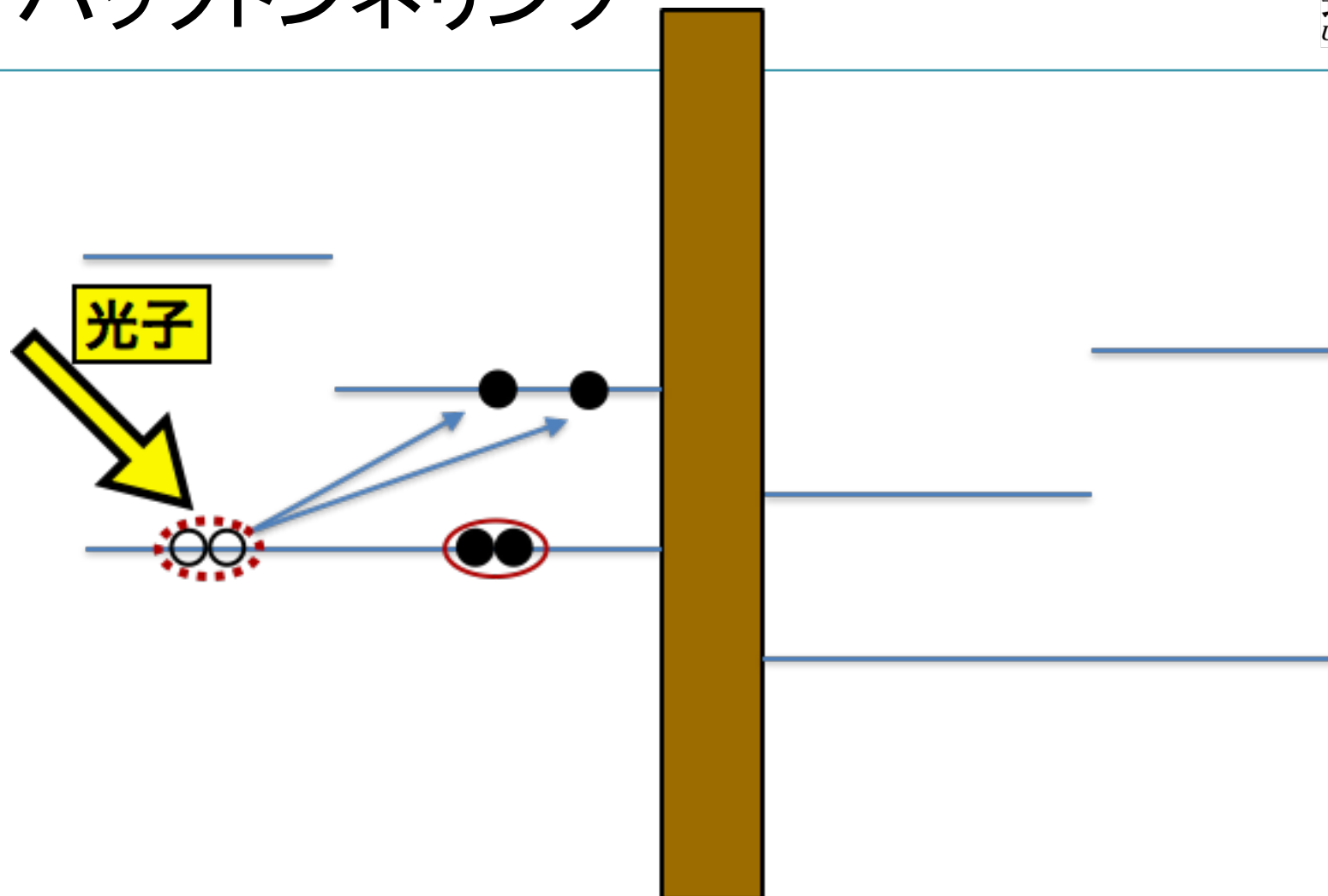


# バックトンネリング





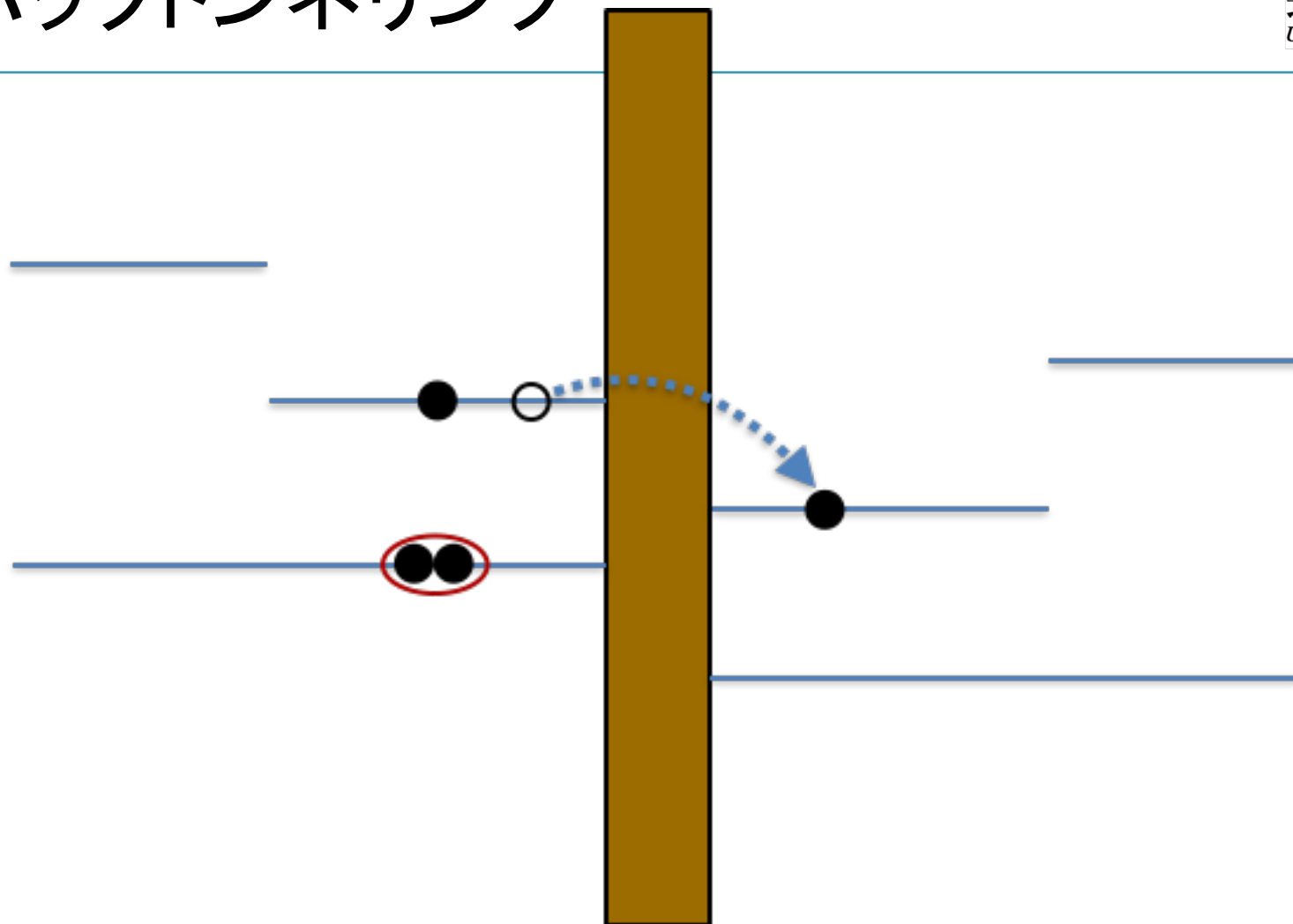
# バックトンネリング





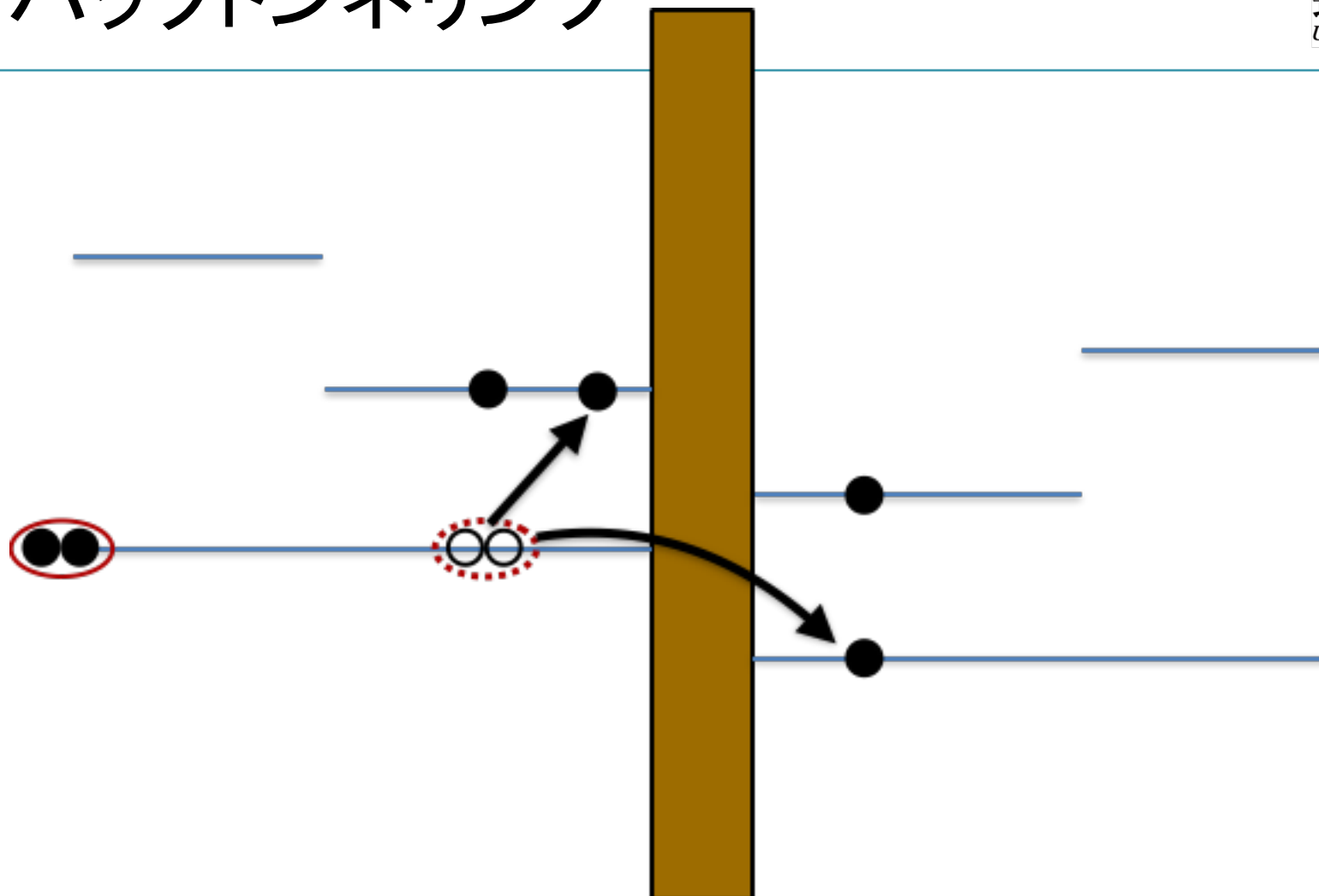


# バックトンネリング



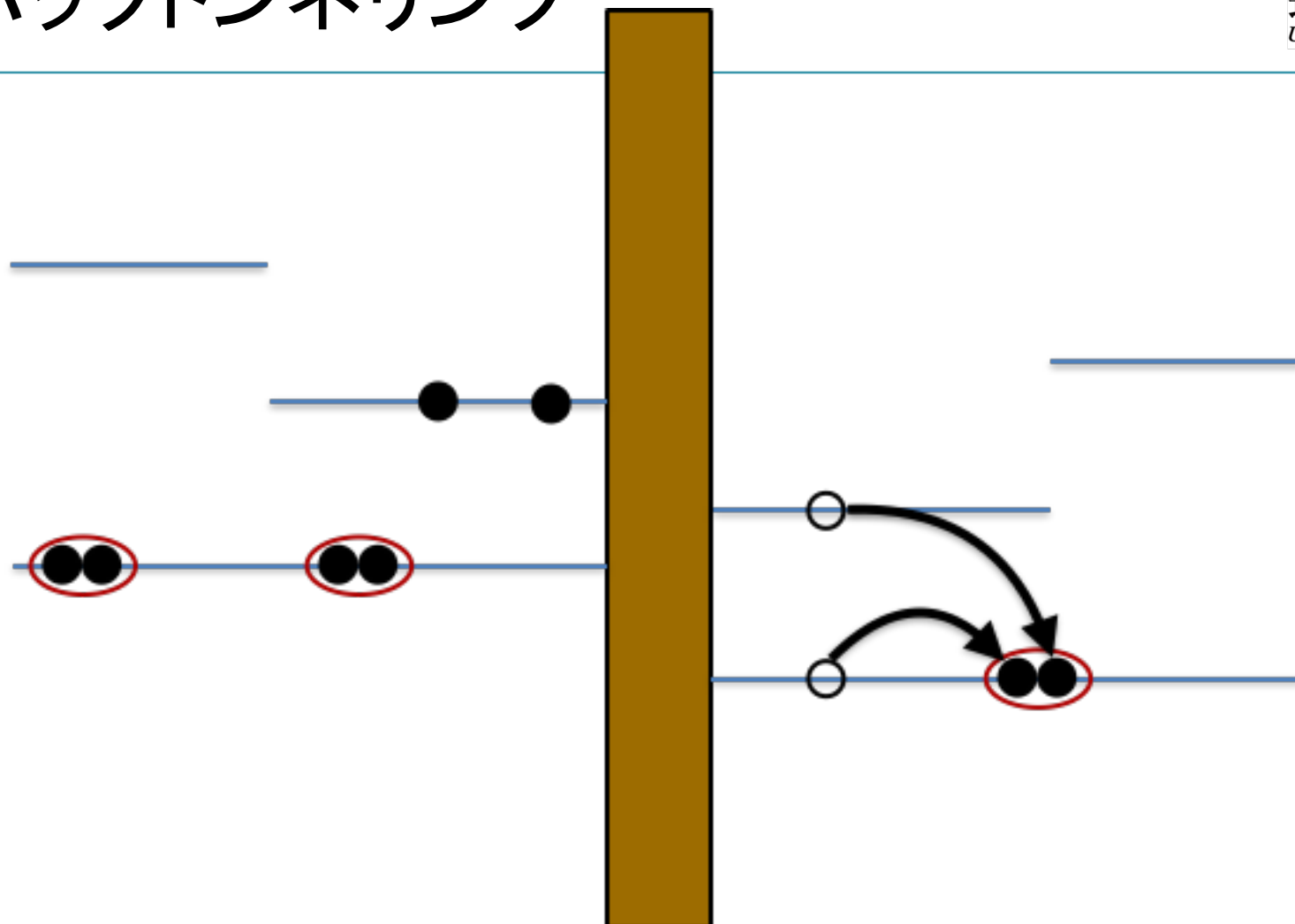


# バックトンネリング



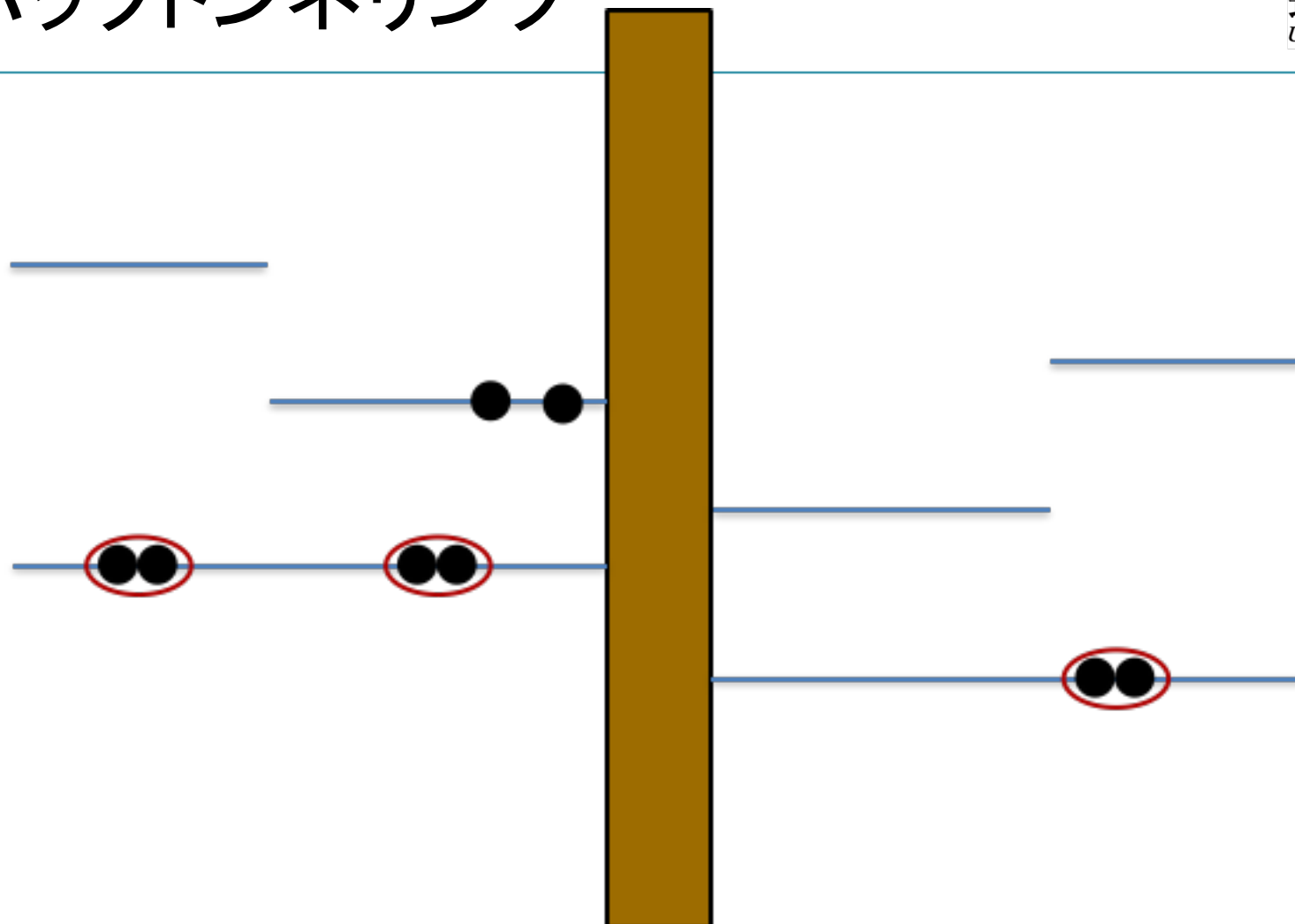


# バックトンネリング



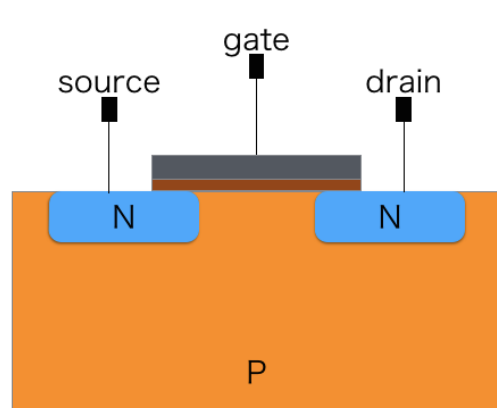


# バックトンネリング

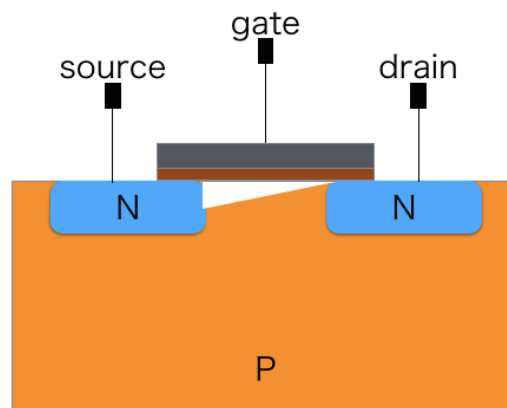




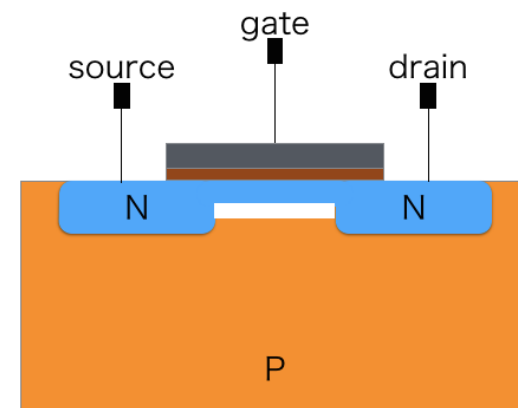
# FET動作原理



ドレイン・ゲート間にP型が挟まれているので、電流は流れない



ゲートに電圧を印加すると、P型内の正孔が内部に移動し、電氣的に中性な空乏層を生成



さらに電圧を印加すると、電子の密度が大きくなり、N型半導体に変化し、ソースとドレインで電流が流れる

# エネルギー分解能

## STJエネルギー分解能

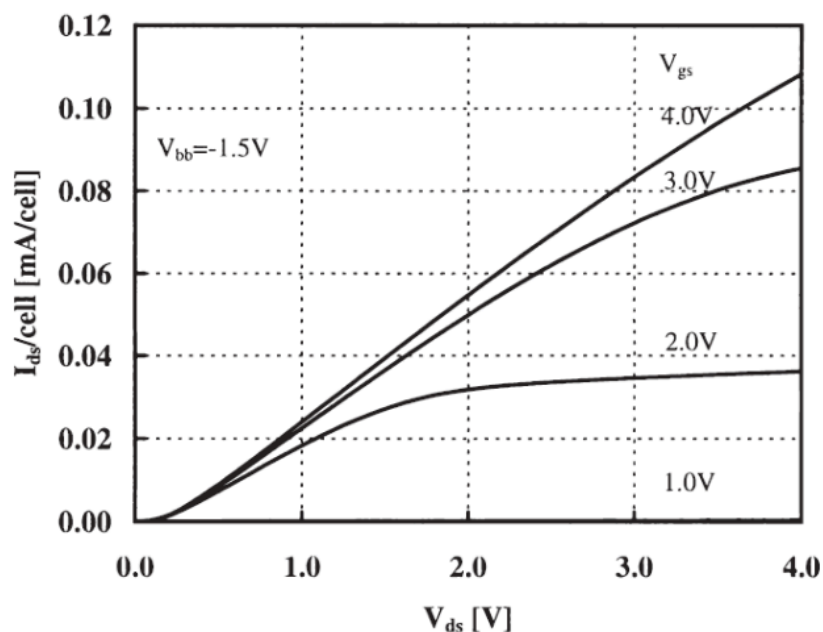
$$\delta E_{FWHM} = 2.35\sqrt{(1.7\Delta)FE}$$

## 物質ごとのエネルギーギャップ

	Si	Nb	Al	Hf
$T_c$ [K]	-	9.23	1.196	0.165
$\Delta$ [meV]	1000	1.550	0.172	0.02



# SOI-FET $I_d V_d$ 異常特性



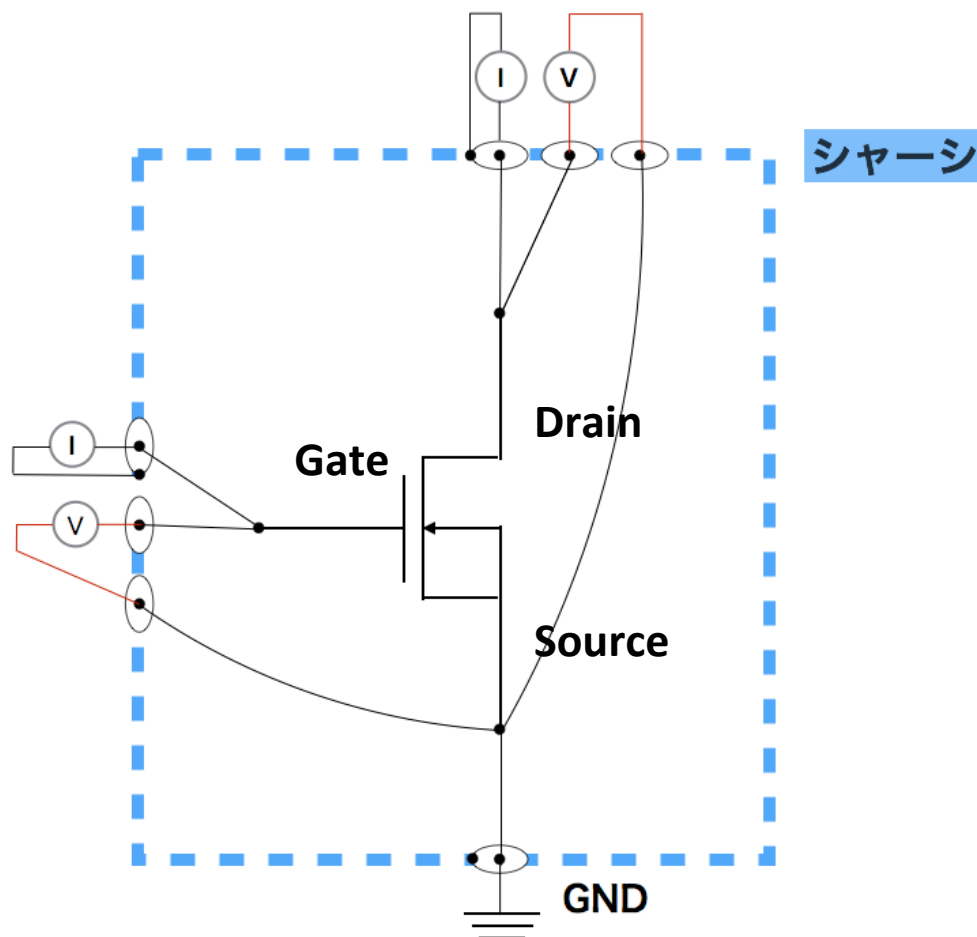
**Fig. 3**  $I_d$ - $V_d$  characteristics of the cell transistors which consists of 120 bit actual memory cell patterns. When  $V_{gs}=4.0\text{ V}$ , an  $I_d$ - $V_d$  characteristic was almost “ohmic” because of very high parasitic resistance between source and drain.

I. Kurachi, IEICE Trans. Elec. **E82-C**, pp. 618-623, 1999





# FET (4端子測定)



# 今後の予定

## □ SOI-FETの極低温特性評価

## □ SOI基板上に形成されたSTJについて

- SOIを増幅器として用いる場合、どれだけ増幅されるか？

## □ SOI-STJのノイズ評価

- ジョンソンノイズ
- $1/f$  ノイズ (= フリッカノイズ)