

COBAND実験のための SOI-STJの研究開発IV

日本物理学会 2017年秋季大会 @宇都宮大学峰キャンパス

若狭 玲那、金 信弘、武内 勇司、飯田 崇史、武政 健一、永田 和樹、浅野 千紗、
八木 俊輔、美馬 覚^A、木内 健司^A、新井 康夫^B、倉知 郁生^B、羽澄 昌史^B、
石野 宏和^C、樹林 淳子^C、吉田 拓生^D、坂井 誠^D、加藤 幸弘^E、松浦 周二^F、
川人 祥二^G、池田 博一^H、和田 武彦^H、長瀬 晃一^H、馬場 俊祐^H、志岐 成友^I、
浮辺 雅宏^I、藤井 剛^I、大久保 雅隆^I、Erik Ramberg^J、Dmitri Sergatskov^J、
Paul Rubinov^J、Soo-Bong Kim^K

筑波大数理、理研^A、KEK^B、岡山大^C、福井大^D、近畿大^E、関西学院大^F、静岡大^G、
JAXA^H、AIST^I、Fermilab^J、Seoul Nat'l. Univ.^K

目次

- COBAND実験
- 極低温増幅器(SOI-STJ5)の開発
- 室温でのSOI-STJ5の動作確認
- 極低温でのSOI-STJ5の動作確認
- まとめ

COBAND実験

COsmic BAcground Neutrino Decay

■ 宇宙背景ニュートリノ崩壊

- 崩壊に伴う光子のエネルギー

$$E_\gamma = \frac{|m_3^2 - m_2^2|}{2m_3}$$

- 予想される崩壊光エネルギー
($\lambda=50\mu\text{m}$, $m_3 = 50\text{meV}$ と仮定)

$$E_\gamma = 25\text{meV}$$



崩壊光探索のために超伝導体検出器を使用

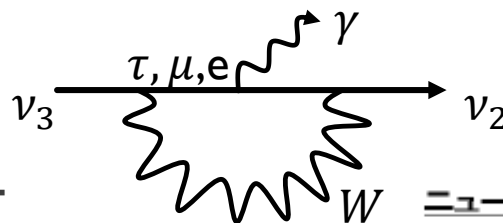
■ ロケット実験

- $40\mu\text{m} \sim 80\mu\text{m}$ の遠赤外光を回折格子で分光
- 50×8 にアレイ化したNb/Al-STJ検出器でそれぞれの波長でのphoton数を計測しエネルギースペクトルを測定する。

ニュートリノ振動により決定

$$|\Delta m_{32}^2| = (2.44 \pm 0.06) \times 10^{-3} \text{eV}^2$$

$$\Delta m_{21}^2 = (7.52 \pm 0.18) \times 10^{-5} \text{eV}^2$$



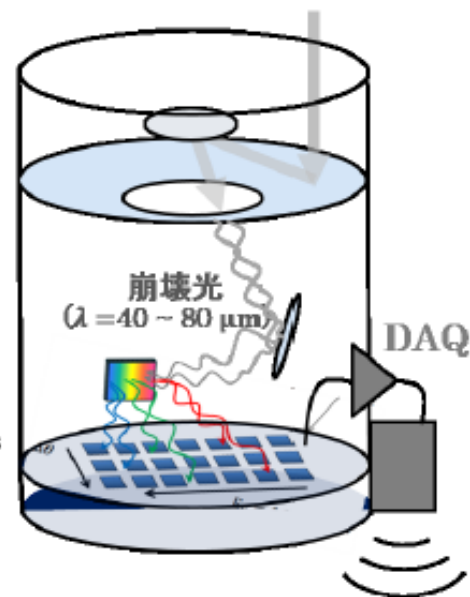
ニュートリノ崩壊光探索の概要図

高度200km, 約5分の観測

光学系

50 × 8
STJ 検出器

冷凍機

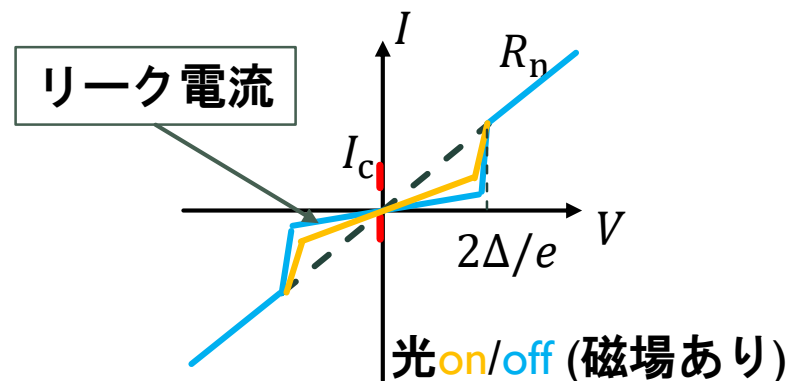


STJ

Superconductor Tunneling Junction

■ STJ検出器の動作原理

- クーパー対がエネルギーを受け取ることで、準粒子を生成
- 上部超伝導体から下部超伝導体へ電圧を印加することで、トンネルした準粒子によるトンネル電流を測定

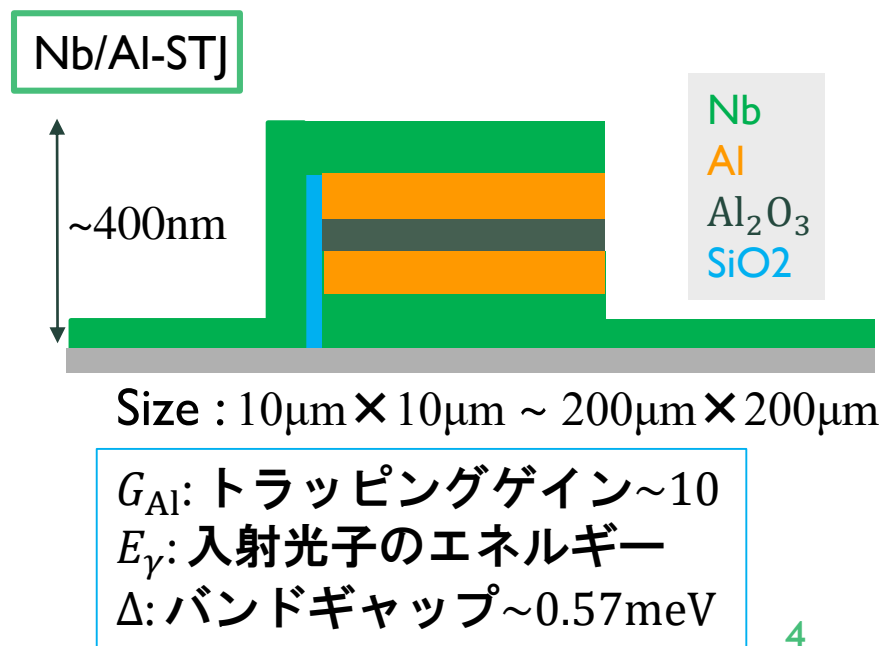


■ Nb/Al-STJ

- バンドギャップが小さくエネルギー分解能に優れる
- ✓ Nb/Al-STJで25meVの単一光子測定

$$N_e = G_{Al} \cdot \frac{E_\gamma}{1.7\Delta} \sim 250$$
$$\delta N_e / N_e \sim 15.5\%$$

- 産総研と共同開発しているSTJは十分な性能を示している。



極低温増幅器（SOI-STJ）の開発

■ 極低温増幅器導入

- Nb/Al-STJは1photon測定のための要求を満たしているが未だ1photon測定は出来ず。
- STJの信号はとても小さいため熱によるノイズや熱アンカーのための長い配線の寄生容量によるノイズに埋もれてしまうためだと考えられる。

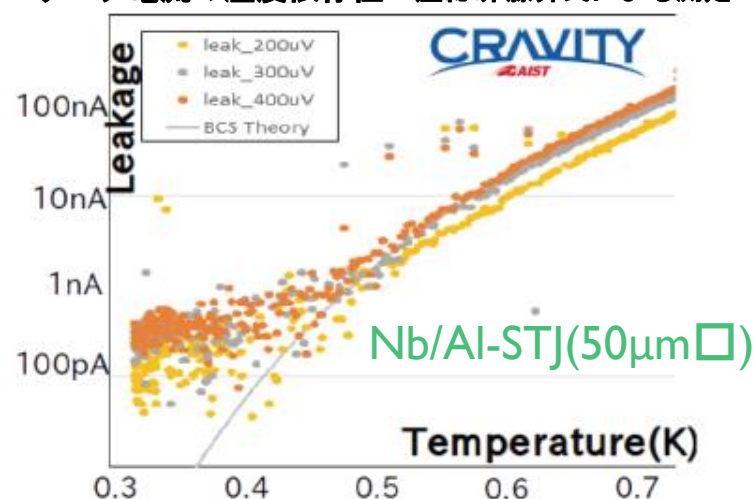
➡ STJの直近で信号を増幅

■ 極低温増幅器への要求

- 極低温で動作可能
- 信号幅 $< 10\mu\text{s}$ のSTJの信号を増幅できる応答速度
- 冷凍機の冷却能力を上回らない低消費電力

➡ FD-SOI-MOSFETを使用した増幅器

リーク電流の温度依存性 産総研 藤井氏による測定



M.Ukibe et al., Jpn. J. Appl. Phys. 51, 010115(2012)

M.Ohkubo et al., IEEE Trans. Appl. Super., 24, 2400208(2014)

@4.2K @300mK

	@4.2K	@300mK
冷却能力	250mW	100 μW

※JAXA/ISASによりFD-SOIプロセスで作製されたMOSFETの4Kでの動作が確認されていた。

T.Wada et al., J. Low. Temp. Phys. 167, (2012) 602

SOI-STJ5 帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

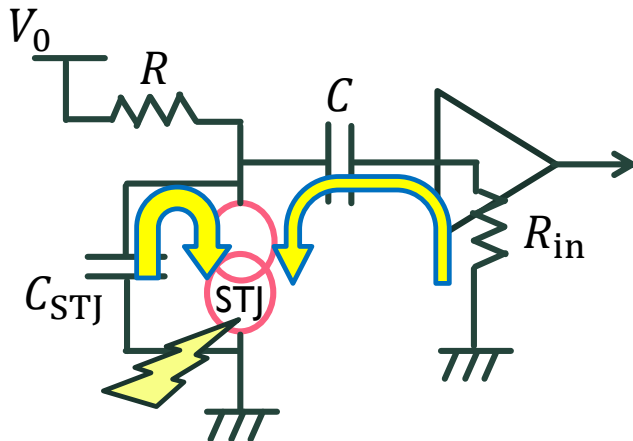
SOI-STJ4

- ソース接地増幅回路
- 高い入力抵抗

$$R_{in} \sim 20k\Omega$$



信号電荷がSTJに並列に入っている40pFの容量を通してGNDに逃げてしまい、SOI増幅器に伝わる信号は実際の約1/6となる。



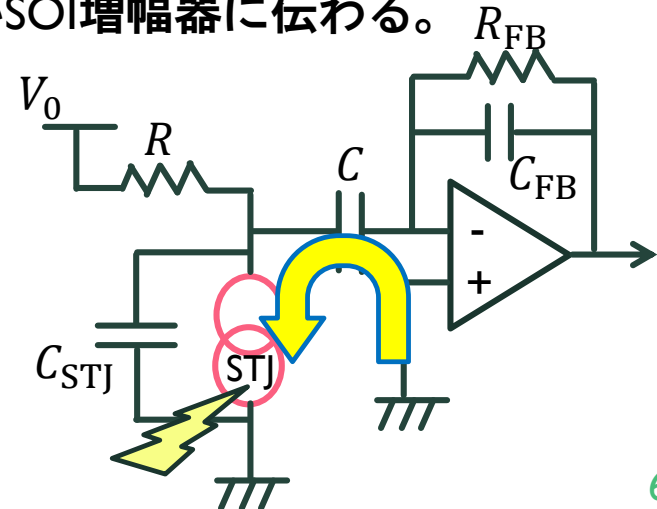
SOI-STJ5

変更点

- 帰還付き差動増幅回路による電荷積分型増幅回路
- 負帰還による低い入力抵抗
(理想的には0Ω)



増幅器前に設置した十分大きな容量を通じてほぼ全ての信号電荷がSOI増幅器に伝わる。

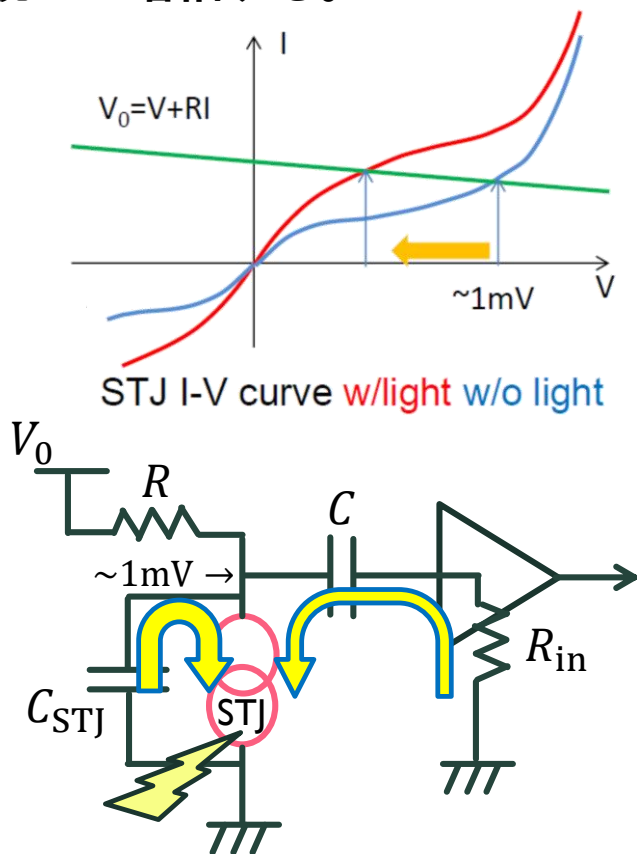


SOI-STJ5 帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

SOI-STJ4

■ 定電流モード

SOI増幅器はSTJ信号の電圧変化を
読んで増幅する。

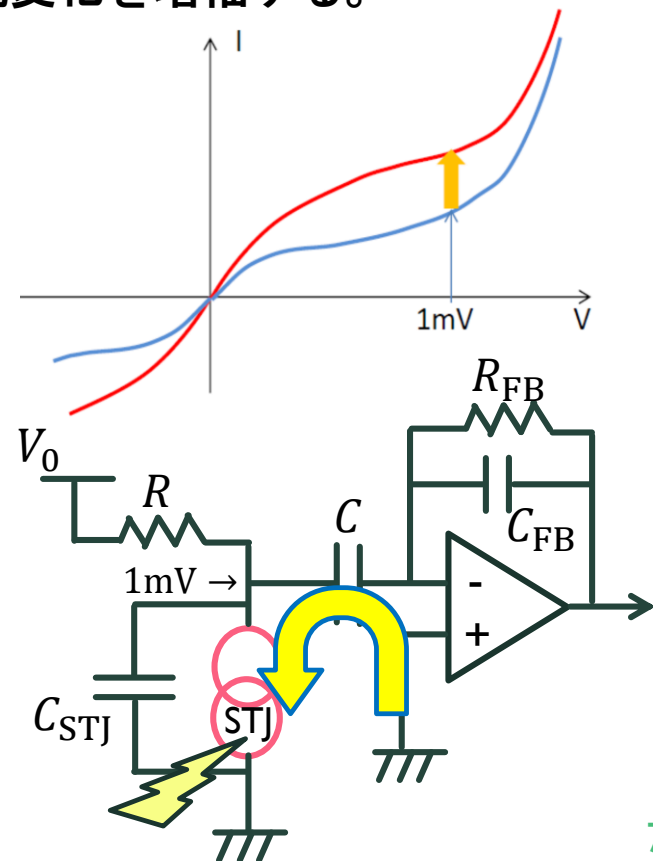


SOI-STJ5

変更点

■ 定電圧モード

SOI増幅器はSTJ信号の電荷変換された
電流変化を増幅する。

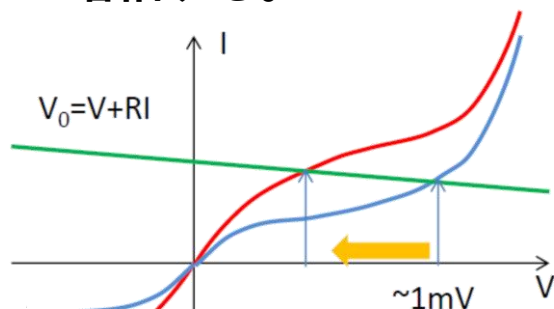


SOI-STJ5 帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

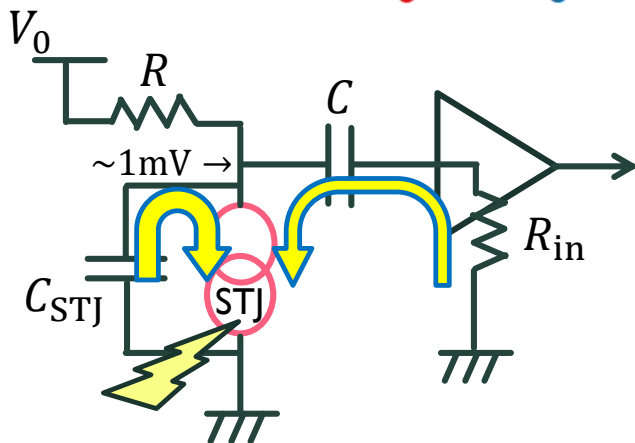
SOI-STJ4

■ 定電流モード

SOI増幅器はSTJ信号の電圧変化を
読んで増幅する。



STJ I-V curve w/light w/o light



SOI-STJ5

新規導入点

■ 大きいサイズのFET

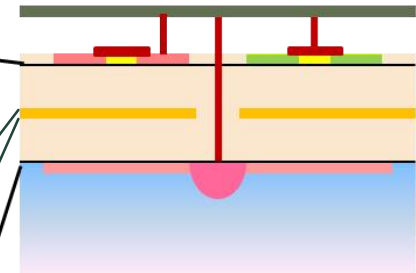
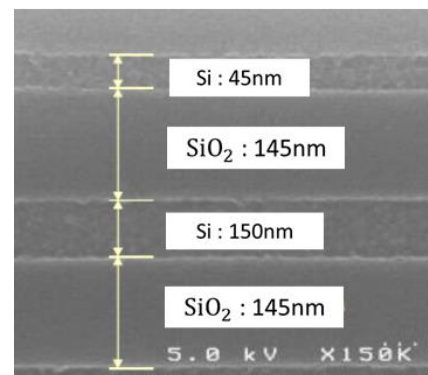
- $1/\sqrt{W \cdot L}$ に比例する1/fノイズ抑制を期待

■ Double SOI層

- バックゲートによりFETのゲート閾値電圧を制御



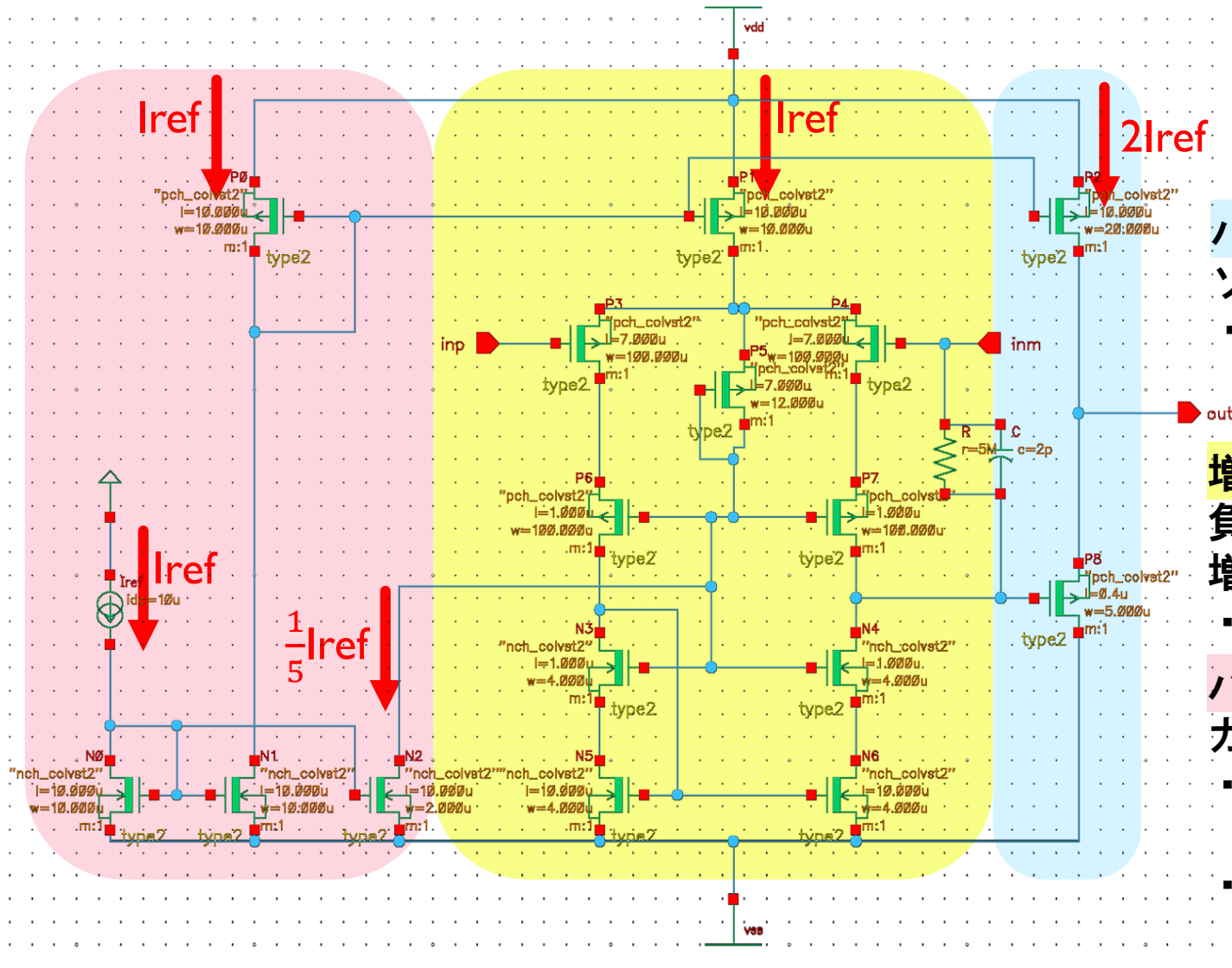
消費電力の低下



※今回はDSOI層のないチップで測定している。

SOI-STJ5

帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発



回路全体に
 $V_{dd} - V_{ss} = 3.0V$
を印加

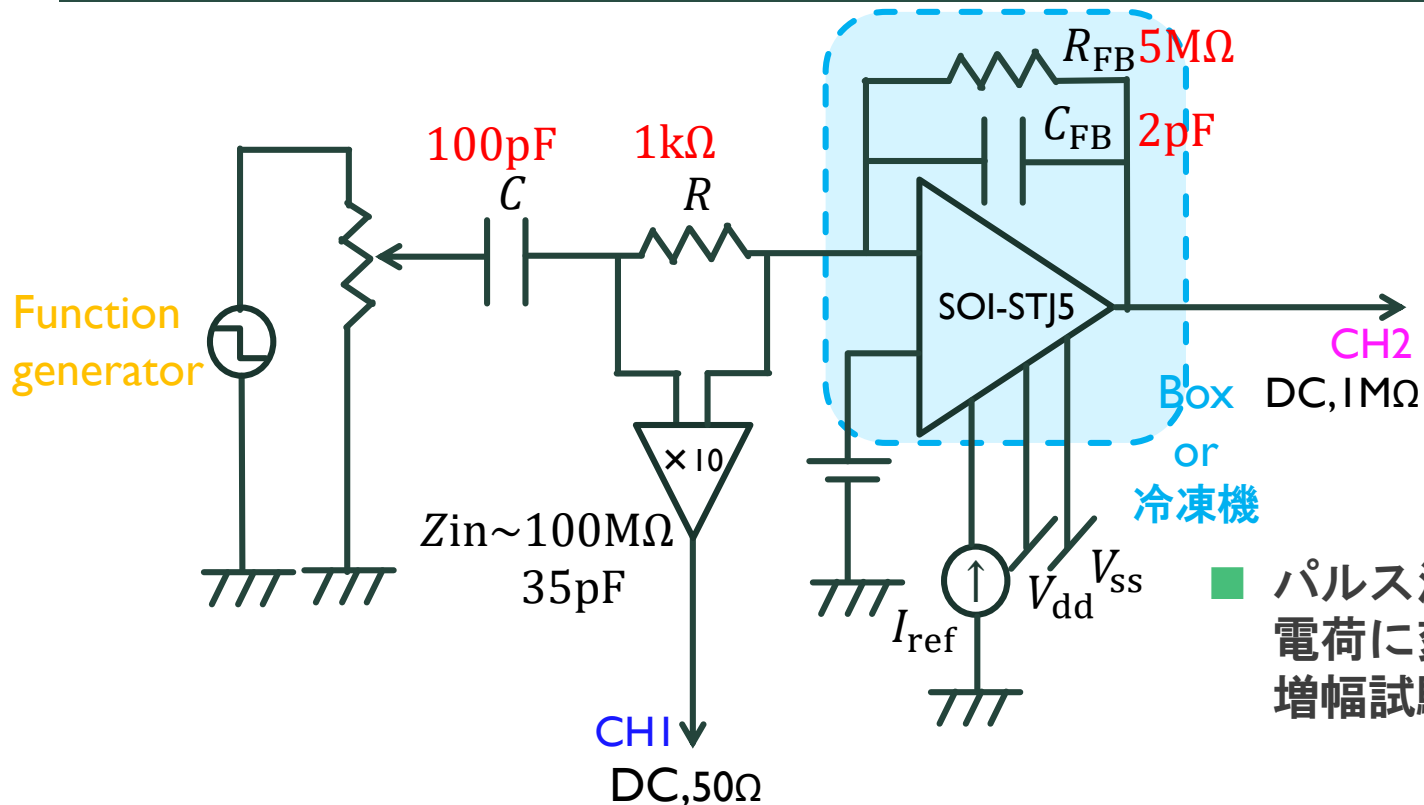
バッファ一段
ソースフォロウ回路
・ 周波数特性の改善

増幅段
負帰還付き電荷積分型
増幅回路
・ 低い入力抵抗

バイアス回路
カレントミラー回路
・ 増幅器のアレイ化
に対応

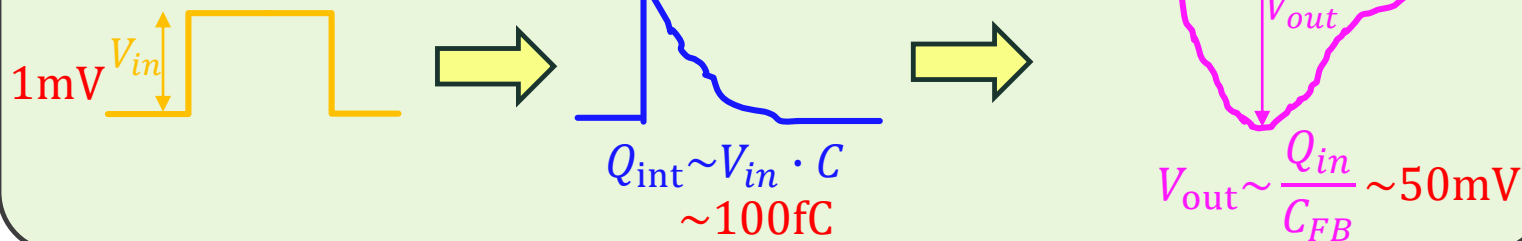
・ $I_{ref} = 10\mu A$ いれると
 $I_{dd} = 40\mu A, I_{ss} = -50\mu A$

測定系

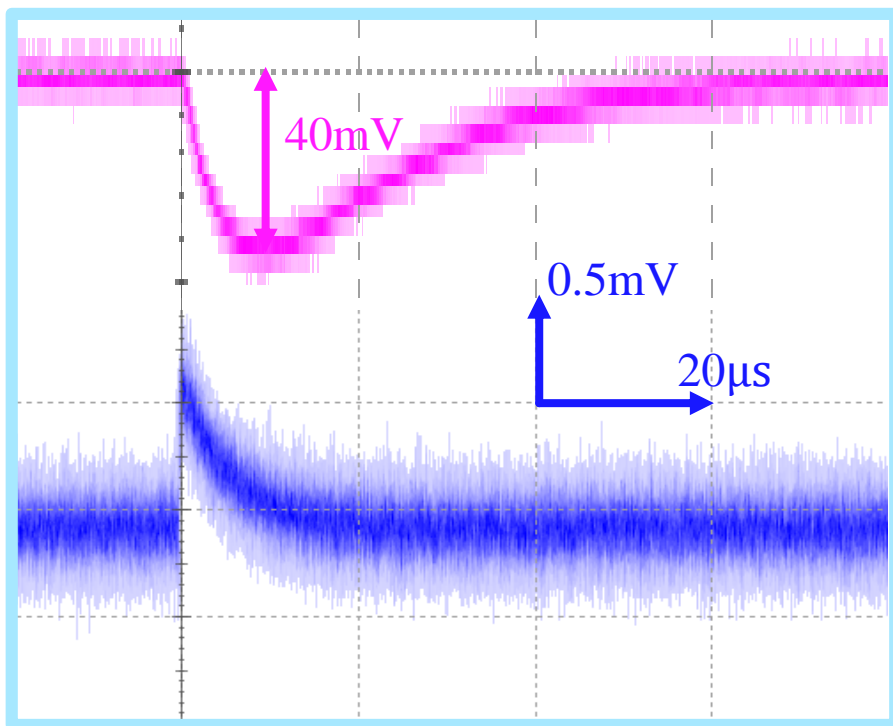


■ パルス波を容量Cに入力し、電荷に変換してSOI-STJ5で増幅試験を行った。

信号の変化



室温での測定結果

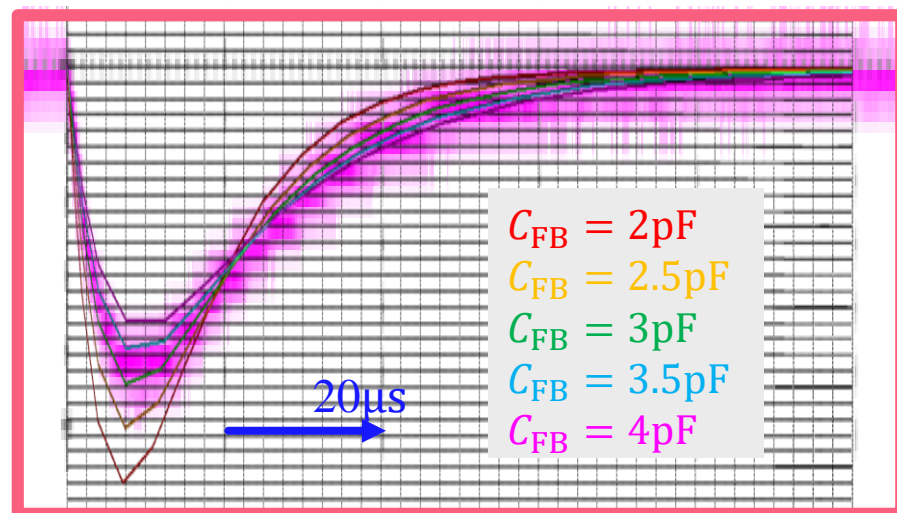


■ 入力電荷100fCに対して約40mVの大きさの出力。
(予想は50mV)

➡ SOI-STJ5は増幅器として正常動作している。

測定中に素子に印加した電圧と電流値

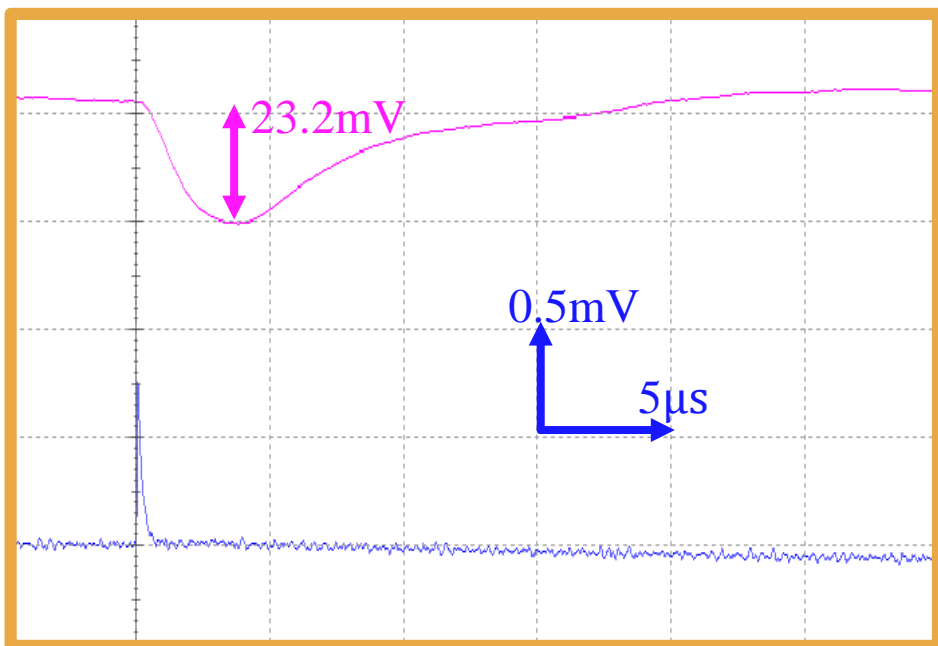
$$\begin{array}{ll} V_{dd} = 1.5V & I_{dd} = 40.8\mu A \\ V_{ss} = -1.5V & \rightarrow I_{ss} = -50.2\mu A \\ I_{ref} = 10\mu A & V_{ref} = -0.555V \end{array}$$



■ 負帰還の抵抗 R_{FB} の実測値5.36MΩより、 C_{FB} を2~4pFと変化させてsimulationした。

➡ C_{FB} は3pFで形成されてると予想

極低温での測定結果



- 入力電荷100fCに対して予想される出力信号の大きさ（室温）
~50mV

→ 極低温環境下においても
信号増幅が確認出来た。

測定中に素子に印加した電圧と電流値

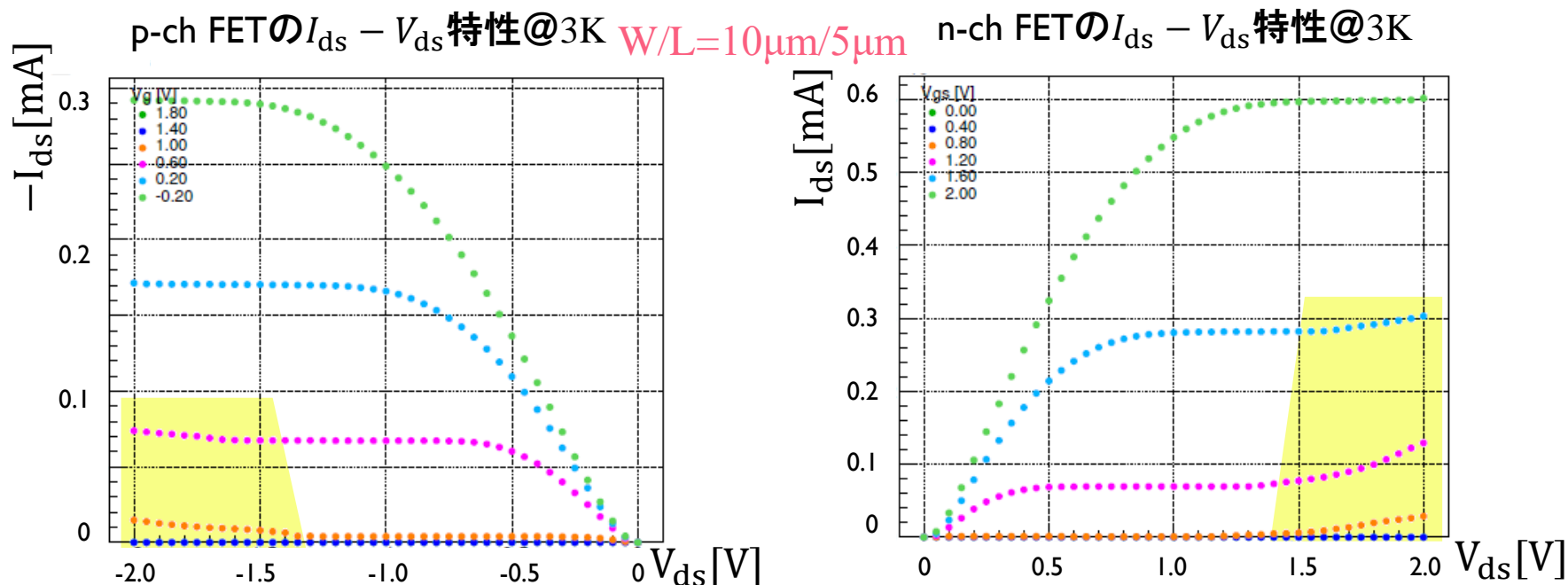
$$\begin{array}{ll} V_{dd} = 1.5V & I_{dd} = 142.3\mu A \\ V_{ss} = -1.5V & \rightarrow I_{ss} = -151.7\mu A \\ I_{ref} = 10\mu A & V_{ref} = -0.560V \end{array}$$

本来なら $I_{ref} = 10\mu A$ に対して
 $I_{dd} = 40\mu A$, $I_{ss} = -50\mu A$ が観測されるはず。

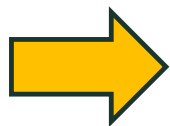


バイアス回路のカレントミラー回路が
異常動作している。
この原因として、極低温でよく見られる
kink効果によるFETのドレイン電流 I_{ds} 増加
が考えられる。

極低温でのFD-SOI cmosのIV特性

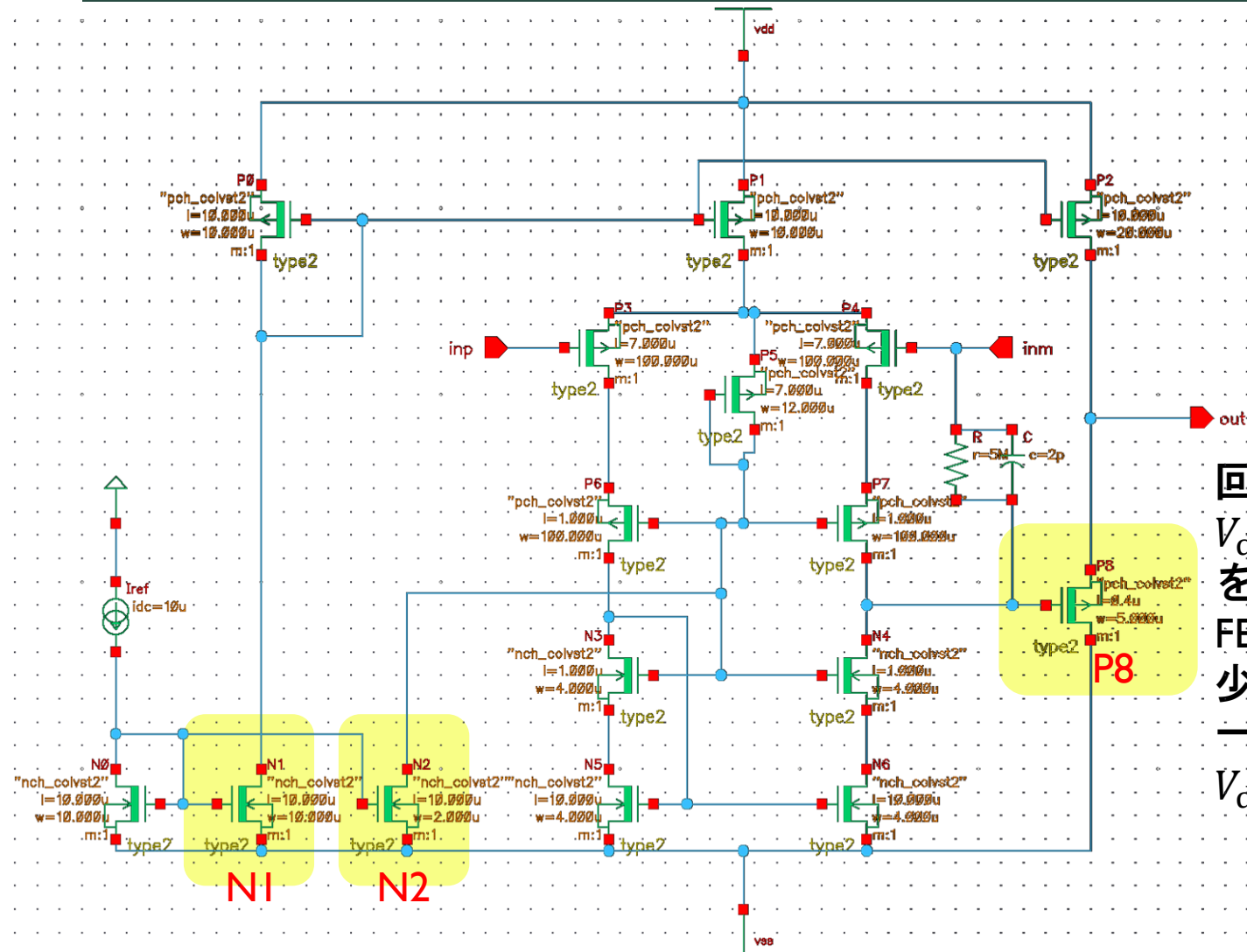


- $|V_{gs}| < |V_{ds}|$ の領域で I_{ds} の急激な上昇を示す kink 効果が現れる。※八木修論
- Simulation から SOI-STJ5 回路上の全 FET の動作点を確認し、過去測定した極低温における FD-SOI-MOSFET の $I_{ds} - V_{ds}$ 特性と比較したところ三箇所の FET が kink 領域で動作している可能性がある。



NI, N2, P8 の FET (次のページ)

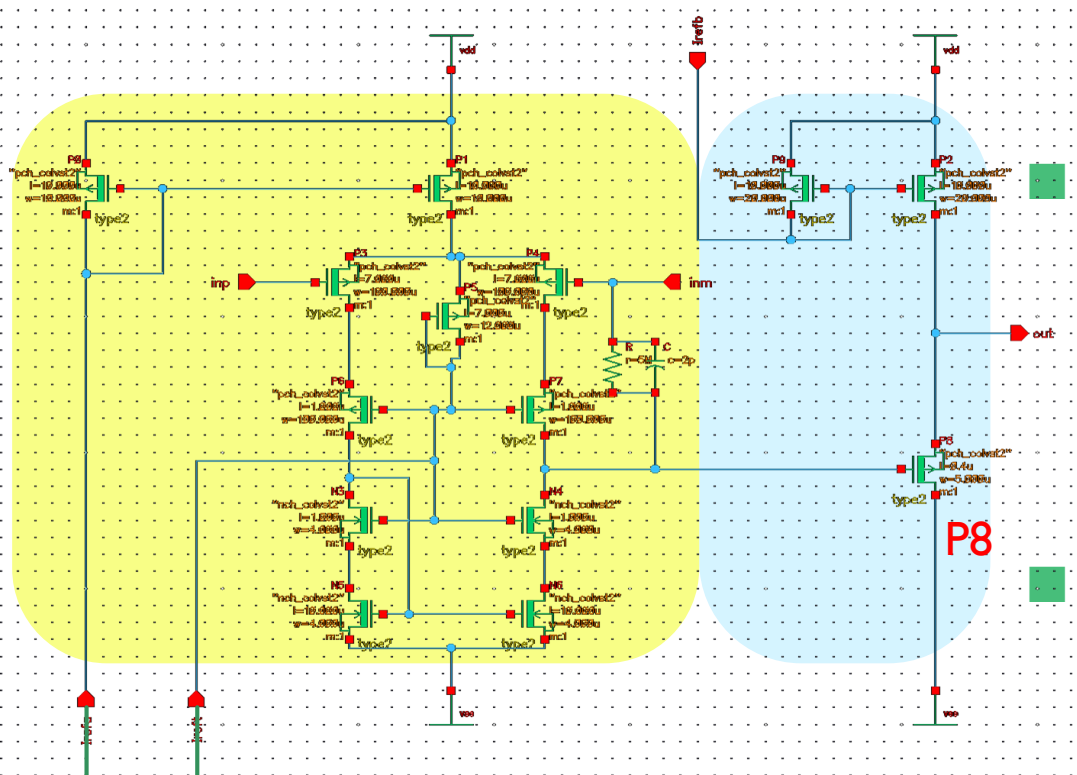
kink領域で動作している可能性のあるFET



回路全体に
 $V_{dd} - V_{ss} = 3.0V$
を印加するので
FETの縦積み個数が
少ない箇所では
一つ一つのFETの
 V_{ds} は高くなってしまふ。

$|V_{gs}| < |V_{ds}|$ のkink領域で動作してしまふ。

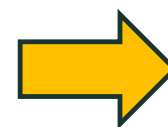
今後



N2のドレインと接続していた配線

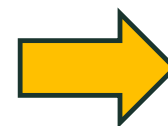
N1のドレインと接続していた配線

■ バイアス回路を抜いた回路を使用した場合、増幅段を動作させてもkinkは起こらないはず。



N1, N2が増幅段での過剰電流の原因か確認

■ P8 がkinkで動作していた場合バッファ一段を動作させると過剰に電流が流れるはず。



P8がkinkで動作していた場合バッファ一段単体のもので正常動作する電圧値を探る。

対策として...

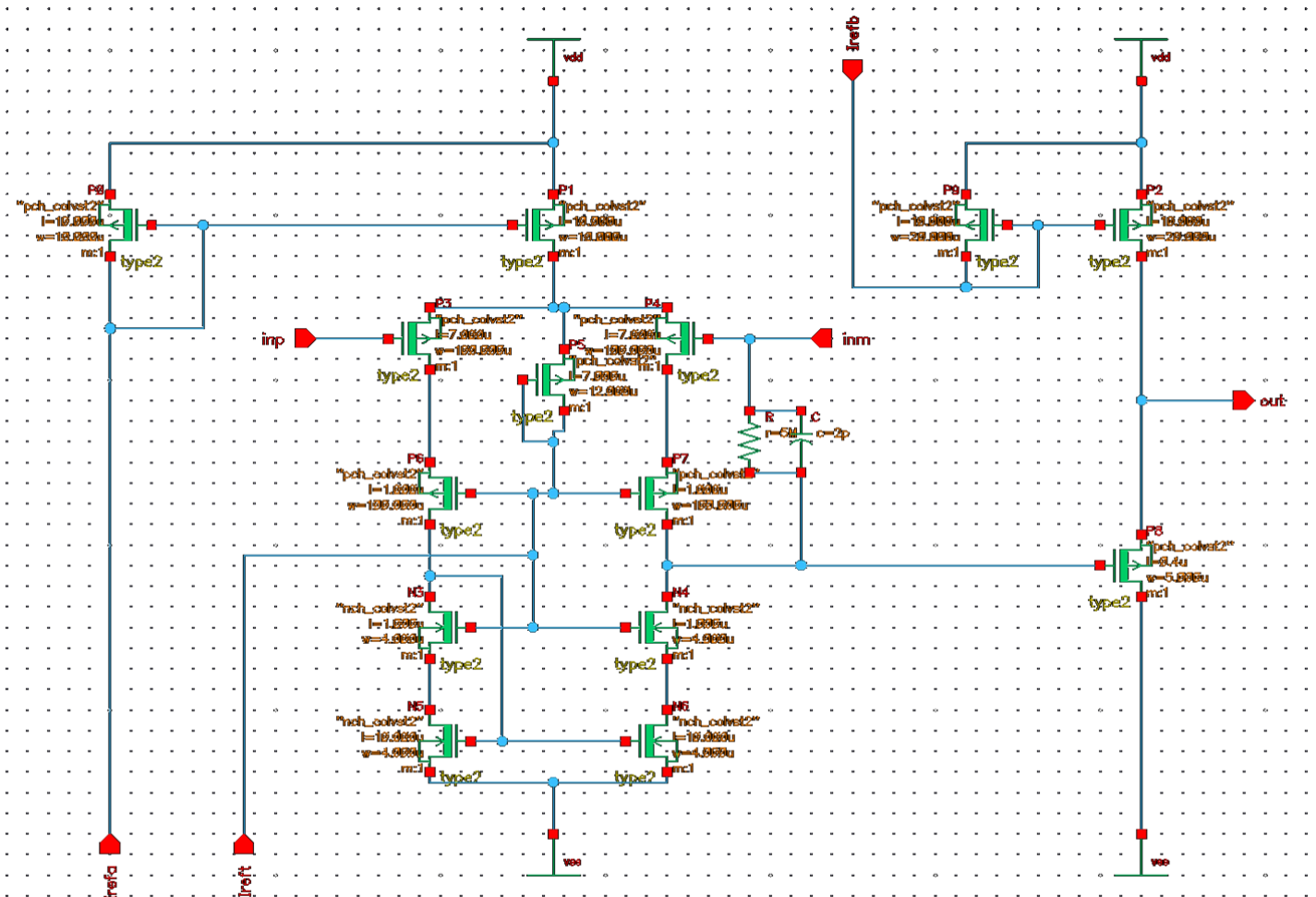
- ・ ダイオード接続をしたFETを入れる事による電圧差消費

まとめ

- COBAND実験に向けて極低温で動作する
帰還付き差動増幅回路による電荷積分型増幅器の開発を行っている。
- 現在、設計した増幅器が常温で正常動作することを確認し
極低温においても信号を増幅することを確認した。
- しかし、極低温においては電流が設計値より多く流れると
いう異常動作を示しているのでその対策を行っていく。

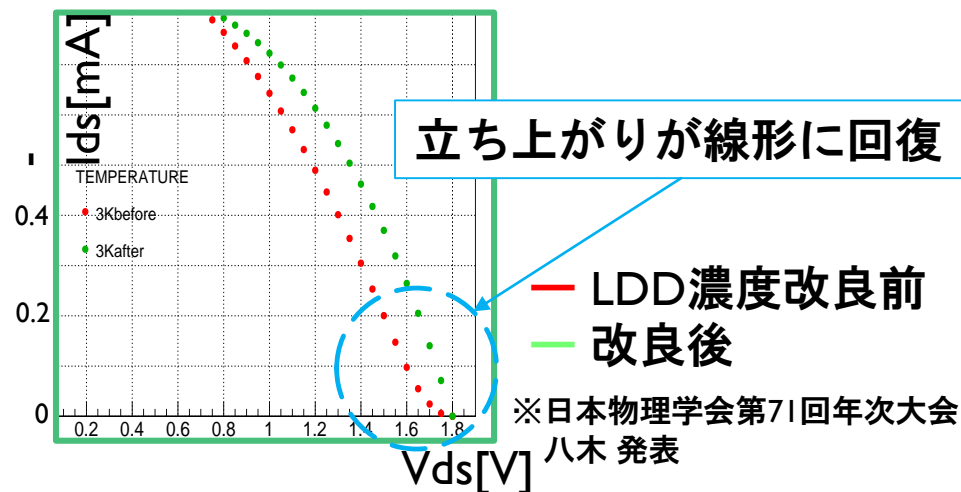
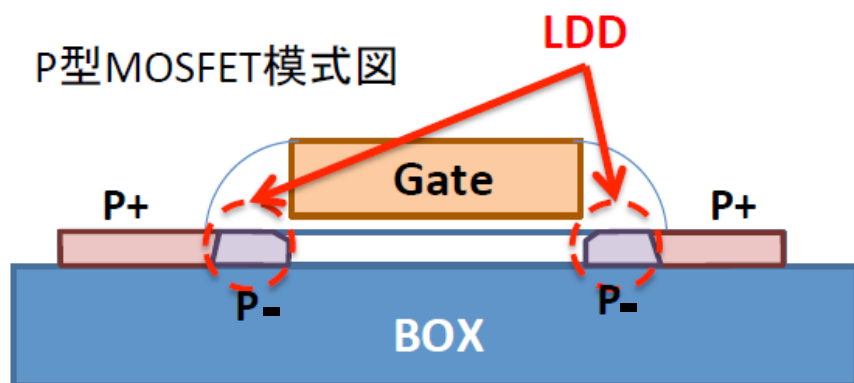
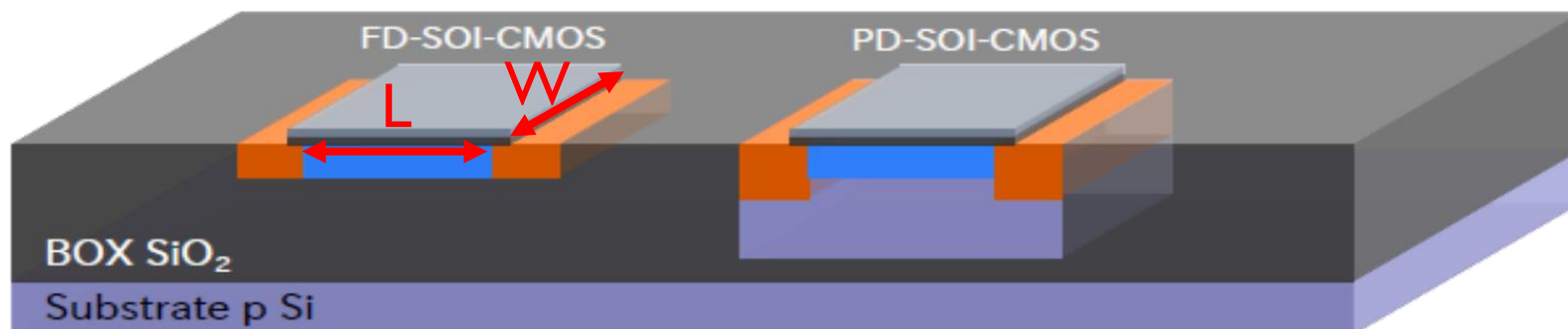
Backup

今後



- バイアス段のない回路を用い、増幅器が正常動作するかの確認と極低温における各バイアス点での適正電圧を測定するため現在実験準備中！

使用しているMOSFET



■ FD-SOI

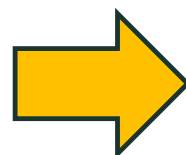
■ Lightly Doped Drain濃度改善

■ 省消費電力

■ 極低温におけるMOSFETの異常特性を改善

■ 浮遊体効果の抑制

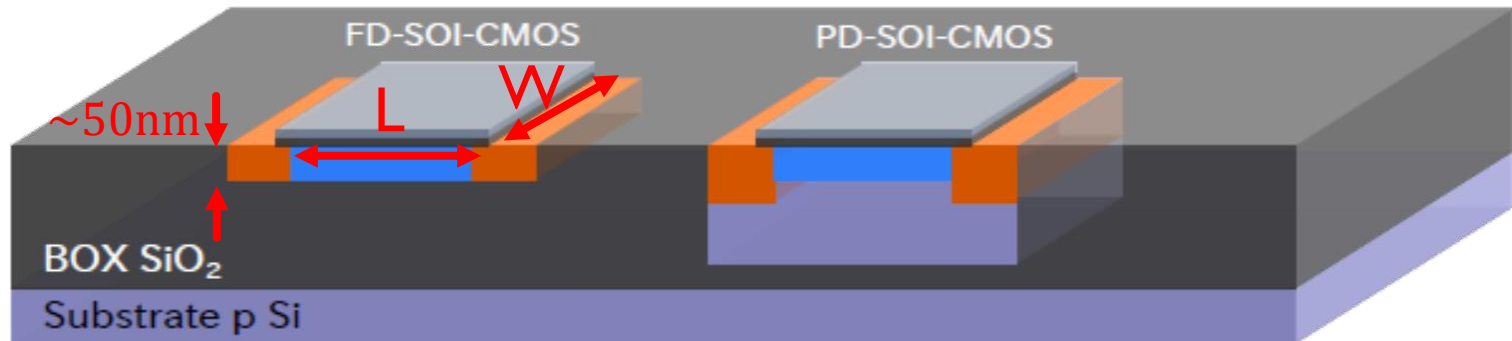
※今までの最大W/L=70/1



大きいサイズのMOSFET
(W/L=190/20)の特性を確認

FD-SOI

Fully Depleted Silicon-On-Insulator

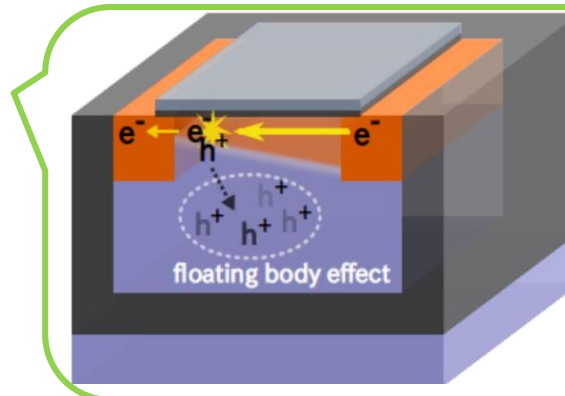


■ SOIは酸化膜上にFETを形成

- MOSFET間の寄生容量がとても小さい
- 消費電力が小さい

■ FD-SOIはボディーを薄く形成したSOI

- 浮遊帯効果を抑制

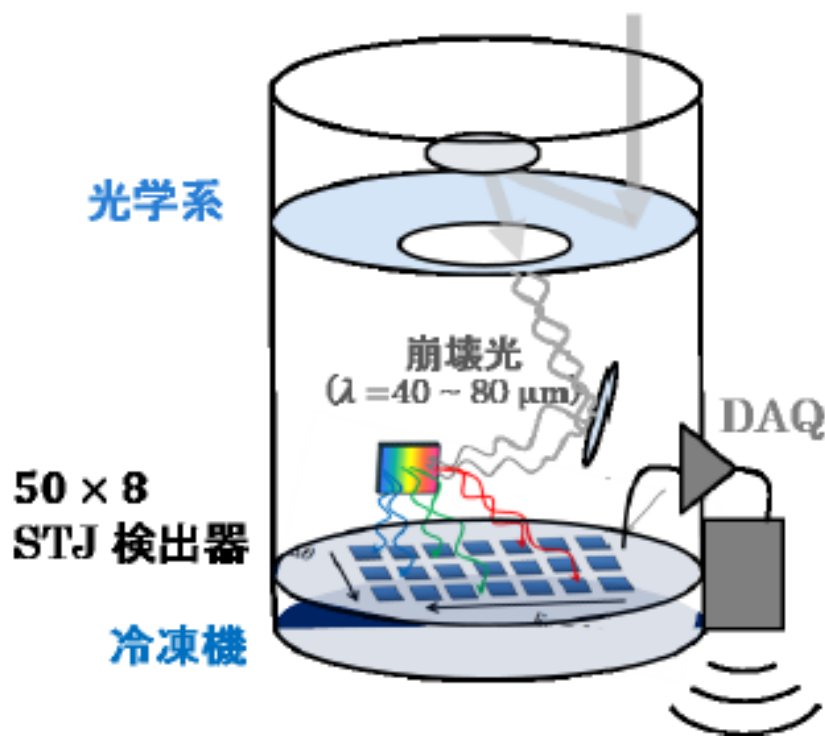


移動度の高い電子がSi原子に衝突し、電子-正孔対が生成される。
全空乏化されていないと正孔がボディーに溜まってしまう

ロケット実験

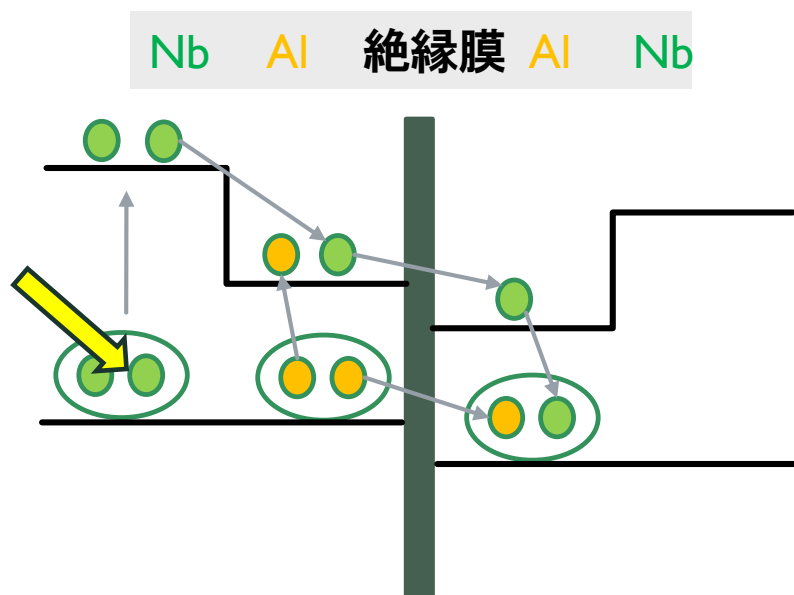
ニュートリノ崩壊光探索の概要図

高度200km, 約5分の観測



- データ収集
 - 上空200km
 - 収集時間200sec
- 50×8の検出器を使用
 - 検出器としてNb/Al-STJを使用
 - 遠赤外光が入射したかを検出
- 3Heソーブション減圧冷凍機を使用
 - 到達温度：0.4K
- ニュートリノの寿命の下限値を修正
 - $\tau > 10^{14}$ years
 - 有意度 5σ

バックトンネリング効果



■ バックトンネリングの仕組み

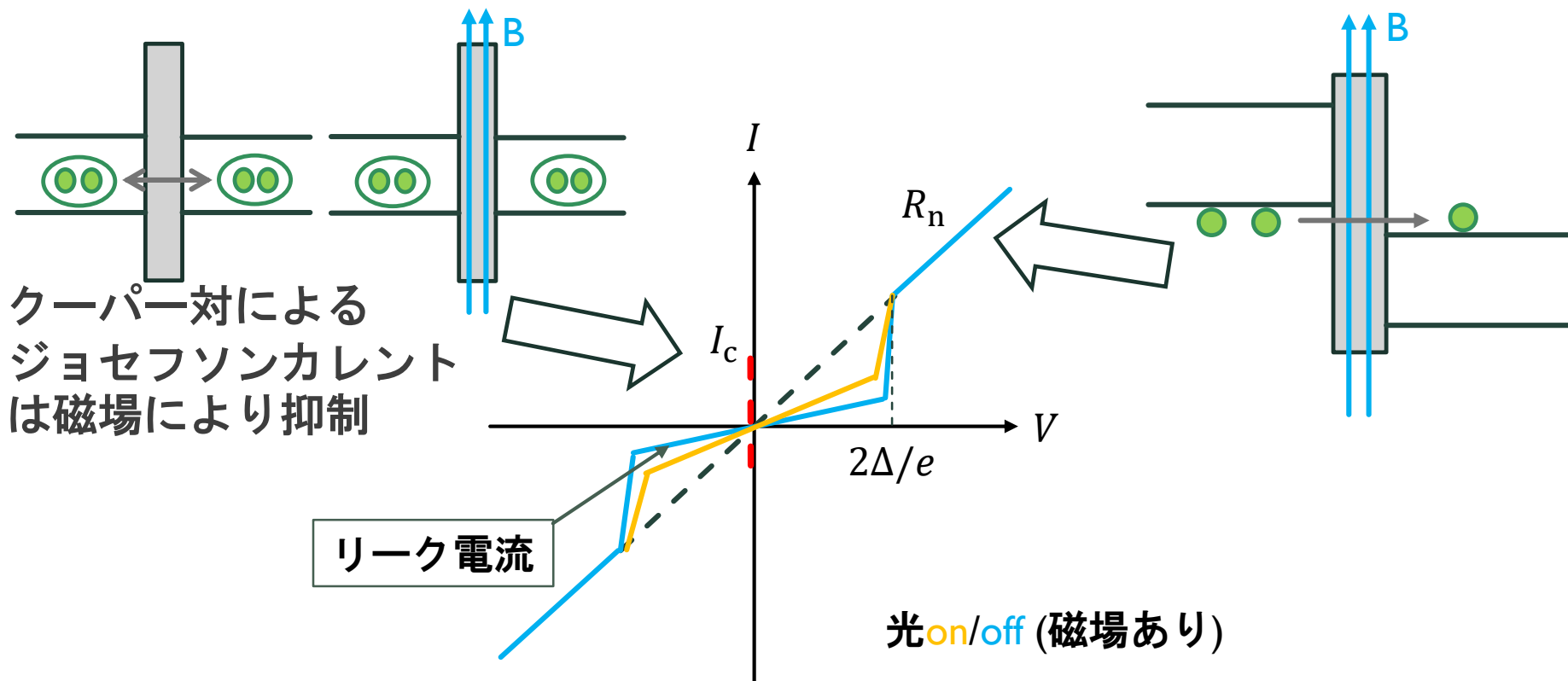
- ✓ Nb層に光が入射し、クーパ対が励起して準粒子を生成
- ✓ 生成された準粒子内あるものはそのままトンネル
- ✓ トンネルしなかった準粒子はAl層での準粒子の存在確率を高める
- ✓ トンネルした準粒子がAl層のクーパ対の片割れとクーパ対を作る
- ✓ その際に余った電子が準粒子としてAl層で励起

■ Nb/Al-STJではG~10

STJの電流-電圧カーブ

■ 光応答を見る際は $|V| < 2\Delta/e$ の範囲の変化が見られる
ような電流値に固定する

✓ リーク電流がノイズとなる



極低温増幅器の開発

■ SOI-STJ4まではソース接地増幅器を開発してきた。

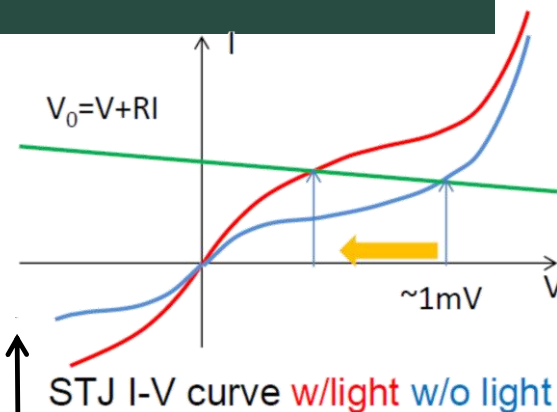
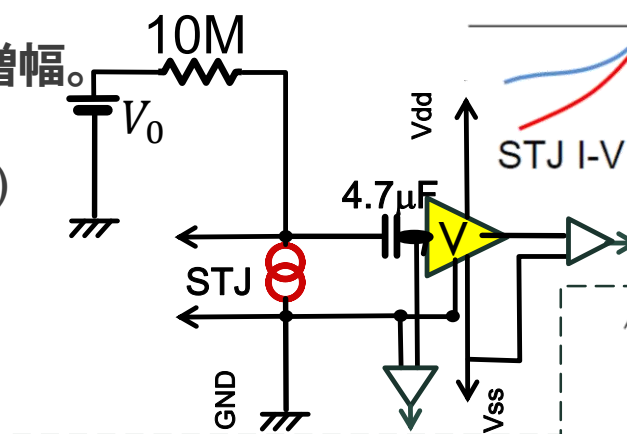
- 入力インピーダンスが大きいため、定電流モードにして電圧の変化を増幅。
→STJ自身の容量(100 μ m角で1nF)や、冷凍機配線の寄生容量(片道0.5nF)の影響を強く受ける。



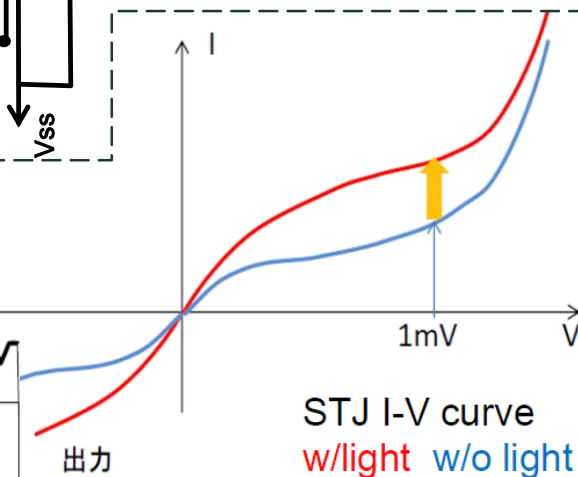
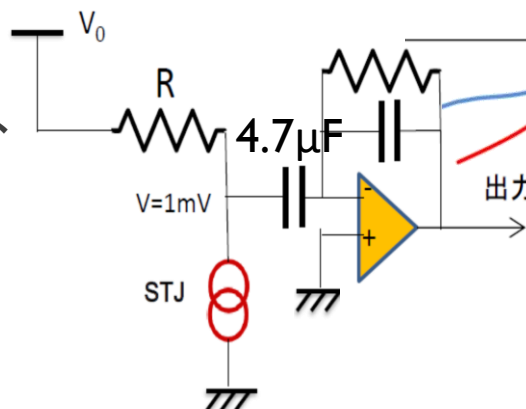
■ SOI-STJ5では、オペアンプを使用

- 帰還回路によるバーチャルショートで入力インピーダンスが小さいため、定電圧モードが可能。
電流の変化を電荷積分して増幅。
→寄生容量の影響を受けにくい。

定電流モード



定電圧モード



リーク電流への要求

■ Nb/Al-STJで25meVのI光子を測定する

- ✓ 生成電荷数 : $N_{sig} = G_{Al} * \frac{E_\gamma}{1.7\Delta} = 10 \times \frac{25\text{meV}}{1.7 \times 0.6\text{meV}} \sim 250$
- ✓ ノイズによる電荷数 : $N_{leak} = \frac{i_{leak} \times \tau}{e}$
- ✓ N_{sig} の揺らぎ : $\delta N_{sig} = G_{Al} \sqrt{F * \frac{E_\gamma}{1.7\Delta}}$ Fano因子 : $F \sim 0.2$
- ✓ N_{leak} の揺らぎ : $\delta N_{leak} = \sqrt{N_{leak}}$
- ✓ STJの応答速度 : $\tau \sim 1\mu\text{s}$

■ 信号が300Hzで入ってくると考え リークによるノイズを1/10, 検出効率97.5%と要求

- ✓ $4\sqrt{N_{leak}} = N_{sig} - 2\sqrt{(\sqrt{N_{leak}})^2 + (\delta N_{sig})^2}$

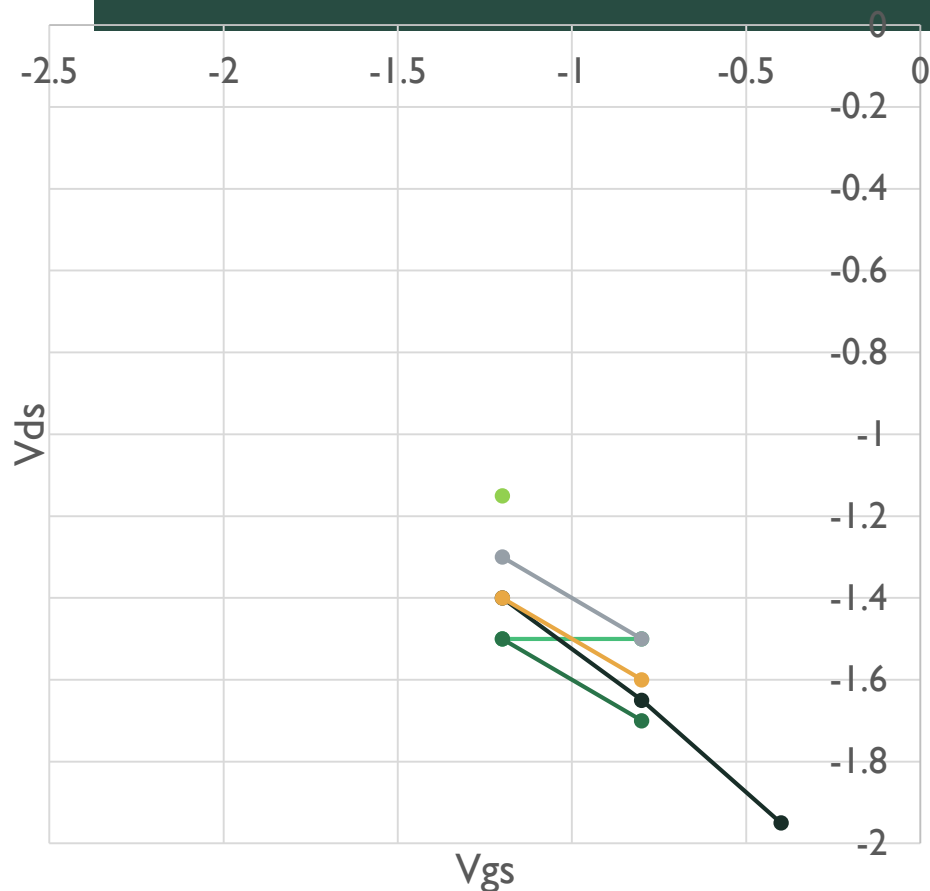
 $i_{leak} \sim 250\text{pA}$

現在、20 μm 角のNb/Al-STJで $i_{leak} \sim 100\text{pA}$ を達成！

SOI-STJ5回路上のpchの動作点

八木さんの修論データでの
Kinkの起こる点(pch)

Simulation($I_{ref}=10\mu A, in_p=in_m=0V$)による
SOI-STJ5上の各pchでの V_{ds}, V_{gs}



● 1/0.4 ● 2/0.4 ● 10/0.4 ● 1/1
● 2/1 ● 10/1 ● 1/5 ● 10/5

$V_{ds} < -1.1V$

$-1.2V < V_{gs} < -0.4V$

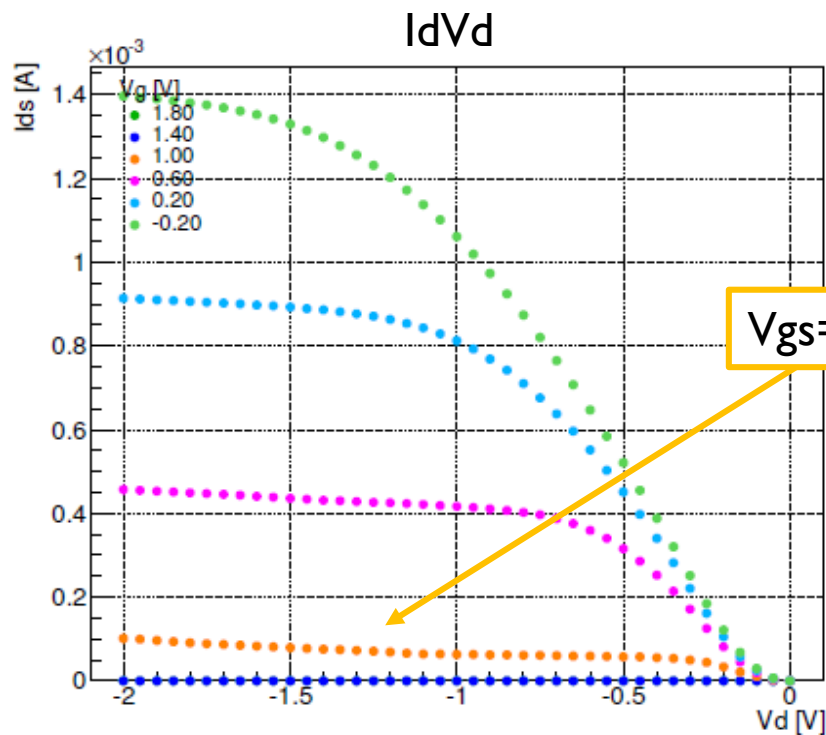
の領域でkinkが起こっている。

	W/L	$v_{ds}[V]$	$v_{gs}[V]$
p0	10/10	-1.074	-1.074
p1	10/10	-0.941	-1.074
p2	20/10	-0.88	-1.074
p3	100/7	-0.231	-0.559
p4	100/7	-0.231	-0.5590004
p5	12/7	-0.681	-0.681
p6	100/1	-0.875	-0.45
p7	100/1	-0.328027	-0.45
p8	5/0.4	-2.12	-0.620027

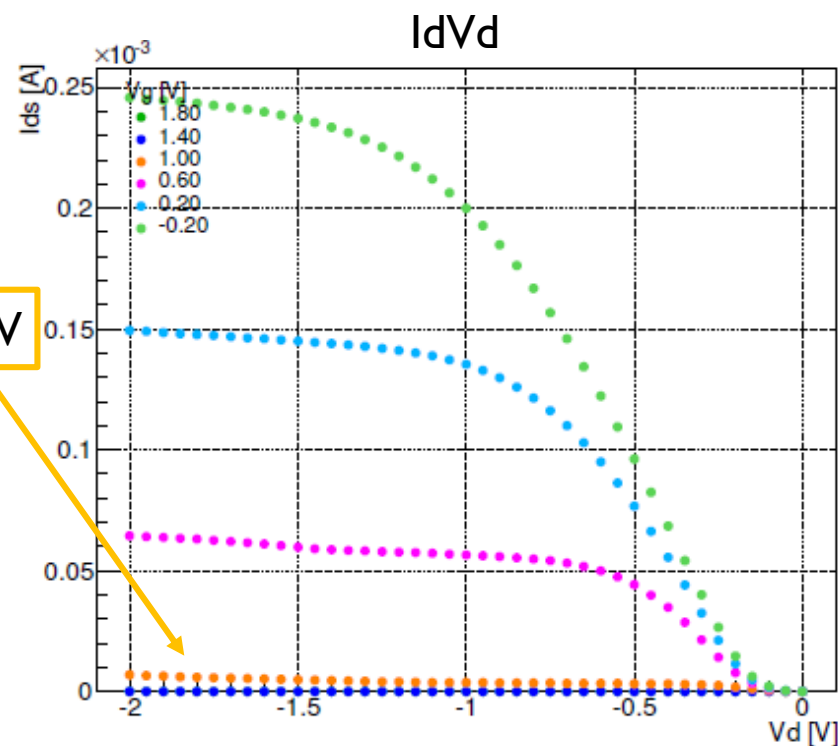


Buffer段のp8でkinkが起こる可能性有

八木さんの修論 I_{ds} - V_{ds} カーブとの比較



$W/L=10/0.4$ の pch @ 3K



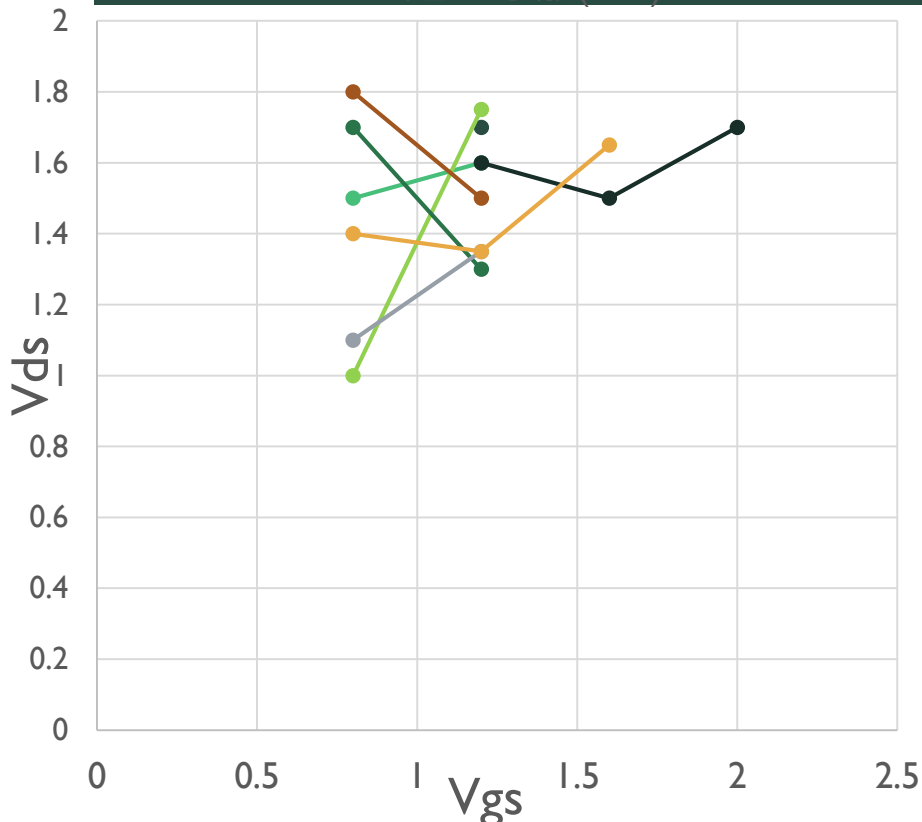
$W/L=2/0.4$ の pch @ 3K

p8: $W/L=5/0.4$, $V_{ds} \sim -2.1V$, $V_{gs} \sim -0.6V$

→ p8は上二素子の間の大きさ、kink起こりそう？

SOI-STJ5回路上のnchの動作点

八木さんの修論データでの
Kinkの起こる点(nch)



1/0.4 2/0.4 10/0.4
1/1 2/1 10/1
1/5 10/5
 $1.0V < V_{ds}$
 $0.8V < V_{gs}$
の領域でkinkが起こっている。

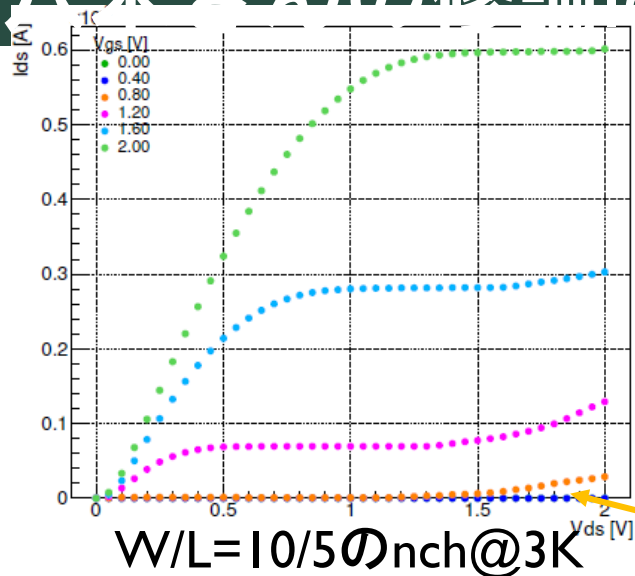
SimulationによるSOI-STJ5上の
各nchでの V_{ds} , V_{gs}

	W/L	$v_{ds}[V]$	$v_{gs}[V]$
n0	10/10	0.963	0.963
n1	10/10	1.926	0.963
n2	2/10	1.378	0.963
n3	4/1	0.277	0.702
n4	4/1	0.819973	0.698
n5	4/10	0.676	0.953
n6	4/10	0.68	0.953

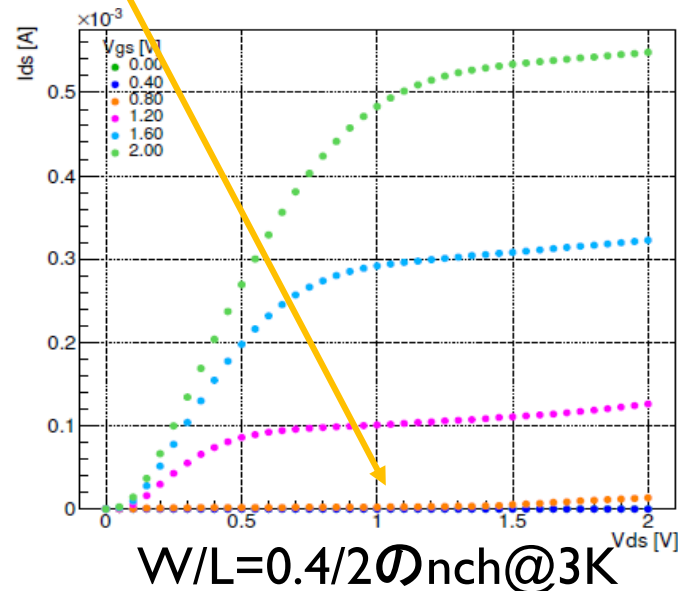
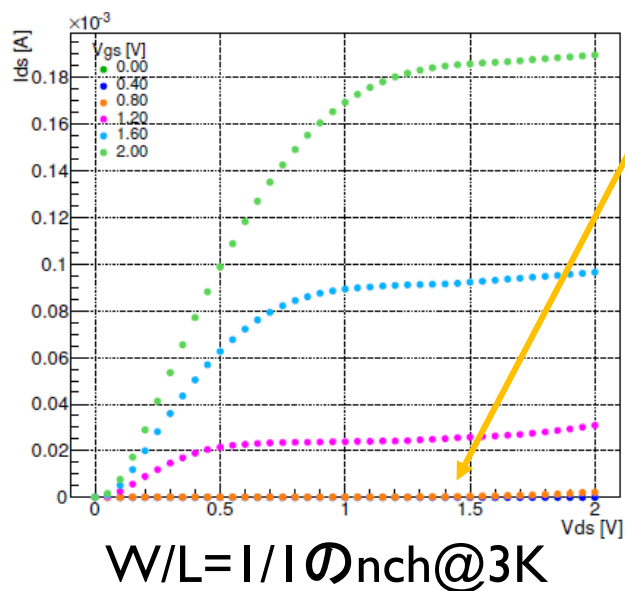


Bias段のn1,n2でkinkが起こる可能性有

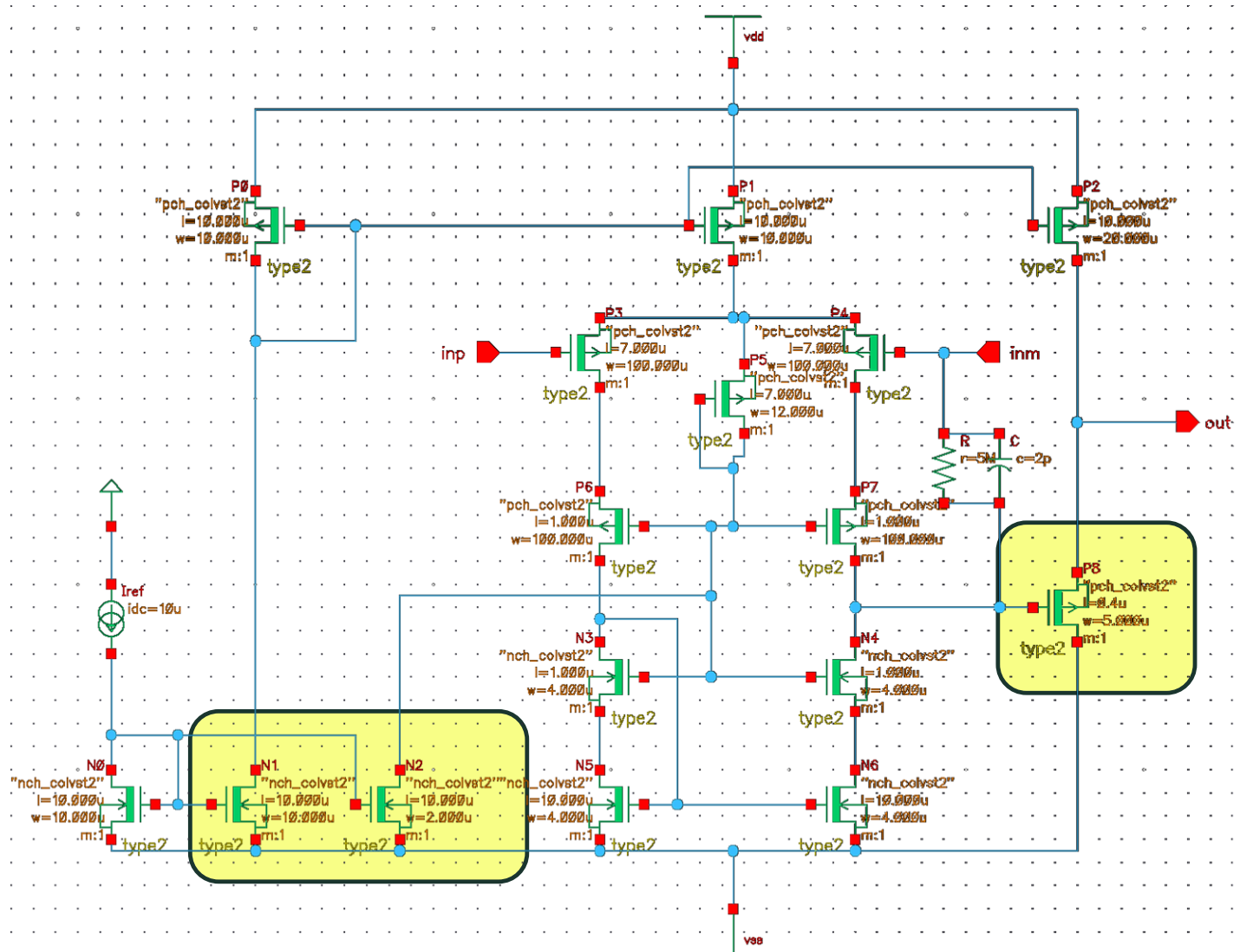
八木さんの修論 I_{ds} - V_{ds} カーブとの比較



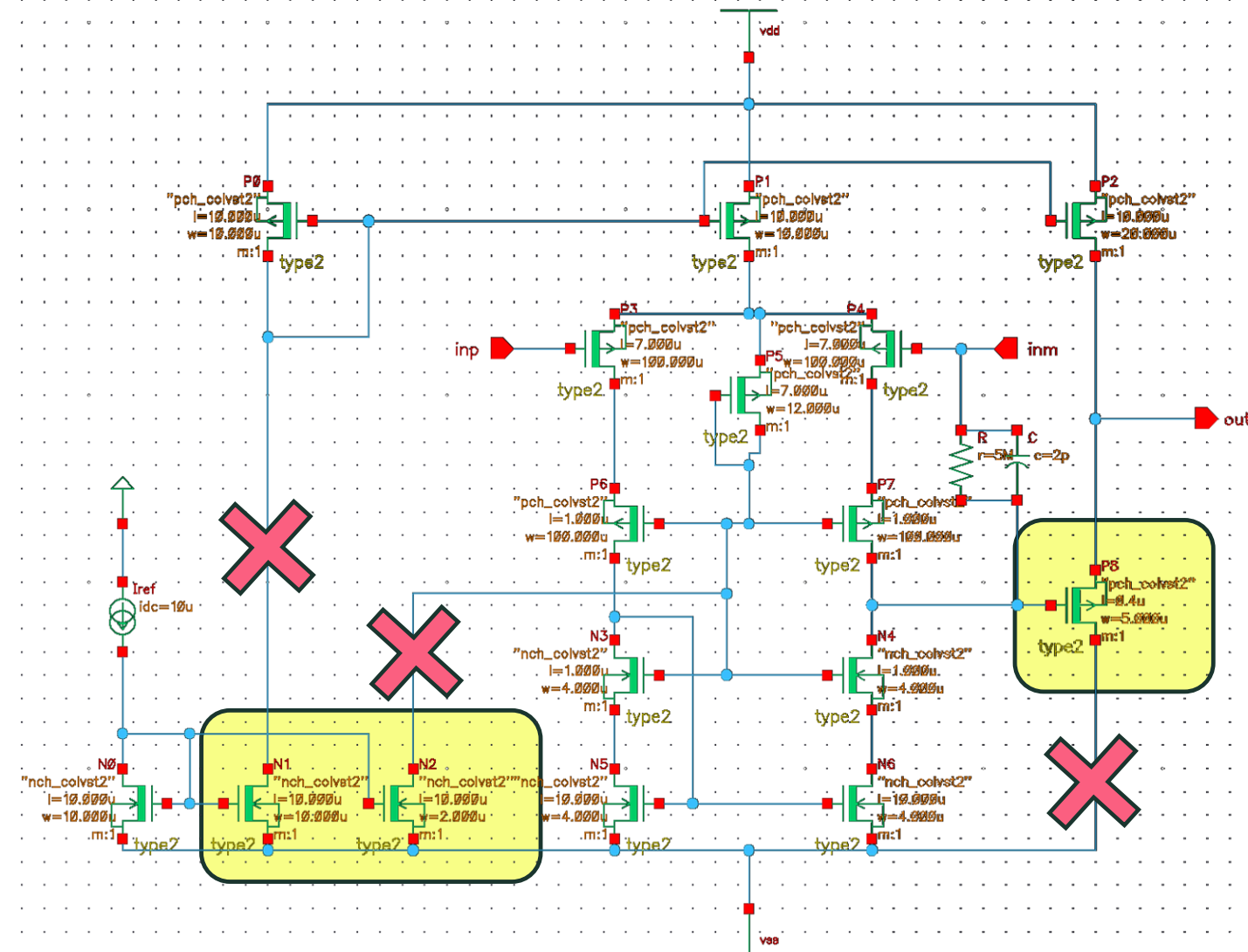
n1: $W/L=10/10$, $V_{ds} \sim 2V$, $V_{gs} \sim 1V$
 n2: $W/L=2/10$, $V_{ds} \sim 1.4V$, $V_{gs} \sim 1V$
 → n1はkink起こりそう。
 n2は微妙。



kink領域で動作している可能性のあるFET



Kink対策案



✕ の箇所に
ダイオード接続した
FETを入れて電圧を
消費する

ダイオード接続

n1: $V_{ds} \sim 2V$
 $V_{gs} \sim 1V$

n2: $V_{ds} \sim 1.4V$
 $V_{gs} \sim 1V$

p8: $V_{ds} \sim -2.1V$
 $V_{gs} \sim -0.6V$

1番目のダイオード接続

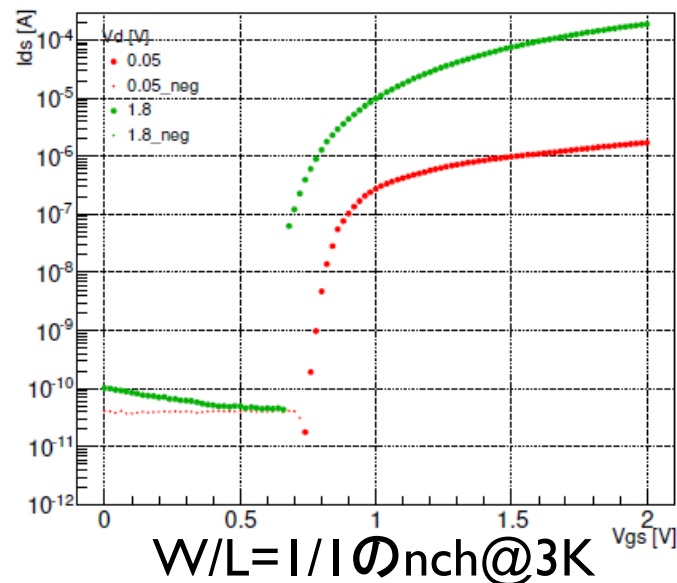
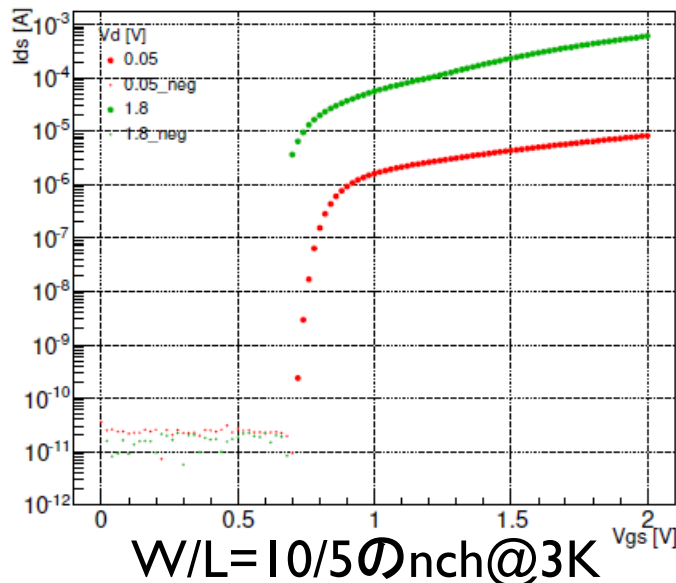
$V_{ds} = V_{gs} = 1V$ くらいで動作するもの
 $\rightarrow W/L = 10/10$

2番目のダイオード接続

$V_{ds} = V_{gs} = 1V$?
 $\rightarrow W/L = 10/10$

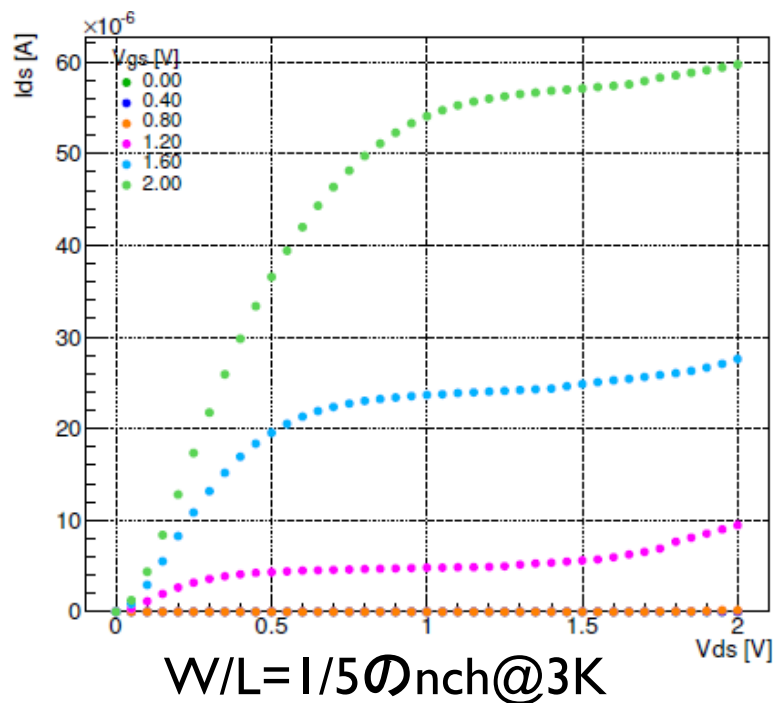
3番目のダイオード接続

output swing幅に関わってくるので
 出来るだけ低い電圧で動作するもの



$V_{th} \sim 0.7V$

FETのサイズ変更



他のFETをそのままにしたら

n1: $V_{ds} \sim 2V$

n2: $V_{ds} \sim 1.4V$ になる。

← $W/L = 1/5$ だったら

$I_{ds} = 10\mu A$ なのは $V_{gs} \sim 1.4V$ ぐらい？

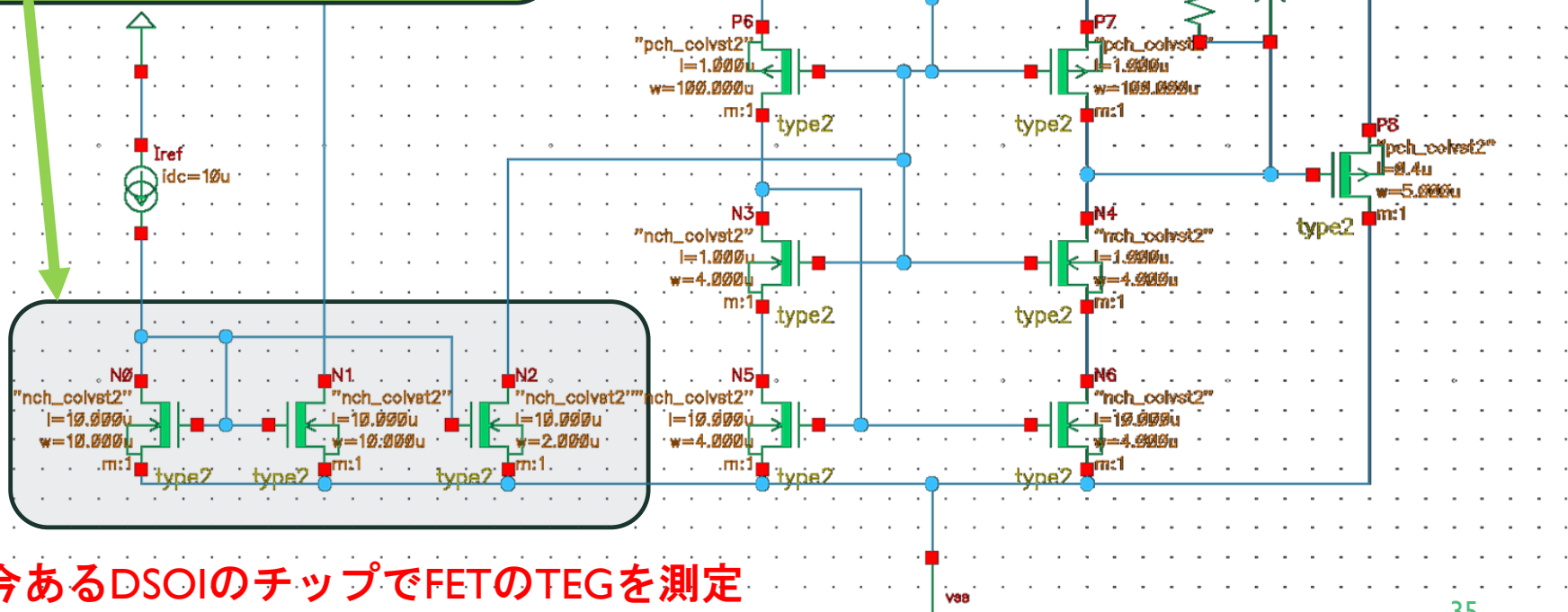
n0, n1: $W/L = 10/40$

n2: $W/L = 2/40$ とか？

(今のチップに $W/L = 10/40$ のものある)

一部にDSOI層を入れる

もしp8がkinkしてなかったら
n0,n1,n2下にDSOI層入れてVth
下げてみる？



※今あるDSOIのチップでFETのTEGを測定

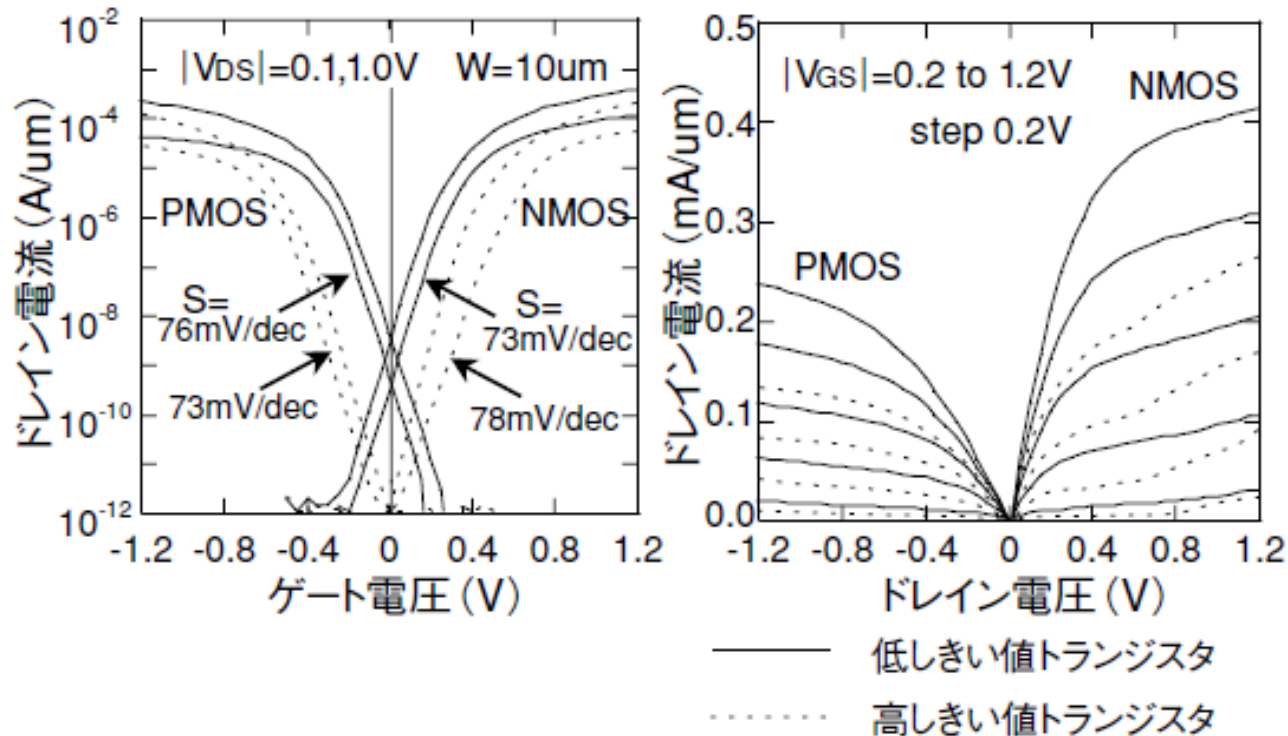


図5 0.15 μm FD-SOI-CMOSのI-V特性

閾値電圧が低い物の方が
kinkが起こりにくいらしい。

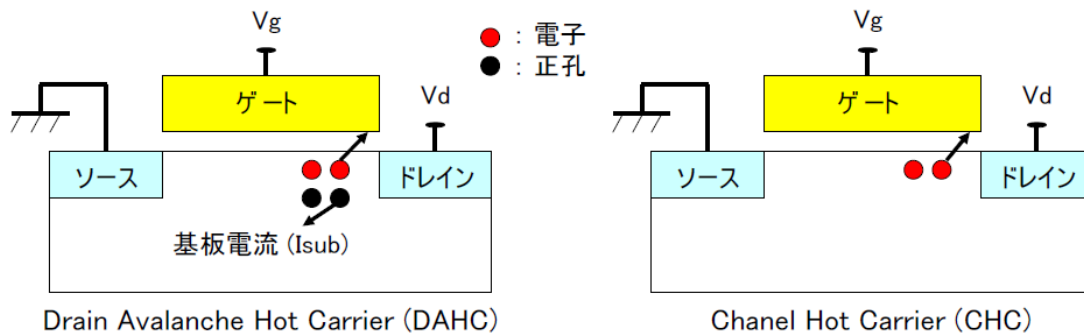


DSOI層に電圧を印加しながら
のIV特性の測定もしたい。
(学会後?)

ただ、今のlayoutだとSOI STJ5回路下全てを
同じDSOI層が覆ってるのでnかpどちらかを
制御すればもう片方はよりkinkが
起こりやすくなる。

→DSOI層を目的のFET下にだけ入れるとか?

3-1. Hot Carrier劣化の発生メカニズム



Hot Carrier劣化の発生メカニズムによって最大劣化条件が異なる

DAHC : 基板電流が最大となる条件 (I_{submax}) $\Rightarrow V_g = V_d/2$ 付近
 CHC : ドレイン電界・ゲート電界がともに最大となる条件 $\Rightarrow V_g = V_d$

比較的厚い酸化膜

NMOS - DAHC



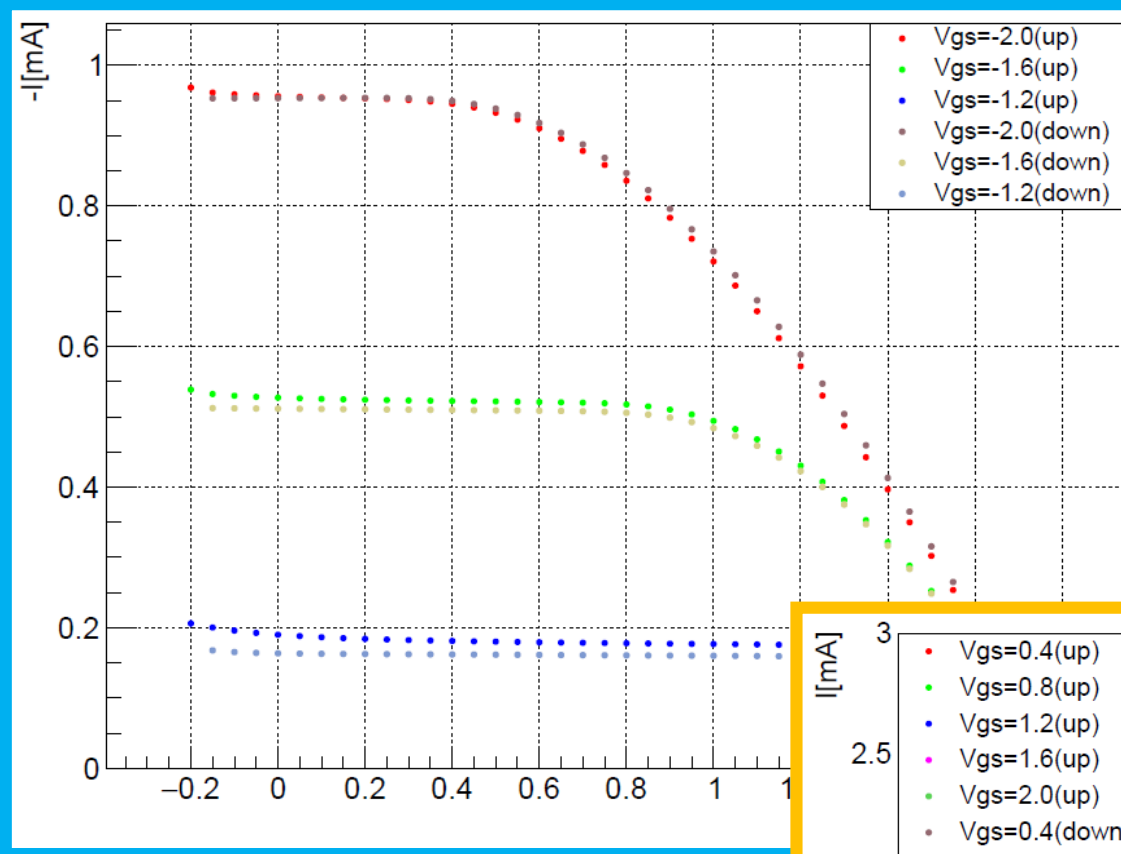
薄い酸化膜

NMOS - DAHC / CHC
 PMOS - CHC

ホットキャリアがゲート酸化膜に注入されることで V_{th} が移動することがあるらしい。
 これでkinkが起こるなら、JL-FETだとkinkは起こりにくい??



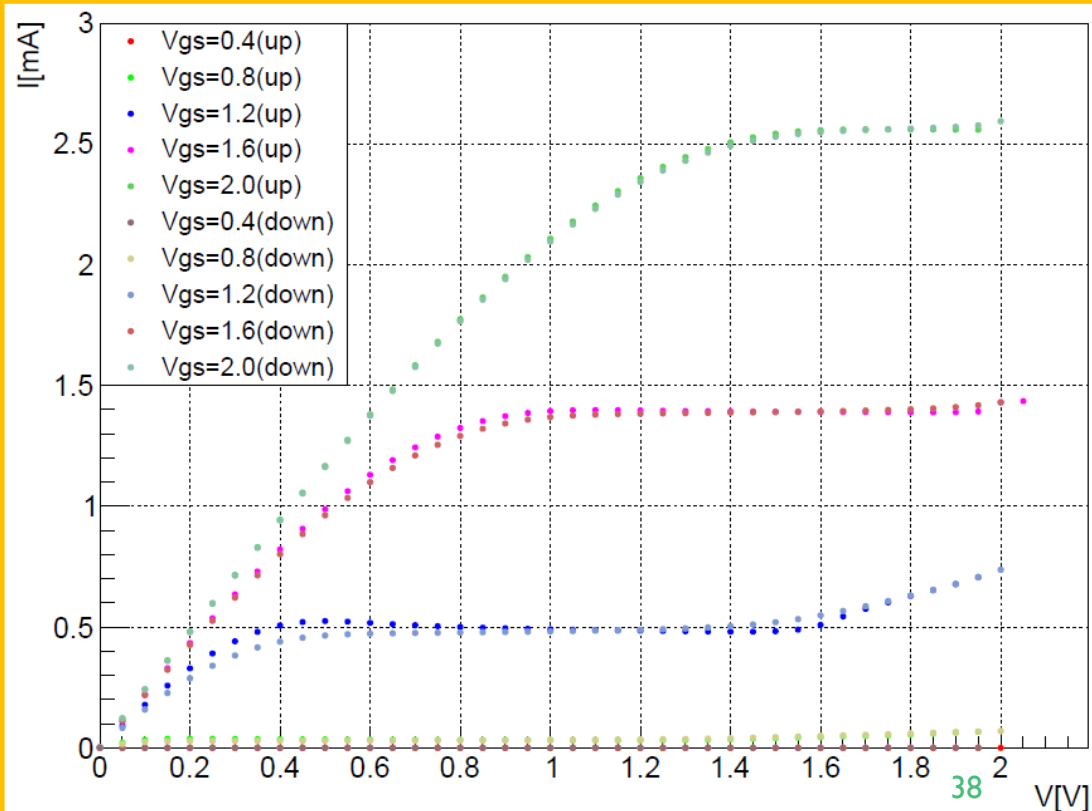
現在のチップ上にあるJL-FETを測定してみてkinkが起こりにくいようなら
 何か適当な回路(Source Followerとか)作ってみてもいいかも?



4Kにおけるpch(190/20)の
ヒステリシス測定結果

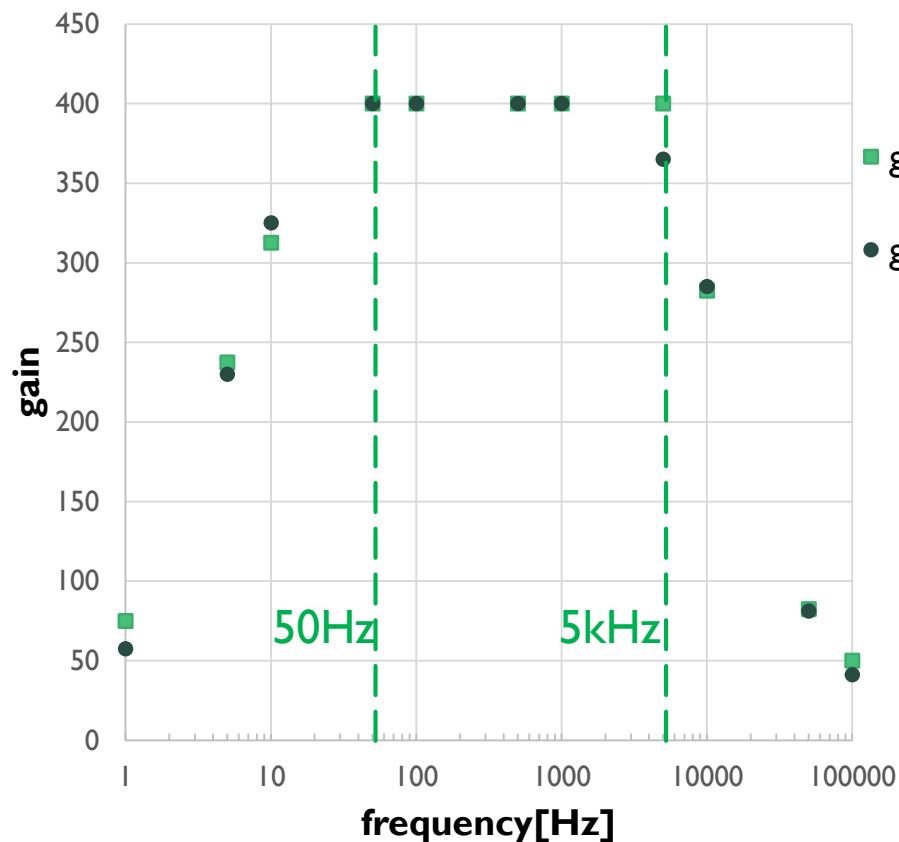
3Kにおけるnch(190/20)の
ヒステリシス測定結果

nchではup, down共にkink有
Pchではdownではkinkが抑制
→キャリアの移動度の違い?
セルフヒーティングによる影響は
nch, pch共に数%
kinkにはあまり影響していない?

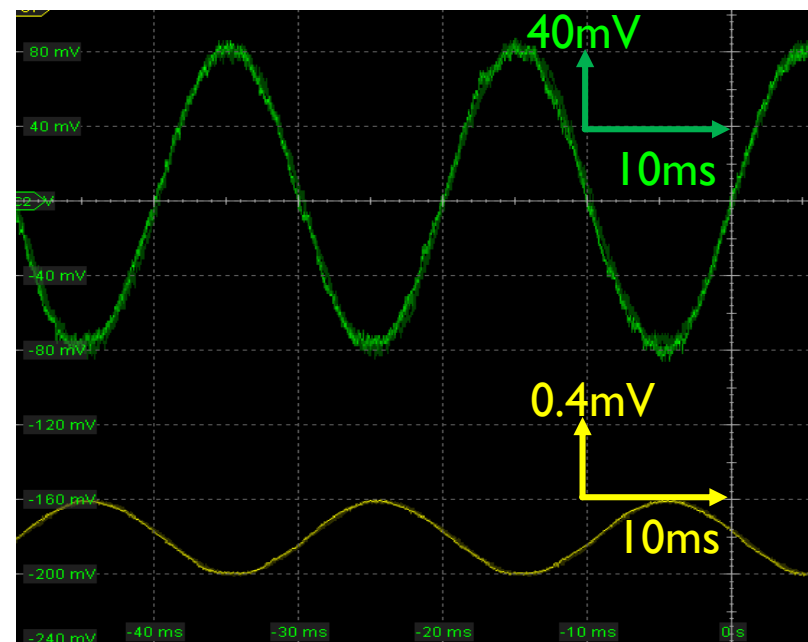


S-amp w/ all 周波数特性

冷凍機配線(有・無)で変化なし
カットオフ周波数 $\sim 5\text{kHz}$
低周波数側にもカットオフ有
 \rightarrow ハイパスフィルタが存在?



gain(冷凍機配線) 仮にnFオーダーのキャパシタンスが入っていたら、GNDとの間にM Ω オーダーの抵抗がある。



Input: 50Hz, $V_{pp} \sim 0.4\text{mV}$, offset $\sim -2.8\text{mV}$
(gain ~ 400)

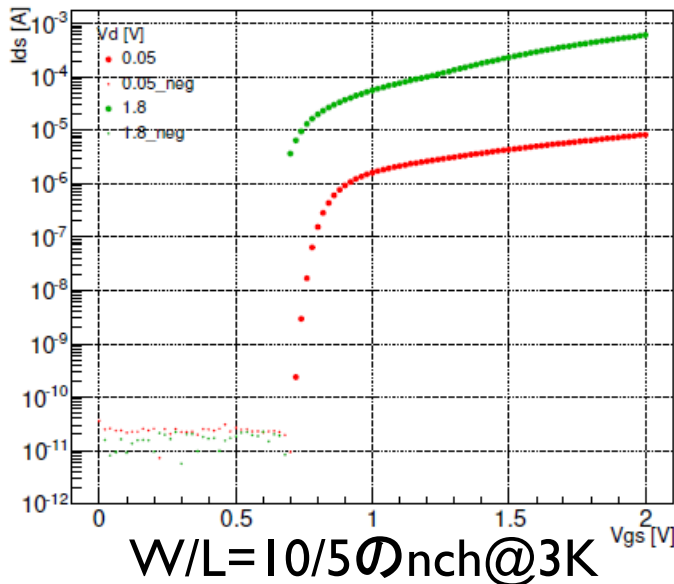
$V_{dd} = 1.5\text{V}$ $I_{dd} = 61.22\mu\text{A}$
 $V_{ss} = -1.5\text{V}$ \rightarrow $I_{ss} = -76.40\mu\text{A}$
 $I_{bias} = 15\mu\text{A}$ $V_{bias} = -0.484\text{V}$

ダイオード接続

n1: $V_{ds} \sim 2V$
 $V_{gs} \sim 1V$

n2: $V_{ds} \sim 1.4V$
 $V_{gs} \sim 1V$

p8: $V_{ds} \sim -2.1V$
 $V_{gs} \sim -0.6V$



1番目のダイオード接続

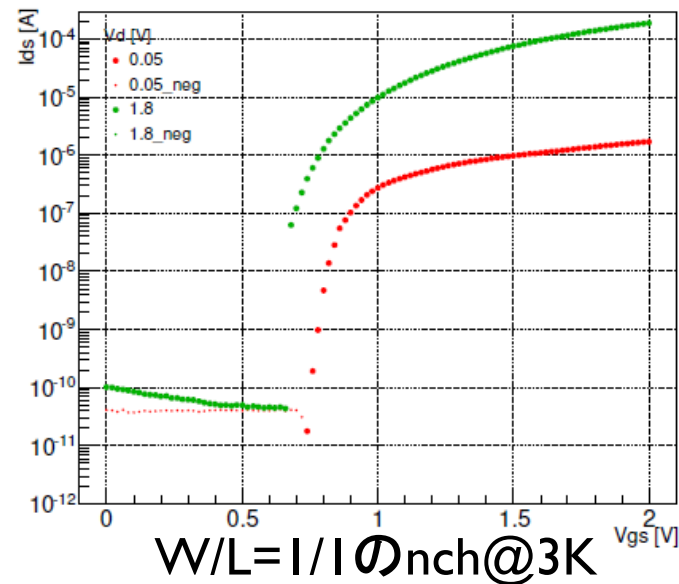
$V_{ds}=V_{gs}=1V$ くらいで動作するもの
 $\rightarrow W/L=10/10$

2番目のダイオード接続

$V_{ds}=V_{gs}=1V$?
 $\rightarrow W/L=10/10$

3番目のダイオード接続

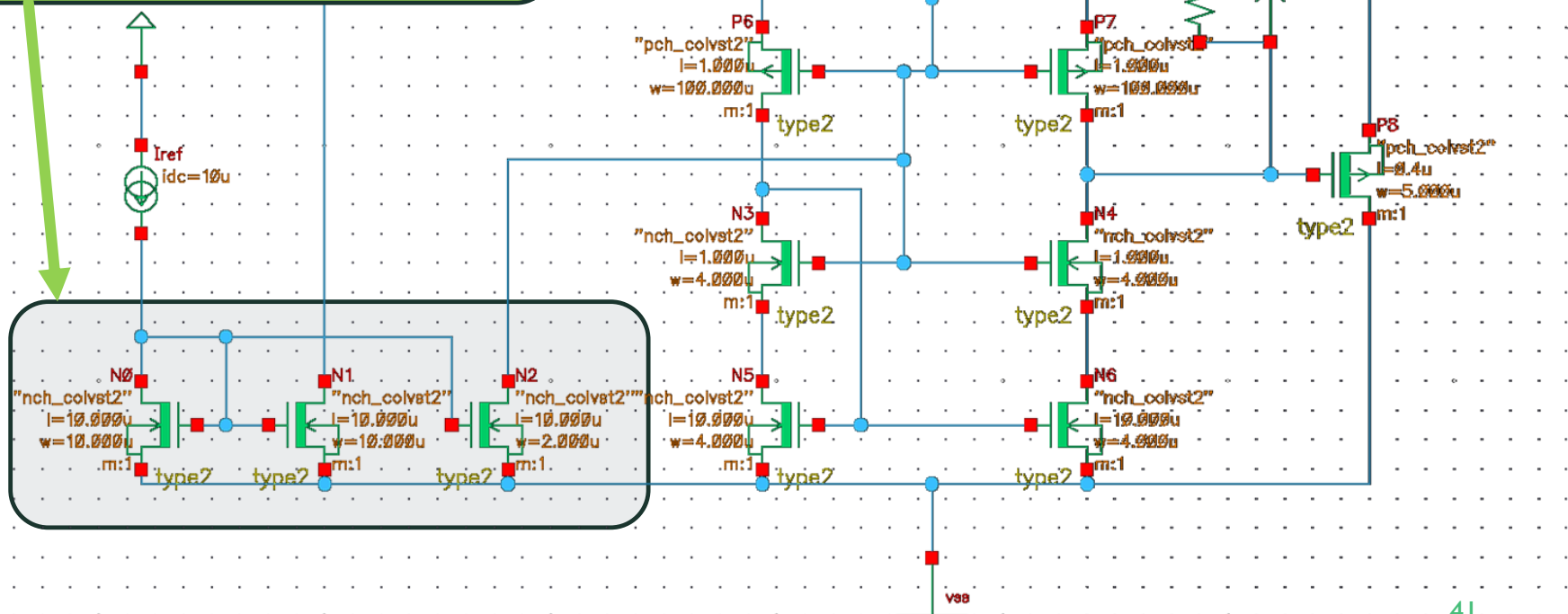
output swing幅に関わってくるので
 出来るだけ低い電圧で動作するもの



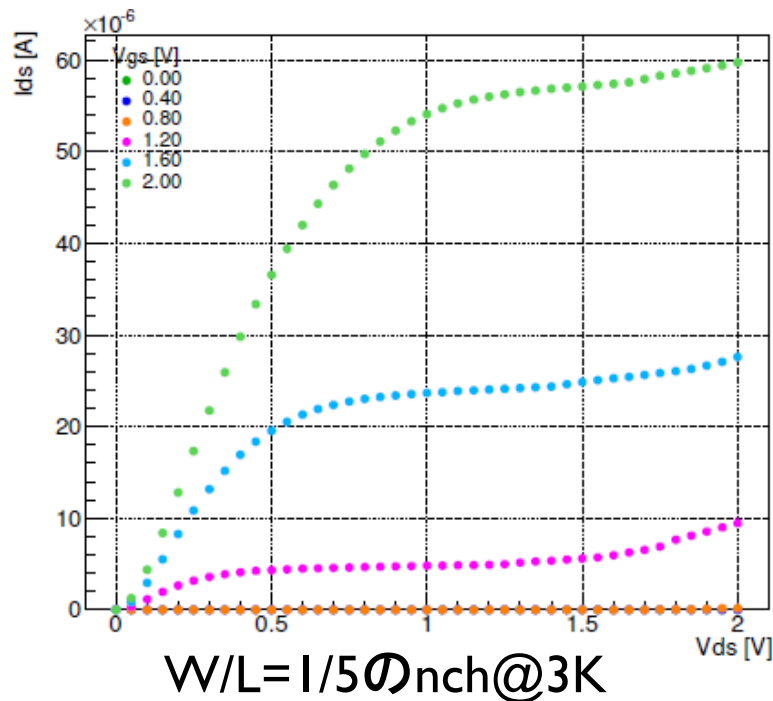
$V_{th} \sim 0.7V$

FETのサイズ変更

もしp8がkinkしてなかったら
n0,n1,n2をkink領域で動作しない
ものにサイズ変更すればよい？



FETのサイズ変更



他のFETをそのままにしたら

n1: $V_{ds} \sim 2V$

n2: $V_{ds} \sim 1.4V$ になる。

← $W/L=1/5$ だったら

$I_{ds}=10\mu A$ なのは $V_{gs} \sim 1.4V$ ぐらい？

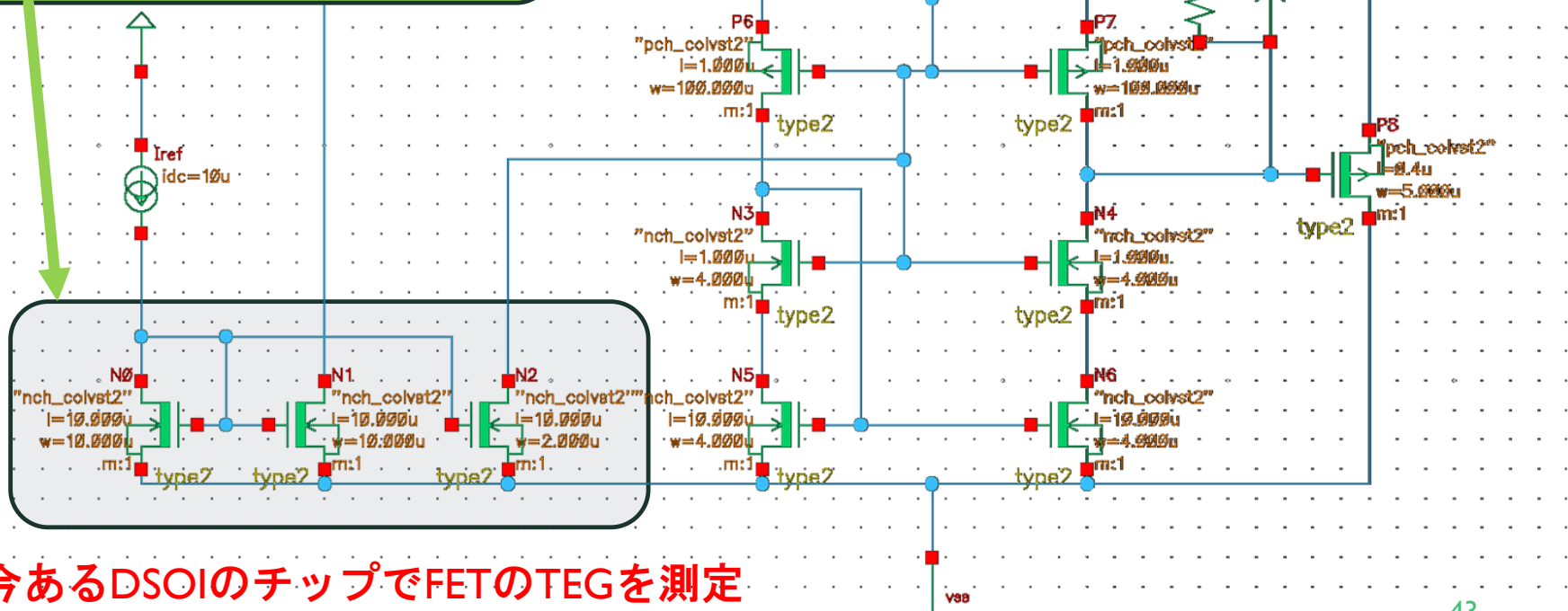
n0, n1: $W/L=10/40$

n2: $W/L=2/40$ とか？

(今のチップに $W/L=10/40$ のものある)

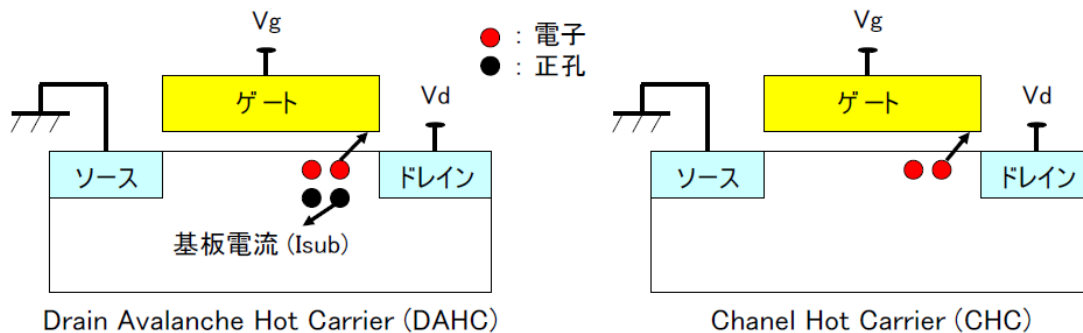
一部にDSOI層を入れる

もしp8がkinkしてなかったら
n0,n1,n2下にDSOI層入れてVth
下げてみる？



※今あるDSOIのチップでFETのTEGを測定

3-1. Hot Carrier劣化の発生メカニズム



Hot Carrier劣化の発生メカニズムによって最大劣化条件が異なる

DAHC : 基板電流が最大となる条件 (I_{submax}) $\Rightarrow V_g = V_d/2$ 付近
 CHC : ドレイン電界・ゲート電界がともに最大となる条件 $\Rightarrow V_g = V_d$

比較的厚い酸化膜

NMOS - DAHC



薄い酸化膜

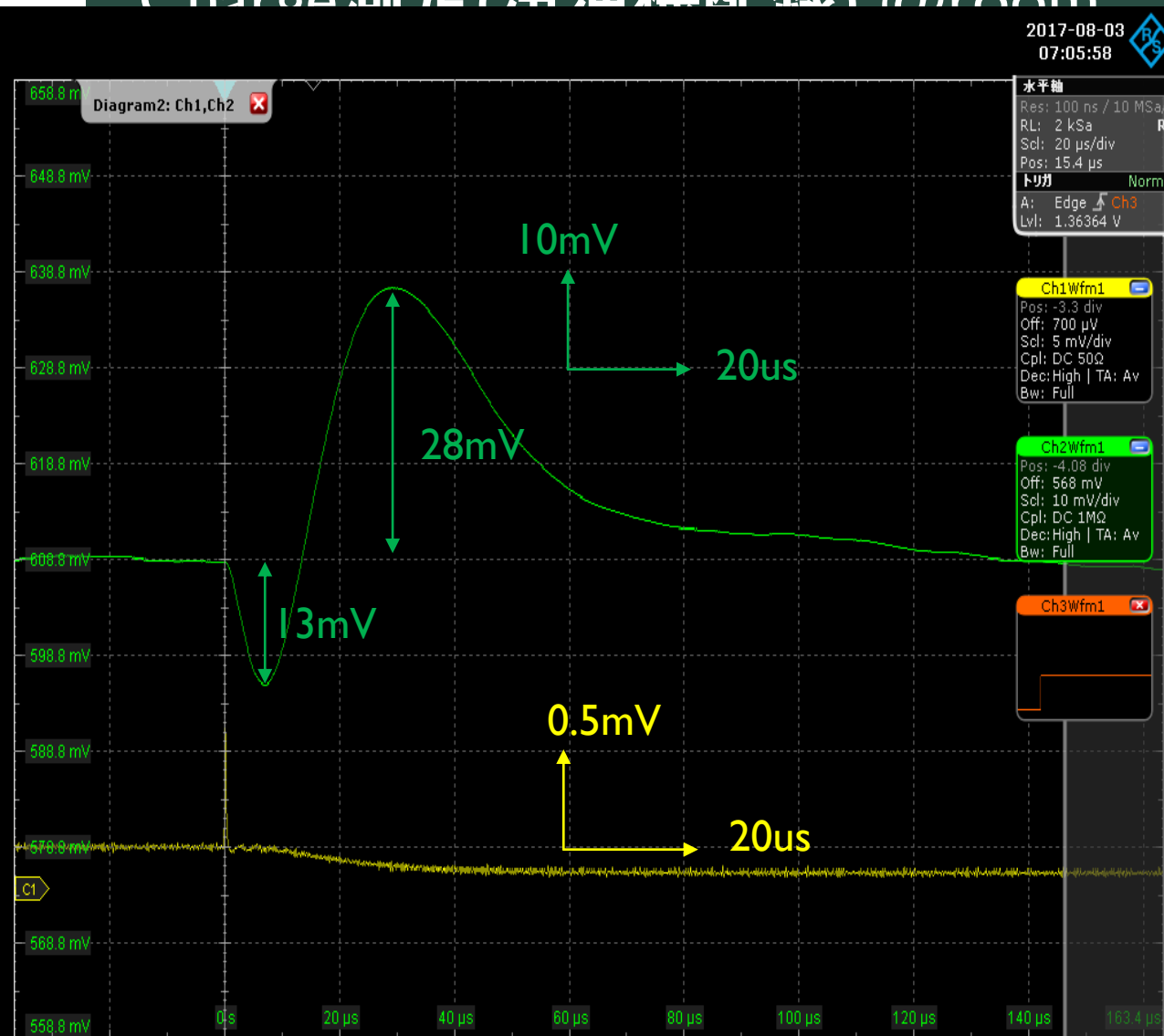
NMOS - DAHC / CHC
 PMOS - CHC

ホットキャリアがゲート酸化膜に注入されることで V_{th} が移動することがあるらしい。
 これでkinkが起こるなら、JL-FETだとkinkは起こりにくい??



現在のチップ上にあるJL-FETを測定してみてkinkが起こりにくいようなら
 何か適当な回路(Source Followerとか)作ってみてもいいかも?

Charge測定(冷油機配線) @room



Input

1mVの矩形波

$C = 100\text{pF}$

$R = 1\text{k}\Omega$

$\rightarrow Q_{in} = 100\text{fC}$

$V_{dd} = 1.5\text{V}$

$V_{ss} = -1.5\text{V}$

$I_{ref} = 10\mu\text{A}$



$I_{dd} = 41.08\mu\text{A}$

$I_{ss} = -50.48\mu\text{A}$

$V_{ref} = -0.5435\text{V}$

出力が正側に大きく振れる。
input事態が負に振れている
ためのよう。

Charge測定(C=100pF) @3K

Input
1mVの矩形波
C=100pF
R=1kΩ
→Qin=100fC

Vdd=1.5V

Vss=-1.5V

Iref=0.2uA



Idd=44.3uA

Iss=-44.1uA

Vref=-0.767V

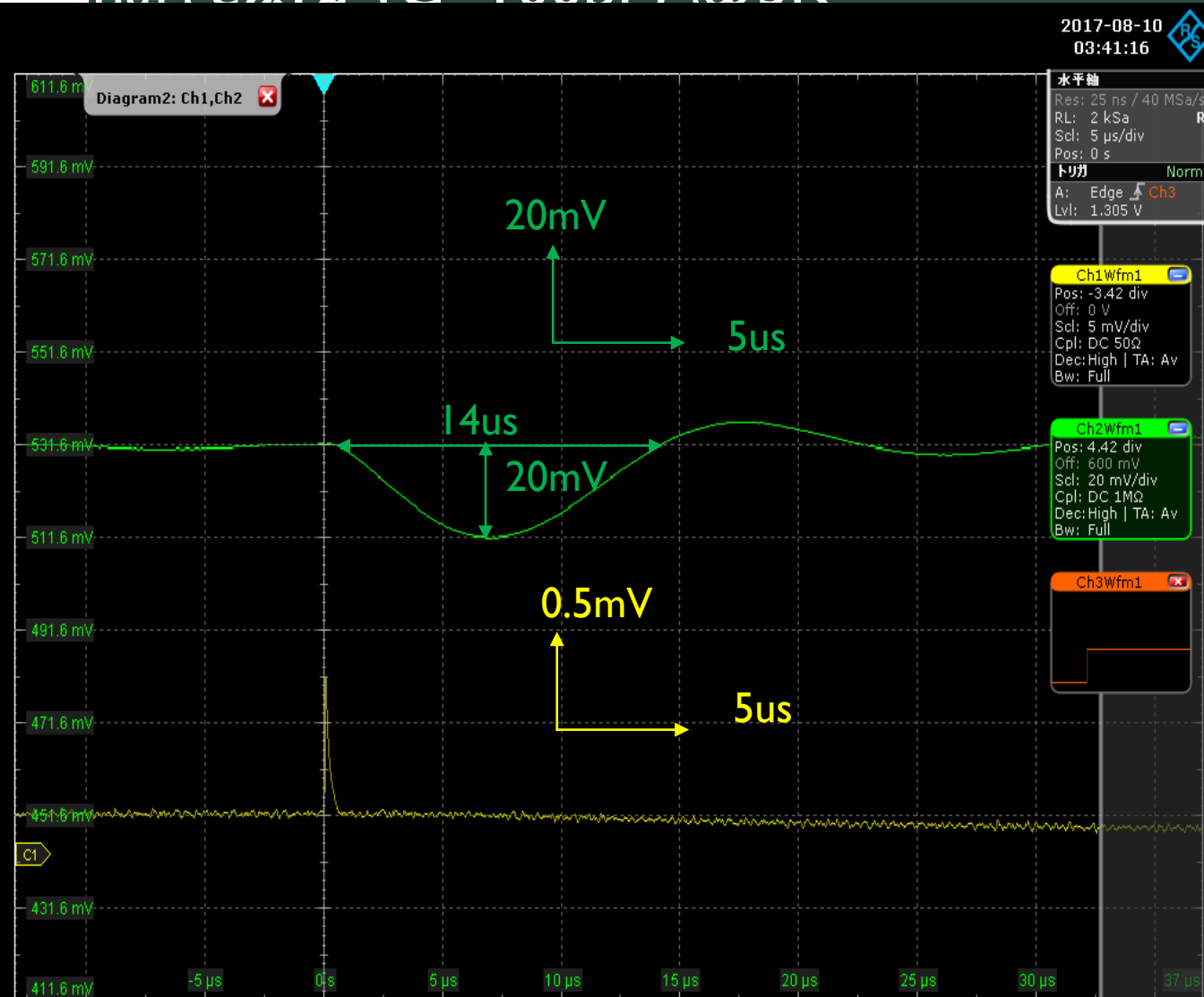
全体に流れる電流量を
室温と一致させた。
この電流値で暫く放置
していると

Idd=19.1uA

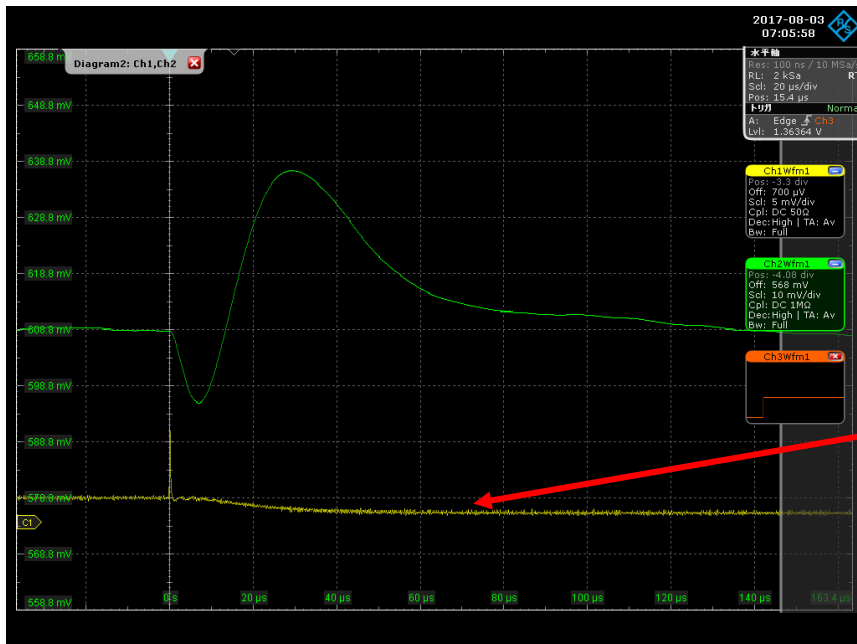
Iss=-19.3uA

Vref=-0.831V

と電流値落ちる。
その時のoutputなし。



入力信号が下側に触れていた原因



トリガーの問題

CH3にfunction generatorからsync.を入れていたのが原因。

しかし、冷凍機配線だとsync.を入れないとトリガーがとれない。



キャパシタンスで切る前の入力信号をトリガーする。