

COBAND実験に向けた 極低温増幅器の研究開発

超伝導エレクトロニクス研究会 @東北大学

若狭 玲那、金 信弘、武内 勇司、飯田 崇史、武政 健一、
永田 和樹、浅野 千紗、笠島誠嘉、菅野洋信（筑波大）

他 COBAND実験メンバー

目次

- COBAND実験
- 極低温増幅器(SOI-STJ)の開発
- SOI-STJ4を用いたSTJ光信号増幅試験
- SOI-STJ5を用いた電荷増幅試験
- まとめ

COBAND実験

COsmic BAcground Neutrino Decay

■ 宇宙背景ニュートリノ崩壊

- 崩壊に伴う光子のエネルギー

$$E_\gamma = \frac{|m_3^2 - m_2^2|}{2m_3}$$

- 予想される崩壊光エネルギー
($\lambda=50\mu\text{m}$, $m_3 = 50\text{meV}$ と仮定)

$$E_\gamma = 25\text{meV}$$



崩壊光探索のために超伝導体検出器を使用

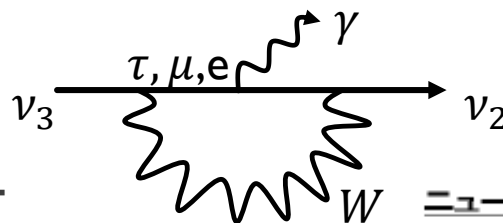
■ ロケット実験

- $40\mu\text{m} \sim 80\mu\text{m}$ の遠赤外光を回折格子で分光
- 50×8 にアレイ化したNb/Al-STJ検出器でそれぞれの波長でのphoton数を計測しエネルギースペクトルを測定する。

ニュートリノ振動により決定

$$|\Delta m_{32}^2| = (2.44 \pm 0.06) \times 10^{-3} \text{eV}^2$$

$$\Delta m_{21}^2 = (7.52 \pm 0.18) \times 10^{-5} \text{eV}^2$$



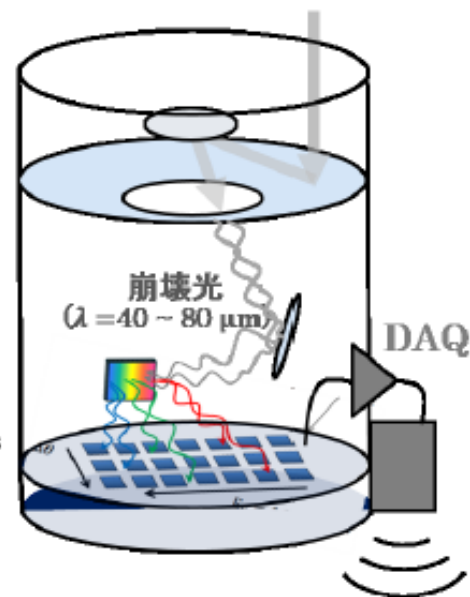
ニュートリノ崩壊光探索の概要図

高度200km, 約5分の観測

光学系

50 × 8
STJ 検出器

冷凍機

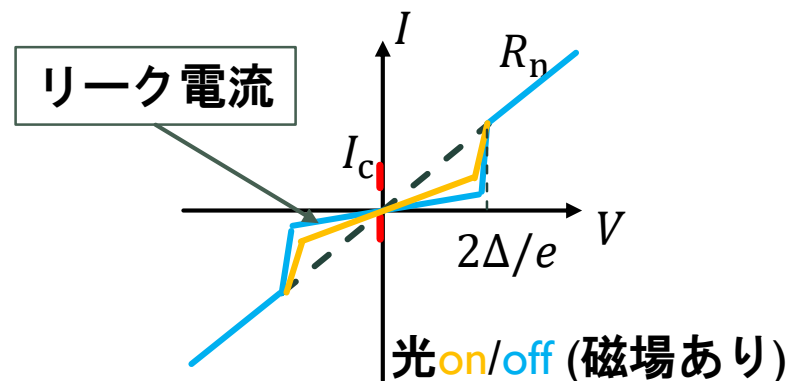


STJ

Superconductor Tunneling Junction

■ STJ検出器の動作原理

- クーパー対がエネルギーを受け取ることで、準粒子を生成
- 上部超伝導体から下部超伝導体へ電圧を印加することで、トンネルした準粒子によるトンネル電流を測定

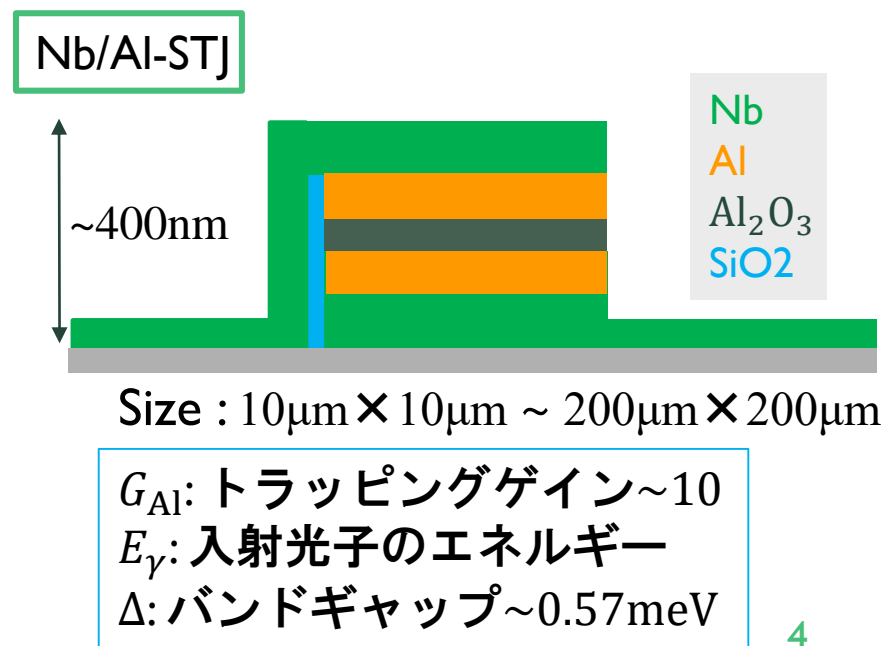


■ Nb/Al-STJ

- バンドギャップが小さくエネルギー分解能に優れる
- ✓ Nb/Al-STJで25meVの単一光子測定

$$N_e = G_{Al} \cdot \frac{E_\gamma}{1.7\Delta} \sim 250$$
$$\delta N_e / N_e \sim 15.5\%$$

- 産総研と共同開発しているSTJは十分な性能を示している。



極低温増幅器（SOI-STJ）の開発

■ 極低温増幅器導入

- Nb/Al-STJは1photon測定のための要求を満たしているが未だ1photon測定は出来ず。
- STJの信号はとても小さいため熱によるノイズや熱アンカーのための長い配線の寄生容量によるノイズに埋もれてしまうためだと考えられる。

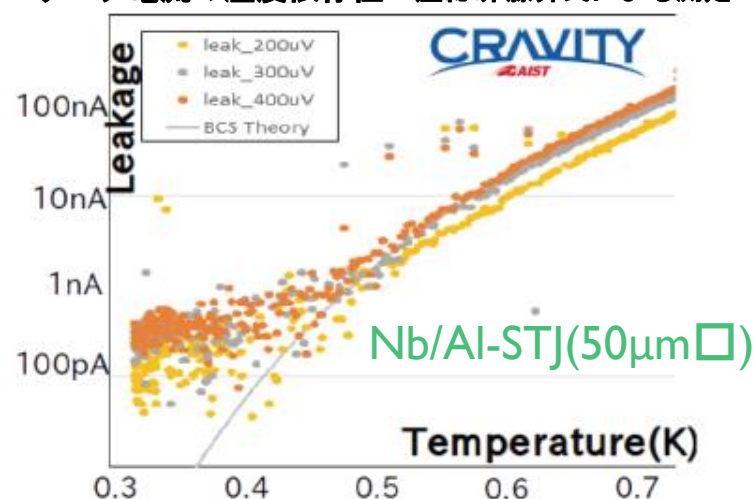
➡ STJの直近で信号を増幅

■ 極低温増幅器への要求

- 極低温で動作可能
- 信号幅 < $10\mu\text{s}$ のSTJの信号を増幅できる応答速度
- 冷凍機の冷却能力を上回らない低消費電力

➡ FD-SOI-MOSFETを使用した増幅器

リーク電流の温度依存性 産総研 藤井氏による測定



M.Ukibe et al., Jpn. J. Appl. Phys. 51, 010115(2012)

M.Ohkubo et al., IEEE Trans. Appl. Super., 24, 2400208(2014)

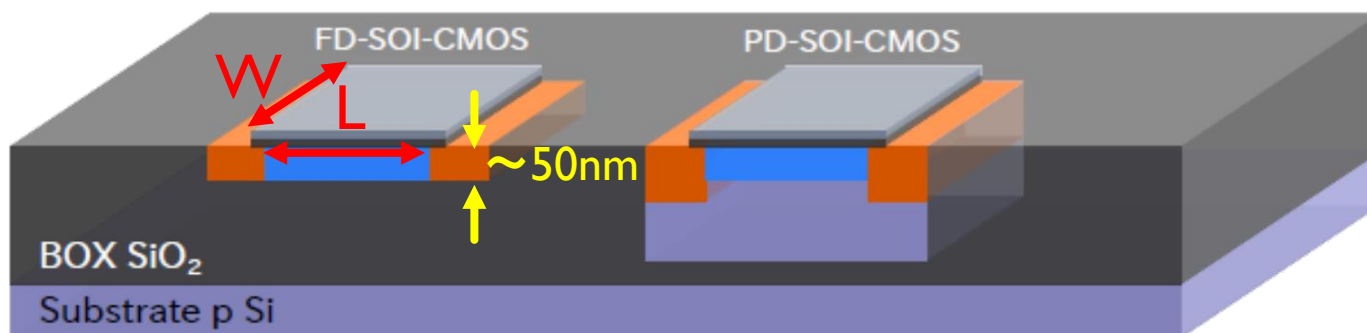
@4.2K @300mK

	@4.2K	@300mK
冷却能力	250mW	100 μ W

※JAXA/ISASによりFD-SOIプロセスで作製されたMOSFETの4Kでの動作が確認されていた。

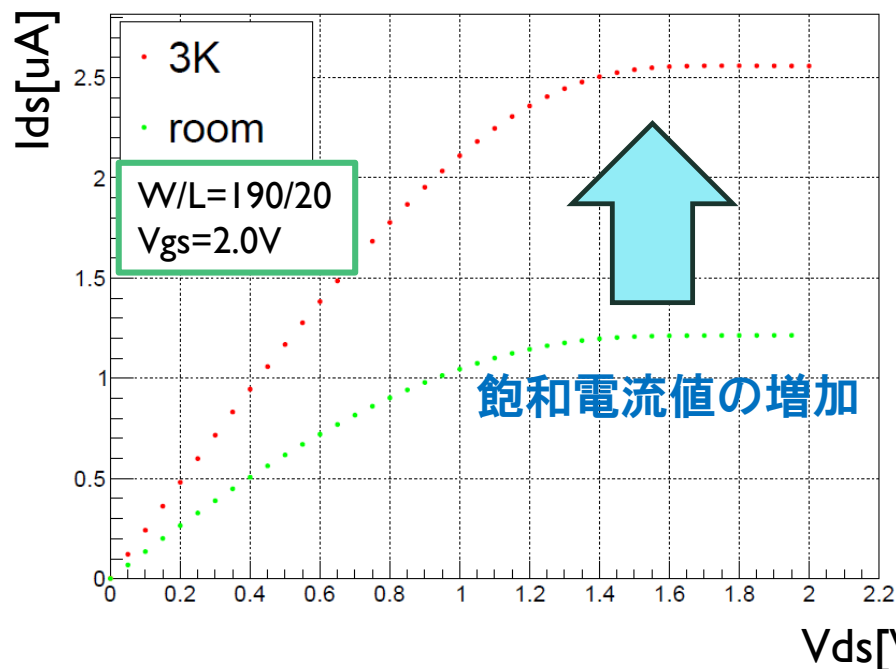
T.Wada et al., J. Low. Temp. Phys. 167, (2012) 602

極低温におけるFD-SOI-MOSFET

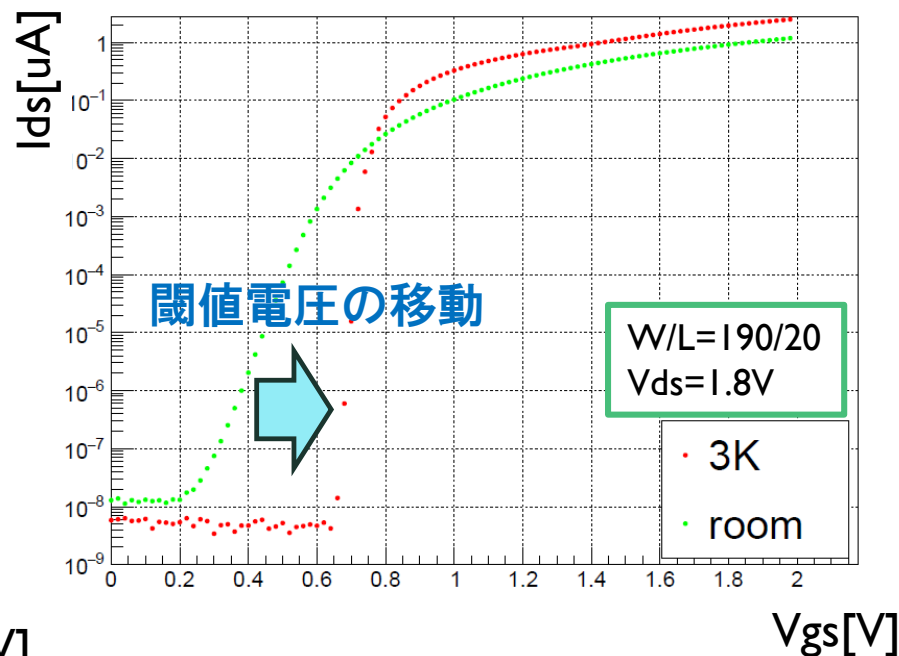


- FD-SOI
- Fully Depleted – Silicon On Insulator
- 省消費電力
- 浮遊帯効果の抑制

N-ch MOSFETの I_{ds} - V_{ds} 特性



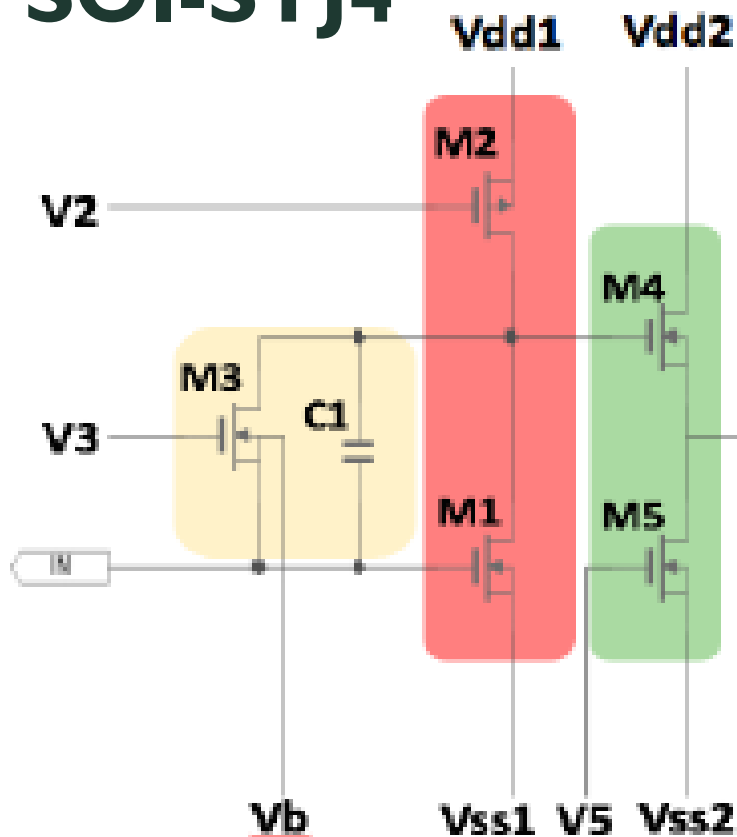
N-ch MOSFETの I_{ds} - V_{gs} 特性



極低温において特性は変化するが、適切な動作点を使用すれば問題はない。6

FD-SOIを使用した極低温増幅器の開発

SOI-STJ4



ソース接地増幅段

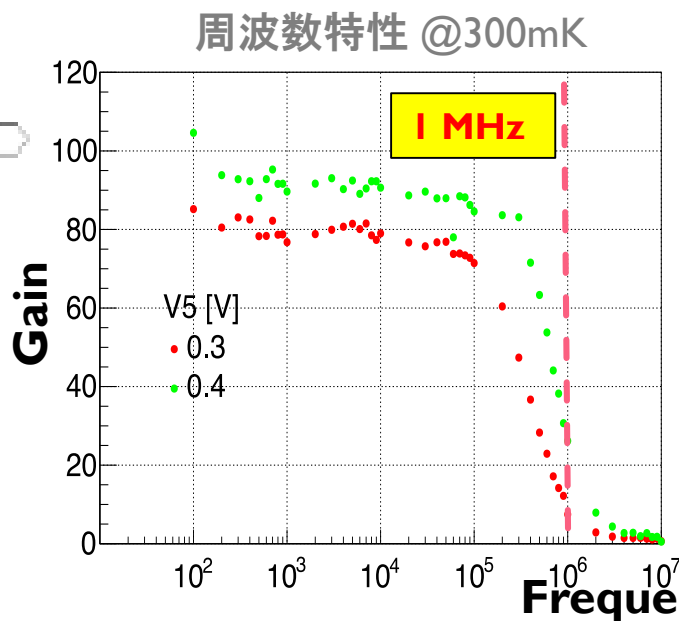
抵抗の代わりにMOSFETを使用。

フィードバック回路

ソース接地のバイアスを固定する。(C1~100fF)

バッファ回路

出カインピーダンスを下げる。



Bias Voltage

Vdd1 = 1.8V

Vss1 = 0V

Vdd2 = 1.1V

Vss2 = -0.7V

V2 = 0.4V

V3 = 1.5V

Input

Vpp = 1mV

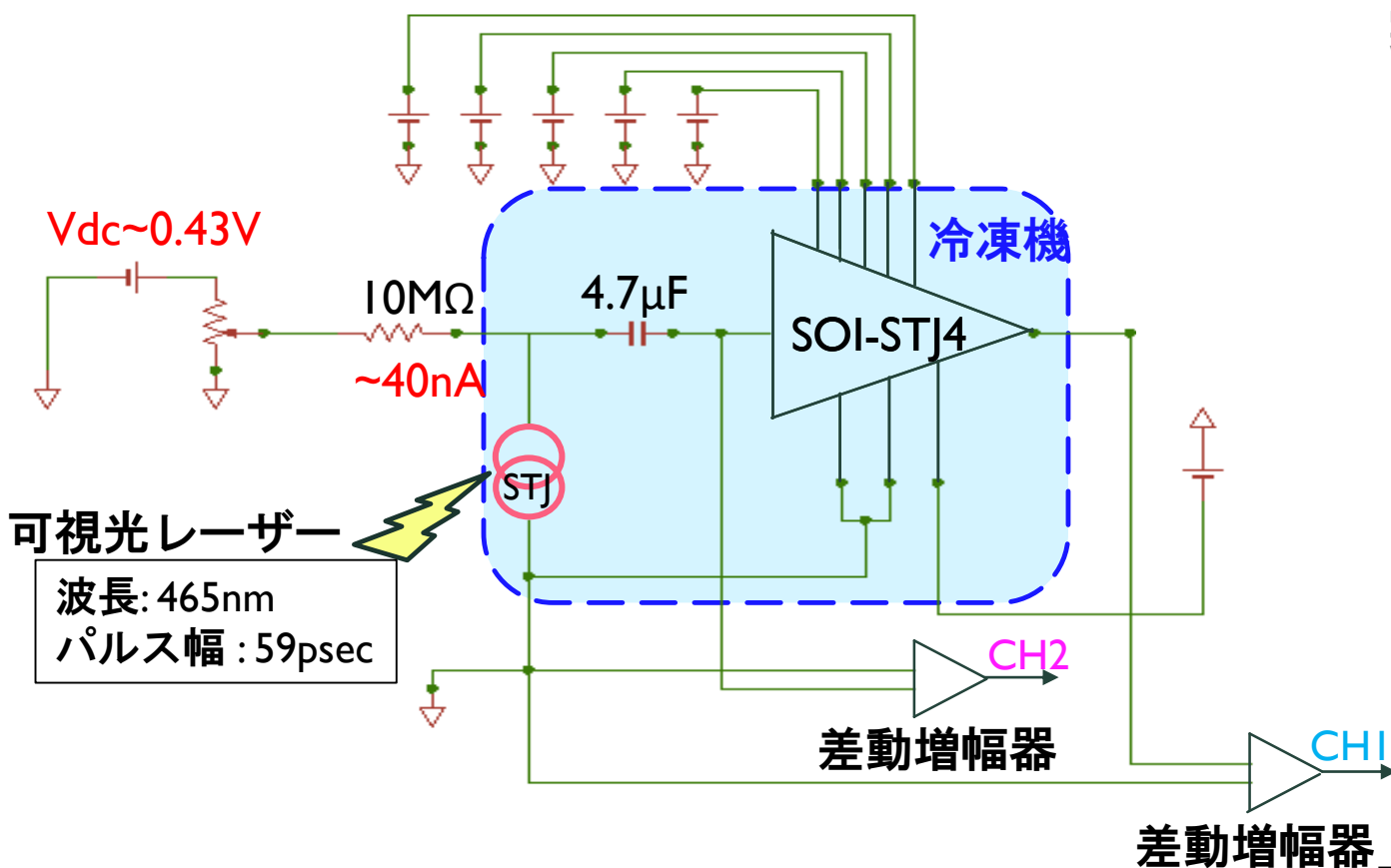
負荷impedance

出力側

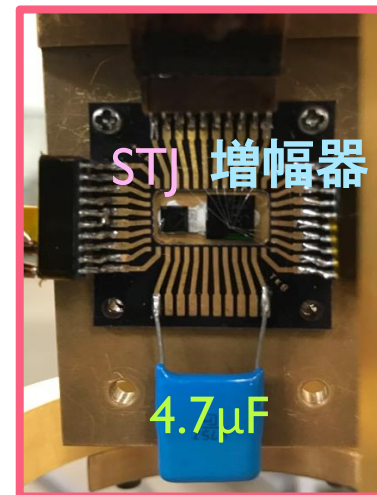
R=1MΩ, C~0.5nF

1MHzの信号に対しても20倍の増幅が可能 7

SOI-STJ4を用いたSTJ光応答信号増幅試験の測定系



実際のチップ

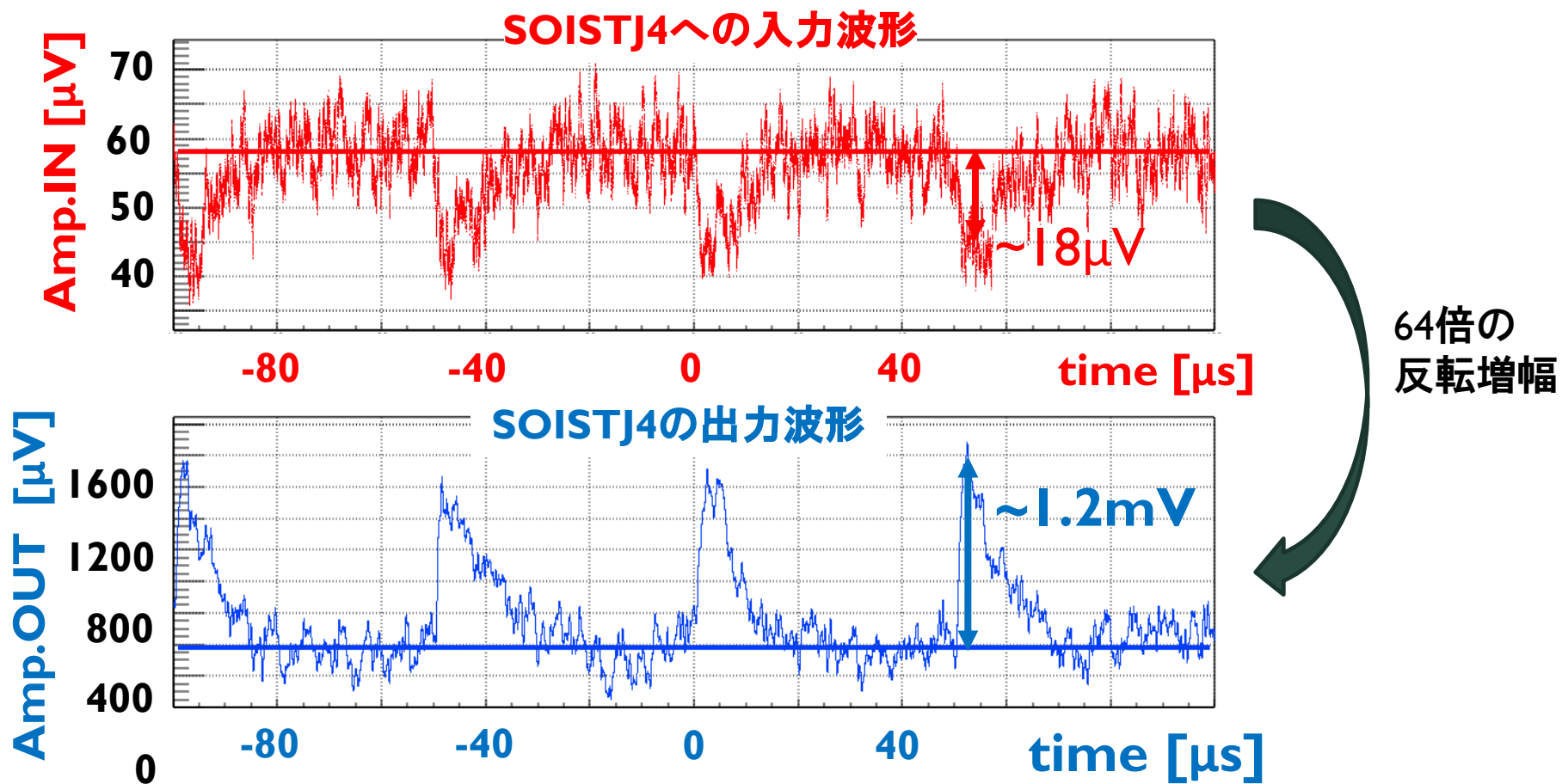


4.7 μF の容量
(積層セラミック)
はチップキャリア
上に外付け

レーザーパルスからの信号をトリガーにし、SOI増幅器の入出力波形を観測する。

この時使用したNb/Al-STJ
20 μm 角
 $C_{STJ} \sim 40pF$

SOI-STJ4を用いたSTJ光応答信号増幅結果@300mK



初めてSTJの光応答信号の増幅に成功！

- 今後は...
- S/N評価をするための測定
 - 余計な配線を除いての可視光1photon測定

帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

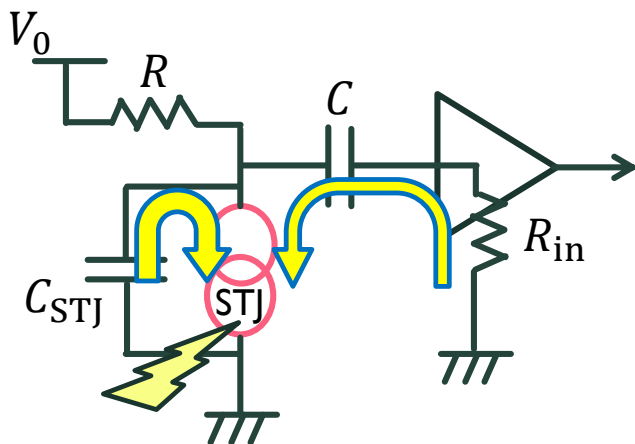
SOI-STJ4

- ソース接地増幅回路
- 高い入力抵抗

$$R_{in} \sim 20k\Omega$$



信号電荷がSTJに並列に入っている
40pFの容量を通してGNDに逃げて
しまい、SOI増幅器に伝わる信号は
実際の約1/6となる。



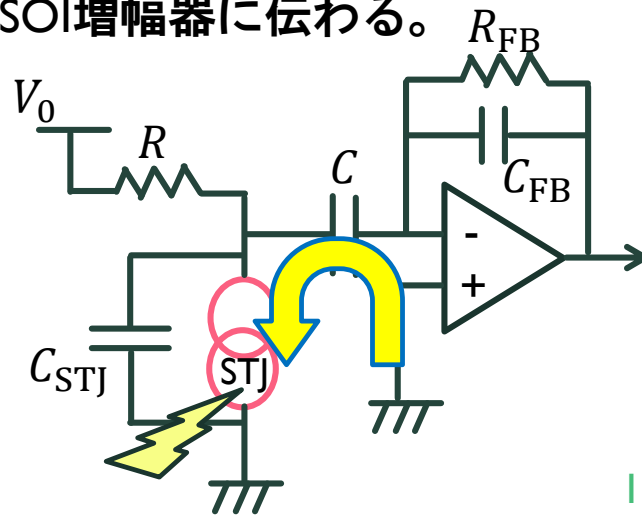
SOI-STJ5

変更点

- 帰還付き差動増幅回路による電荷積分型増幅回路
- 負帰還による低い入力抵抗
(理想的には0Ω)



増幅器前に設置した十分大きな
容量を通じてほぼ全ての信号電荷
がSOI増幅器に伝わる。

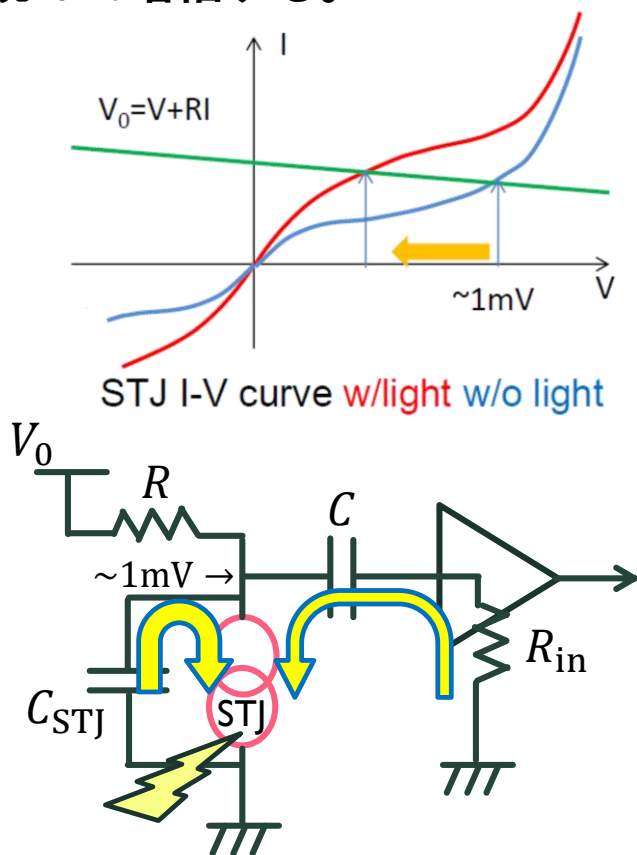


帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

SOI-STJ4

■ 定電流モード

SOI増幅器はSTJ信号の電圧変化を
読んで増幅する。

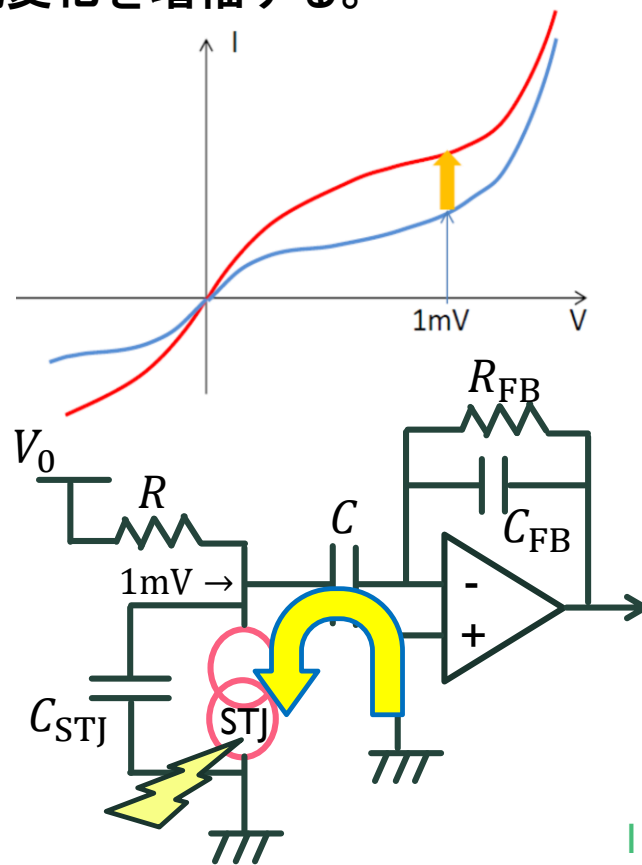


SOI-STJ5

変更点

■ 定電圧モード

SOI増幅器はSTJ信号の電荷変換された
電流変化を増幅する。

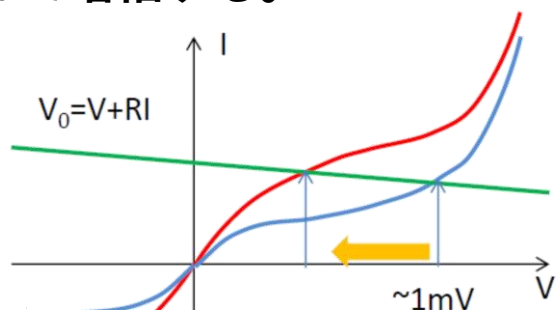


帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

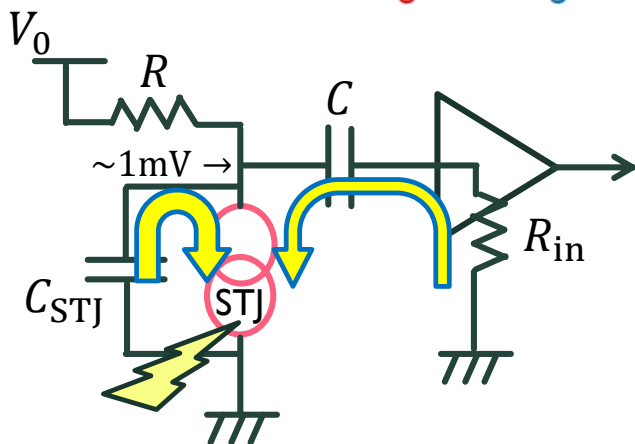
SOI-STJ4

■ 定電流モード

SOI増幅器はSTJ信号の電圧変化を
読んで増幅する。



STJ I-V curve w/light w/o light



SOI-STJ5

新規導入点

■ 大きいサイズのFET

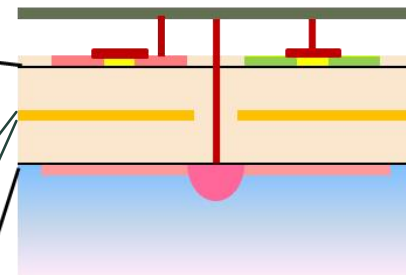
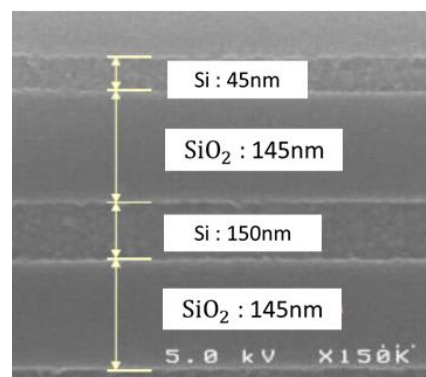
- $1/\sqrt{W \cdot L}$ に比例する $1/f$ ノイズ抑制を期待

■ Double SOI層

- バックゲートによりFETのゲート閾値電圧を制御



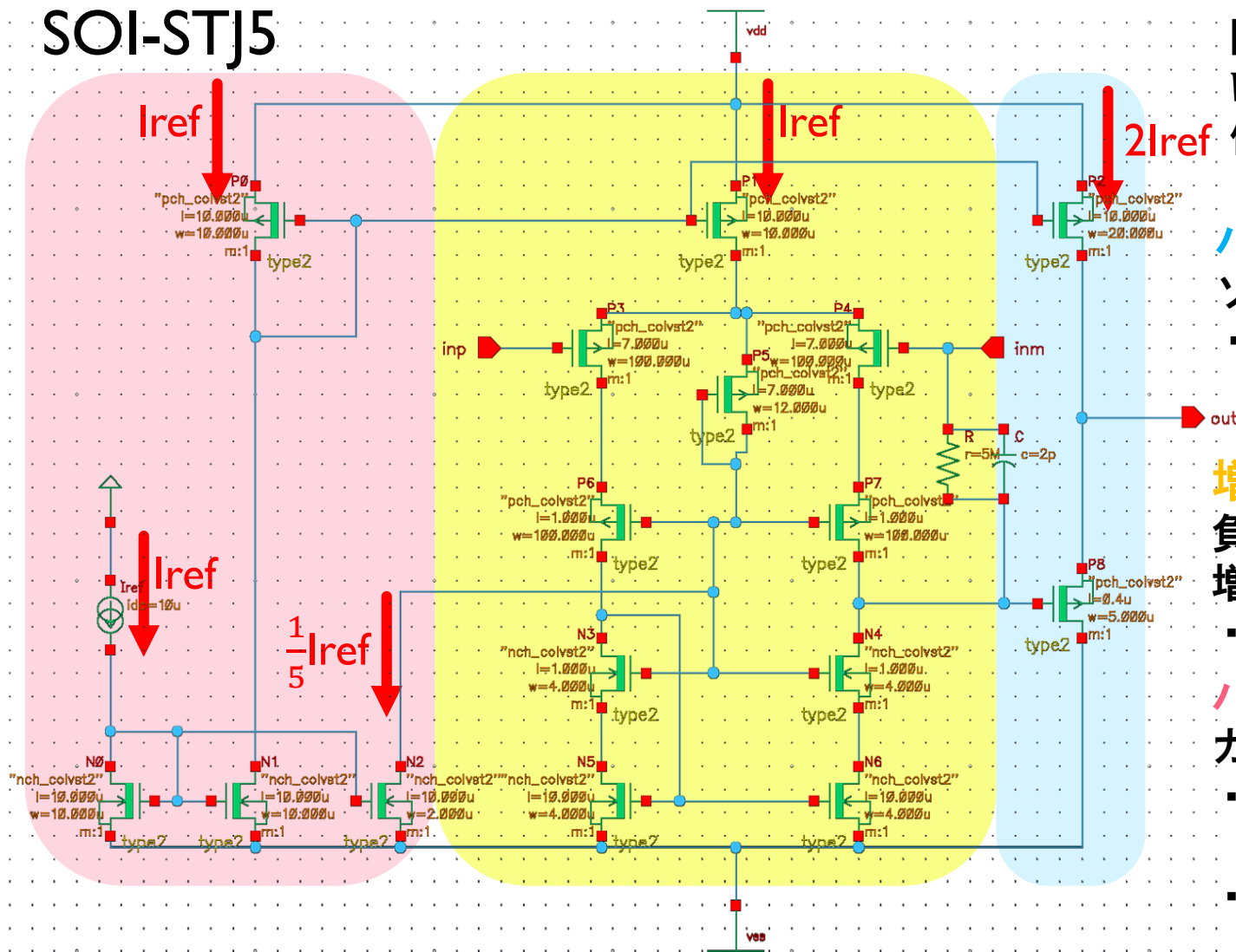
消費電力の低下



※今回はDSOI層のないチップで測定している。

帰還付き差動増幅回路による 極低温電荷積分型増幅器の開発

SOI-STJ5



回路全体に
 $V_{dd} - V_{ss} = 3.0V$ を印加
信号はinmから入力

バッファ一段

ソースフォロワ回路
・ 周波数特性の改善

増幅段

負帰還付き電荷積分型
増幅回路
・ 低い入力抵抗

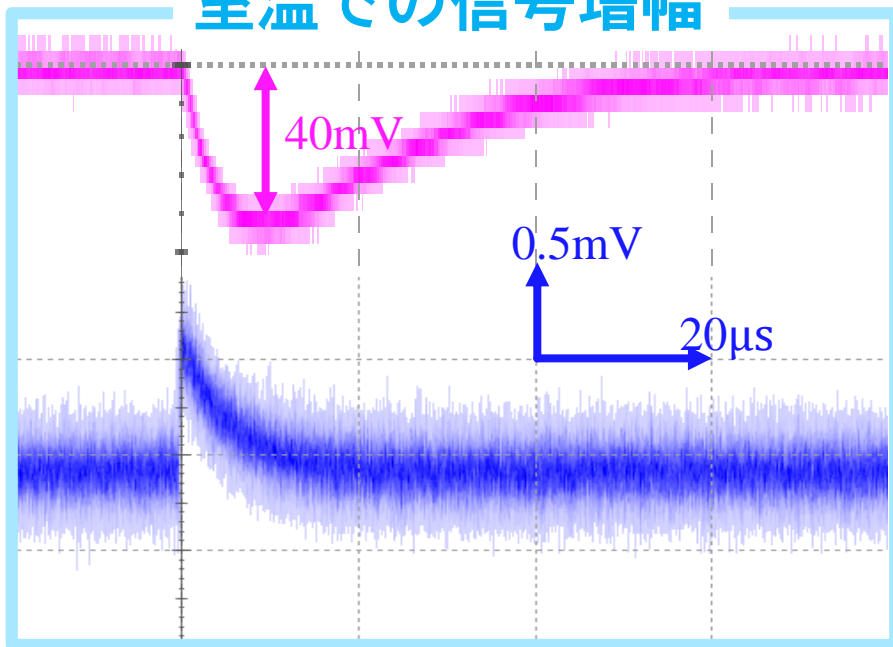
バイアス回路

カレントミラー回路
・ 増幅器のアレイ化
に対応

・ $I_{ref} = 10\mu A$ いれると
 $I_{dd} = 40\mu A, I_{ss} = -50\mu A$

信号電荷100fCに対する増幅試験結果

室温での信号増幅

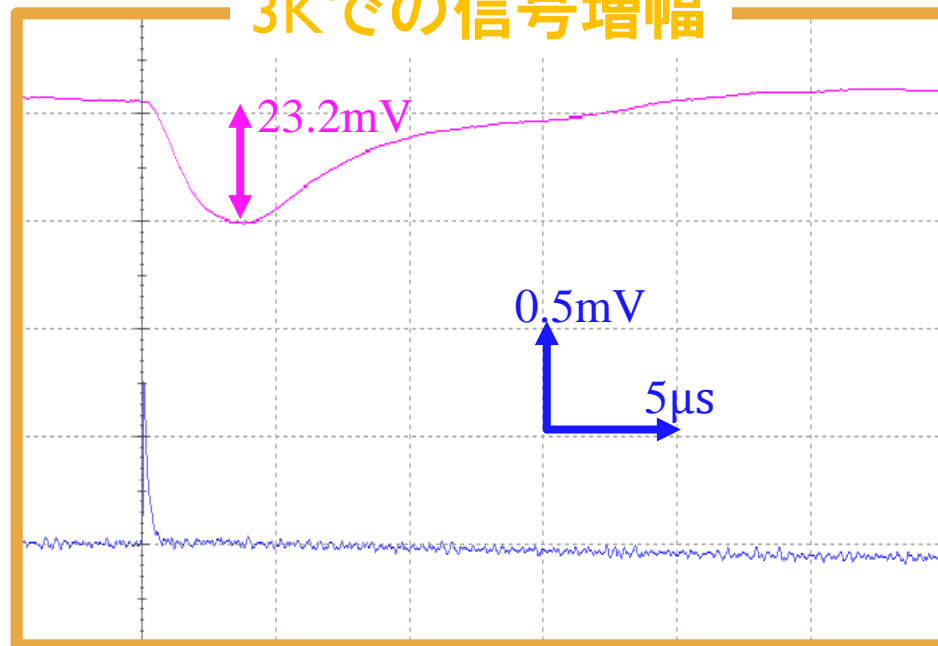


測定中に素子に印加した電圧と電流値

$$\begin{array}{ll} V_{dd} = 1.5V & I_{dd} = 40.8\mu A \\ V_{ss} = -1.5V \rightarrow & I_{ss} = -50.2\mu A \\ I_{ref} = 10\mu A & V_{ref} = -0.555V \end{array}$$

SOI-STJ5は増幅器として
正常動作している。

3Kでの信号増幅



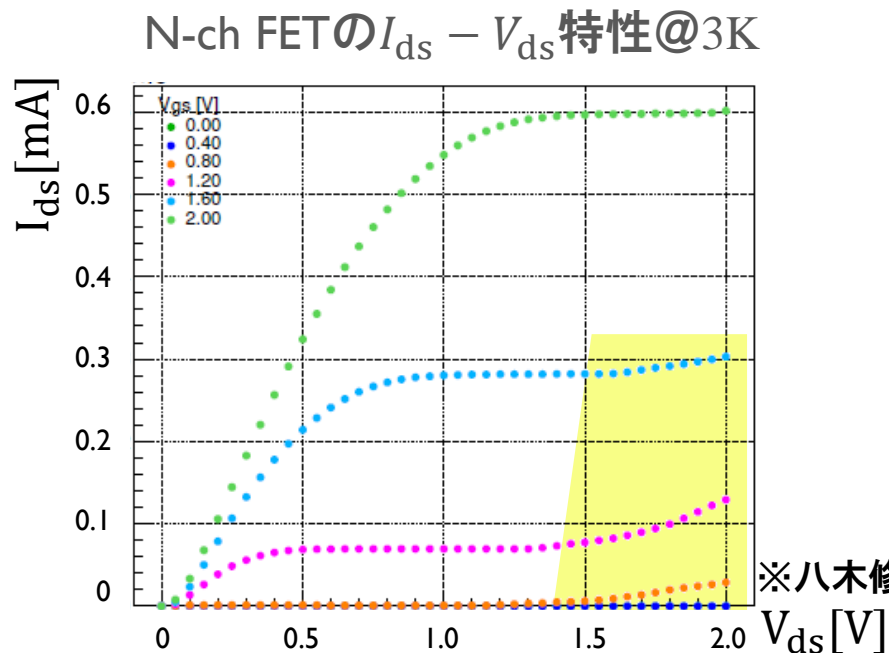
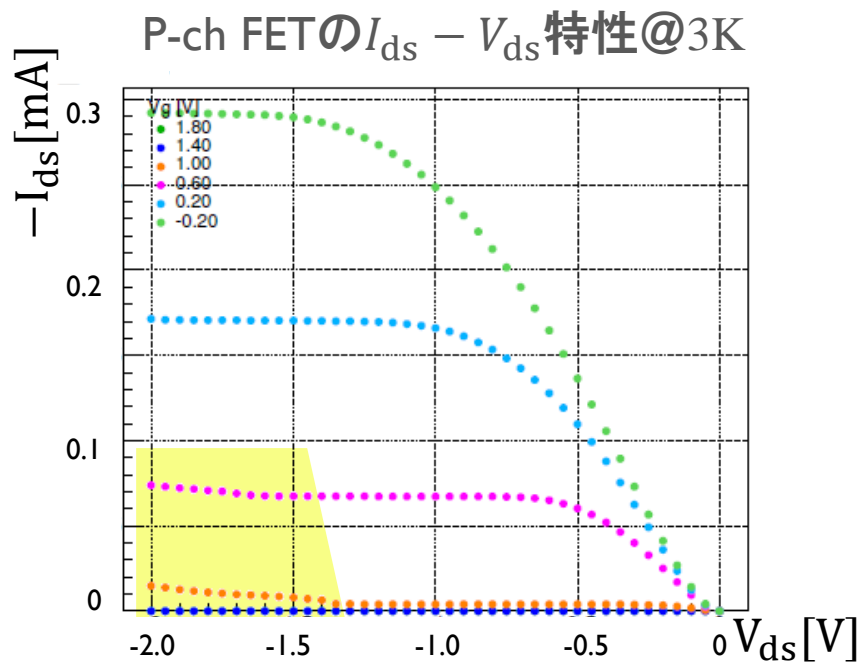
測定中に素子に印加した電圧と電流値

$$\begin{array}{ll} V_{dd} = 1.5V & I_{dd} = 142.3\mu A \\ V_{ss} = -1.5V \rightarrow & I_{ss} = -151.7\mu A \\ I_{ref} = 10\mu A & V_{ref} = -0.560V \end{array}$$

極低温においても信号増幅可能
しかし、バイアス回路が
正常動作していない。

極低温におけるバイアス回路異常動作の原因

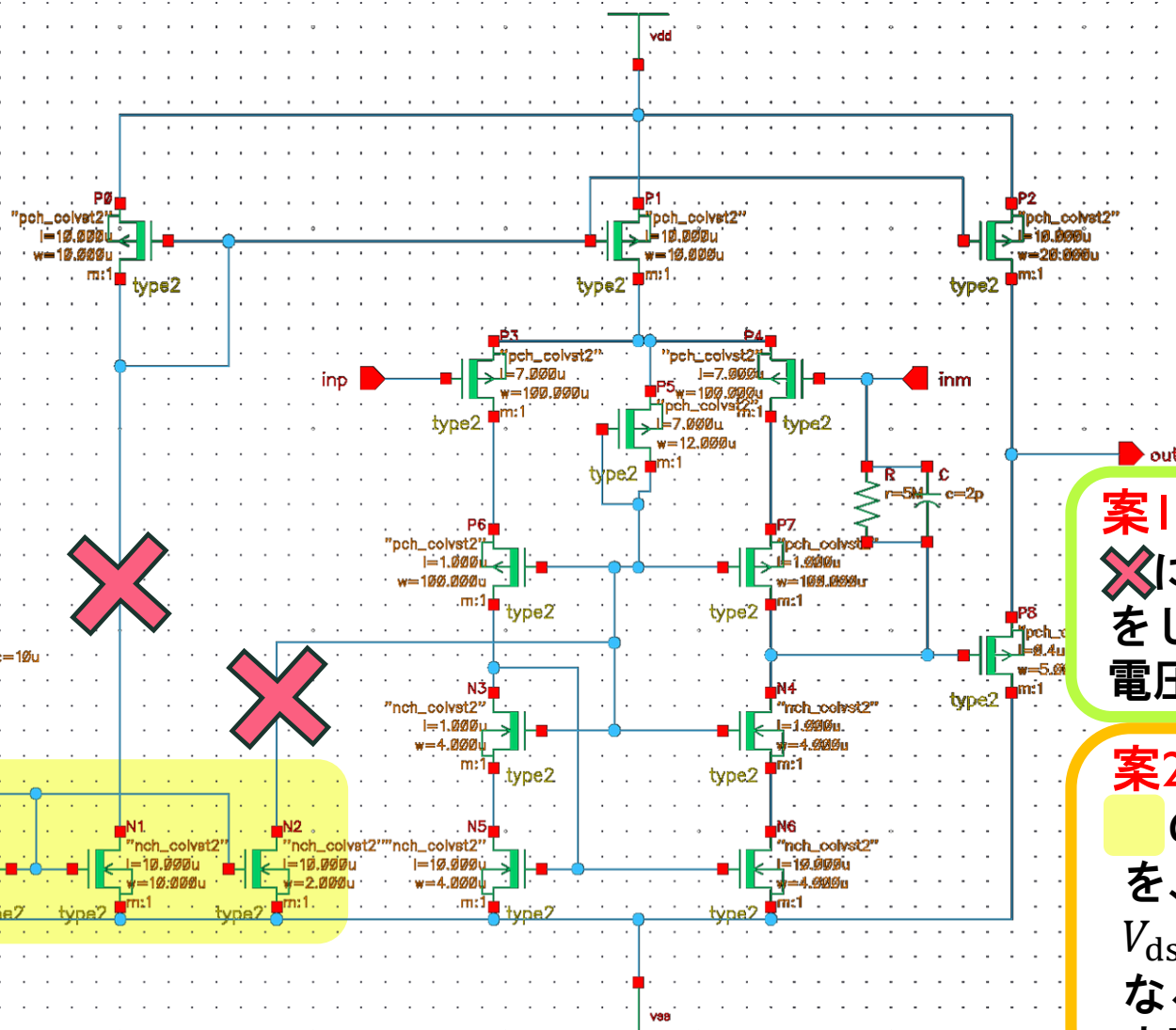
W/L=10 μ m/5 μ m



※八木修論

- $|V_{gs}| < |V_{ds}|$ の領域でドレイン・アバランシェにより I_{ds} が増加する。
- Simulationにおける動作点の確認とバイアス回路抜きのSOI-STJ5の測定により、二箇所のFETがドレインアバランシェする領域で動作しているようだとわかった。

ドレインアバランシェ対策案



動作時

$$V_{dd} - V_{ss} = 3V$$

$$I_{ref} = 10\mu A$$

案1

✕にダイオード接続をしたFETを導入し電圧差を消費。

案2

の領域のFETサイズを、 $I_{ds} = 10\mu A$ となる $V_{ds} = V_{gs}$ の値が大きくなるようなものに変更。

まとめ

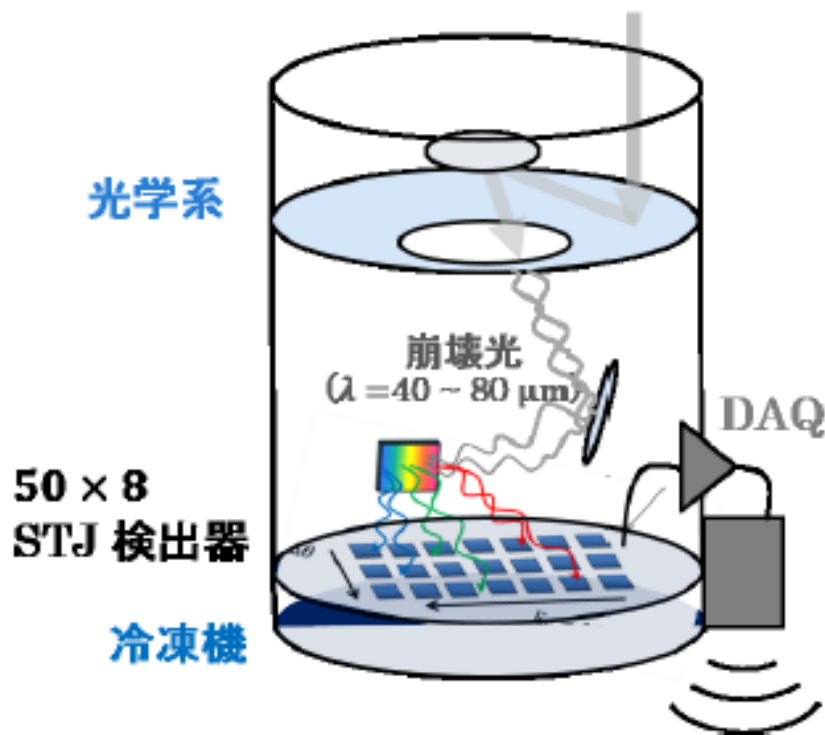
- COBAND実験に向けて極低温で動作するFD-SOI-MOSFETを使用した増幅器の開発を行っている。
- SOI-STJ4
 - MHzの信号を増幅できる周波数特性を持つ。
 - 実際にSTJ光応答信号の増幅に成功！
 - 今後はS/Nの評価を行い、可視光1photonの増幅試験を行う。
- SOI-STJ5
 - 室温において設計通りの動作を確認。
 - 極低温においても信号電荷の増幅に成功。
 - 今後は極低温における異常電流の解決を行う。

Backup

ロケット実験

ニュートリノ崩壊光探索の概要図

高度200km, 約5分の観測



■ データ収集

- 上空200km

- 収集時間200sec

■ 50×8の検出器を使用

- 検出器としてNb/Al-STJを使用

- 遠赤外光が入射したかを検出

■ 3Heソーブション減圧冷凍機を使用

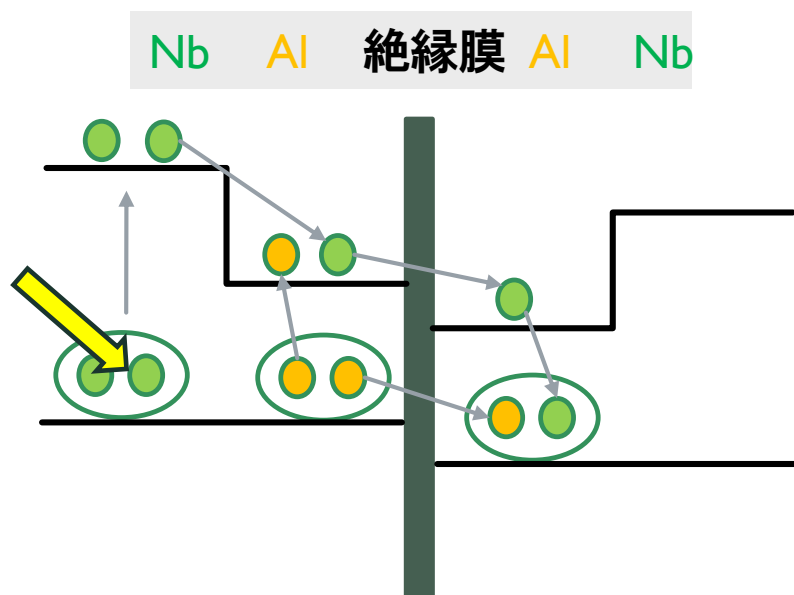
- 到達温度：0.4K

■ ニュートリノの寿命の下限値を修正

- $\tau > 10^{14}$ years

- 有意度 5σ

バックトンネリング効果



■ バックトンネリングの仕組み

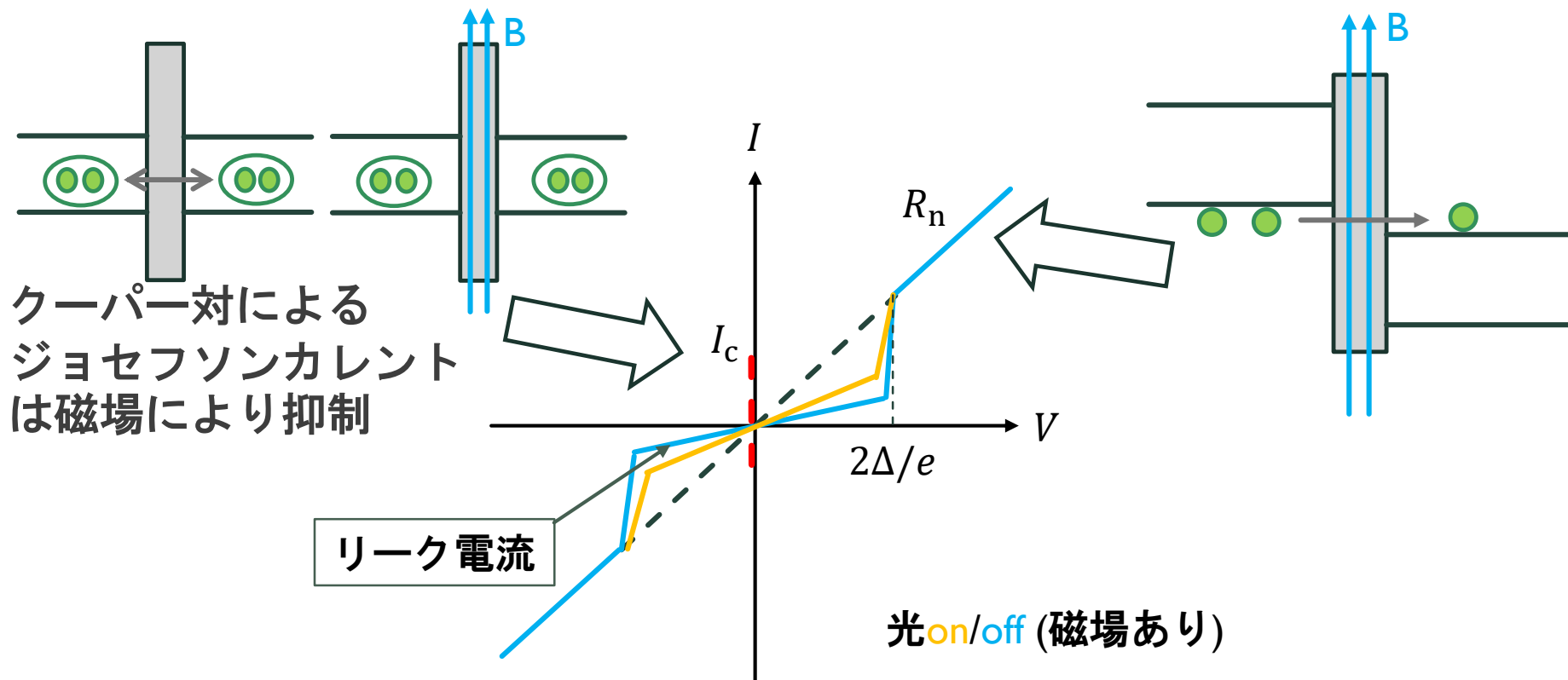
- ✓ Nb層に光が入射し、クーパ対が励起して準粒子を生成
- ✓ 生成された準粒子内あるものはそのままトンネル
- ✓ トンネルしなかった準粒子はAl層での準粒子の存在確率を高める
- ✓ トンネルした準粒子がAl層のクーパ対の片割れとクーパ対を作る
- ✓ その際に余った電子が準粒子としてAl層で励起

■ Nb/Al-STJではG~10

STJの電流-電圧カーブ

■ 光応答を見る際は $|V| < 2\Delta/e$ の範囲の変化が見られる
ような電流値に固定する

✓ リーク電流がノイズとなる



リーク電流への要求

■ Nb/Al-STJで25meVの1光子を測定する

✓ 生成電荷数 : $N_{sig} = G_{Al} * \frac{E_{\gamma}}{1.7\Delta} = 10 \times \frac{25\text{meV}}{1.7 \times 0.6\text{meV}} \sim 250$

✓ ノイズによる電荷数 : $N_{leak} = \frac{i_{leak} \times \tau}{e}$

✓ N_{sig} の揺らぎ : $\delta N_{sig} = G_{Al} \sqrt{F * \frac{E_{\gamma}}{1.7\Delta}}$
Fano因子 : $F \sim 0.2$

✓ N_{leak} の揺らぎ : $\delta N_{leak} = \sqrt{N_{leak}}$

✓ STJの応答速度 : $\tau \sim 1\mu\text{s}$

STJ size	Leak current @300mK
50 μm × 50 μm	224 ± 29 pA
20 μm × 20 μm	39 ± 13 pA
10 μm × 10 μm	14 ± 7 pA

■ 信号が300Hzで入ってくると考え リークによるノイズを1/10, 検出効率97.5%と要求

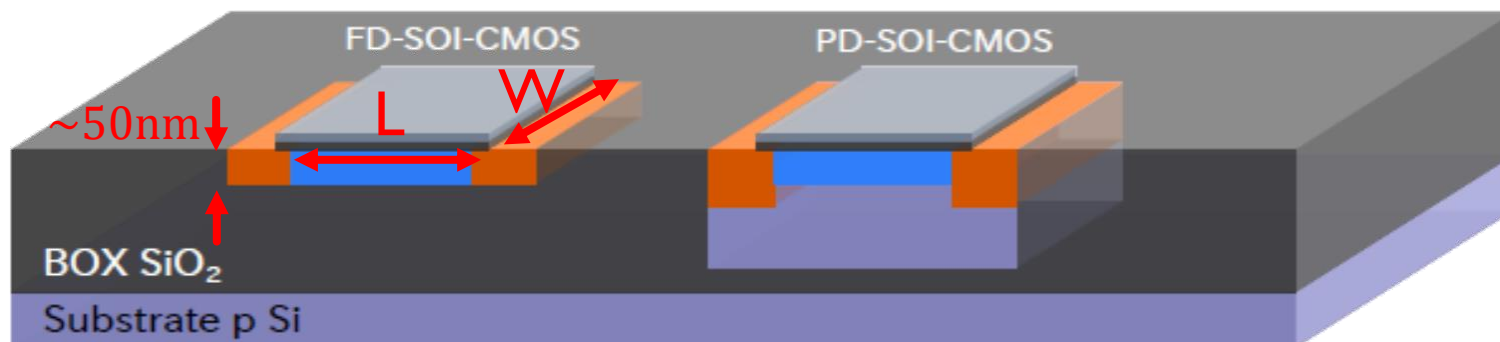
✓ $4\sqrt{N_{leak}} = N_{sig} - 2\sqrt{(\sqrt{N_{leak}})^2 + (\delta N_{sig})^2}$

➡ $i_{leak} \sim 250\text{pA}$

現在、20 μm 角のNb/Al-STJで $i_{leak} \sim 100\text{pA}$ を達成！

FD-SOI

Fully Depleted Silicon-On-Insulator

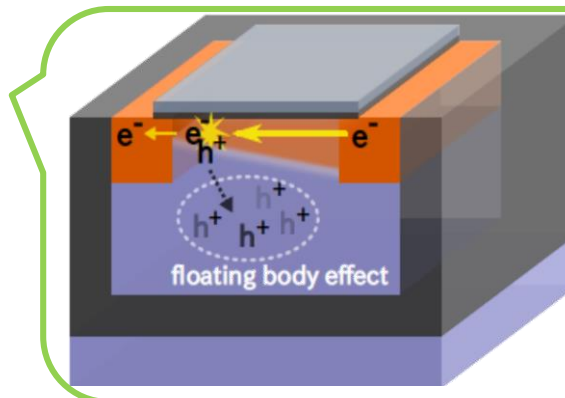


■ SOIは酸化膜上にFETを形成

- MOSFET間の寄生容量がとても小さい
- 消費電力が小さい

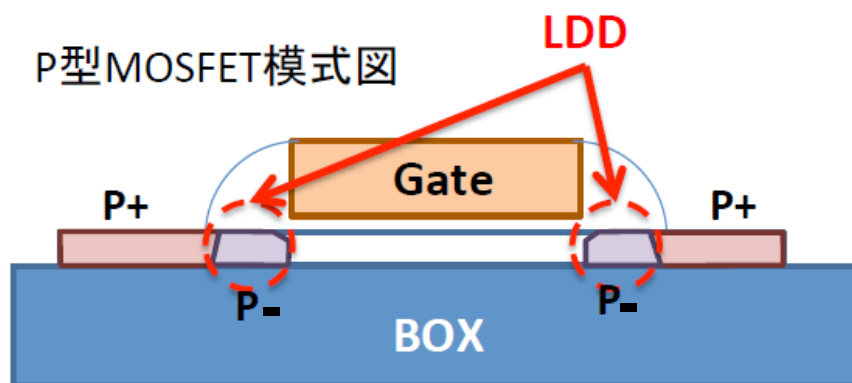
■ FD-SOIはボディーを薄く形成したSOI

- 浮遊帯効果を抑制



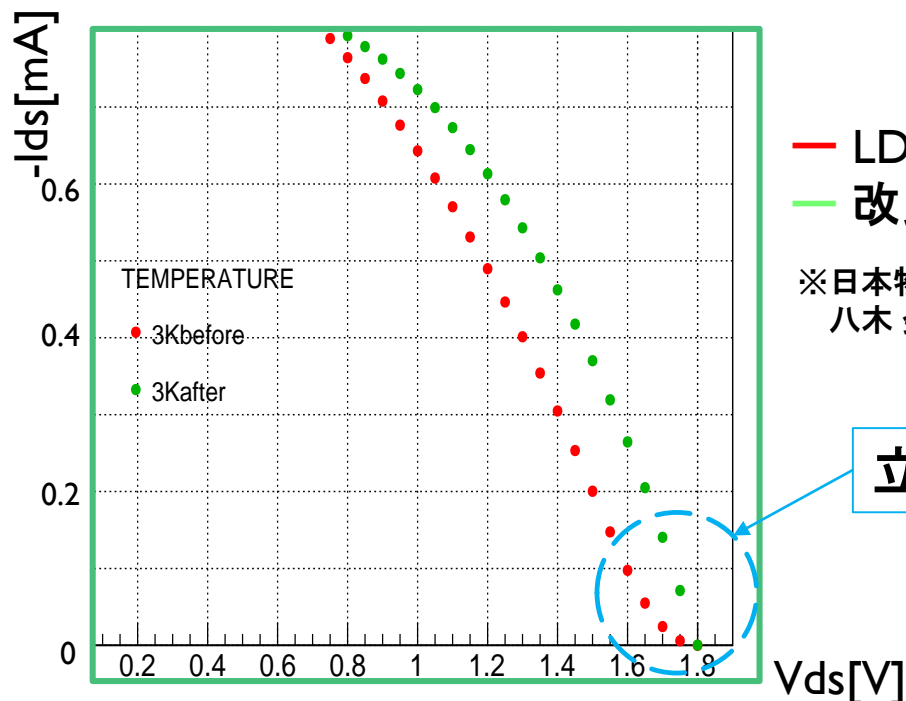
移動度の高い電子がSi原子に衝突し、電子-正孔対が生成される。
全空乏化されていないと正孔がボディーに溜まってしまう

LDD濃度改良による I_dV_d カーブ立ち上がりの回復



■ Lightly Doped Drain濃度改善

■ 極低温におけるMOSFETの異常特性を改善



— LDD濃度改良前
— 改良後

※日本物理学会第71回年次大会
八木 発表

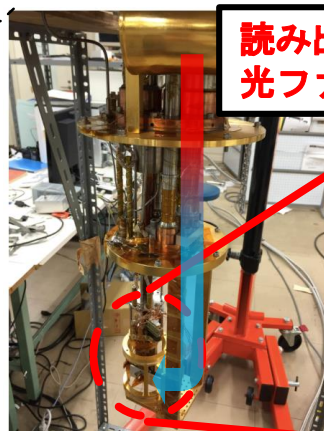
立ち上がりが線形に回復!

測定環境

He3 Sorption冷凍機
(Oxford Instrument製)



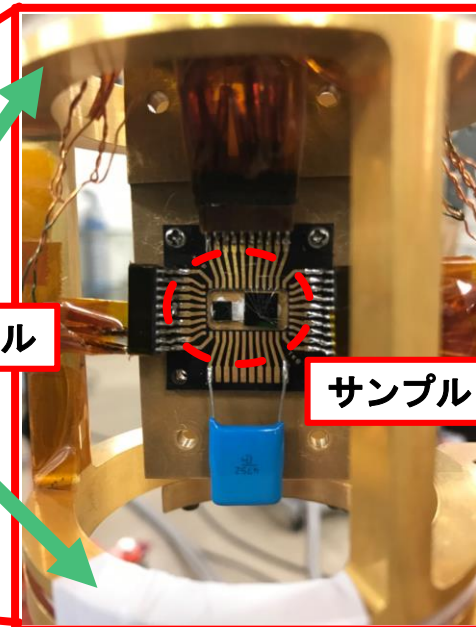
中を見ると



読み出し配線
光ファイバー

ヘルムホルツコイル

サンプル



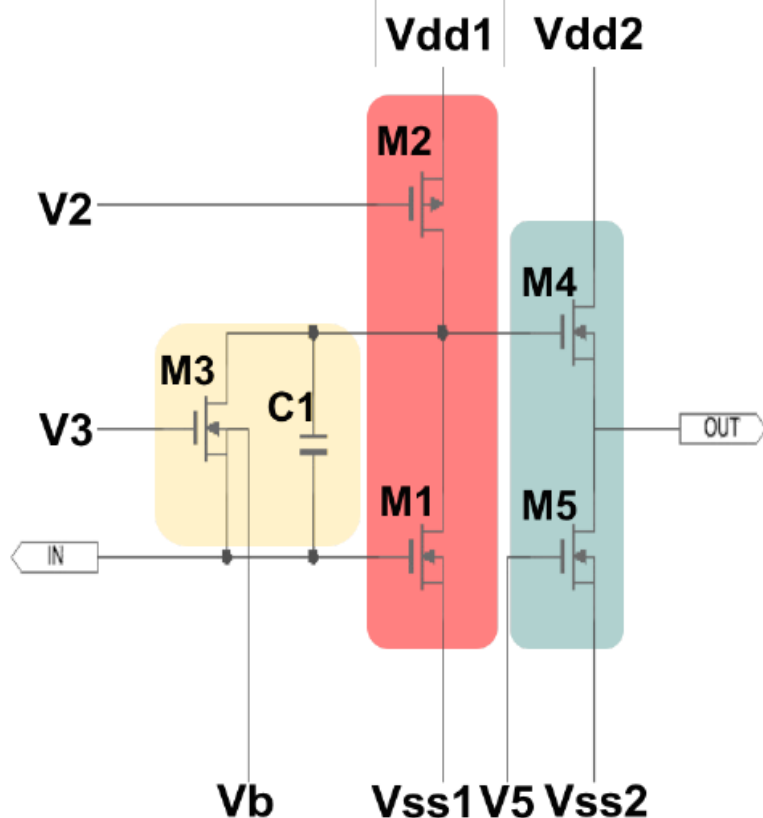
He³減圧冷凍機 冷却能力一覧

ステージ	最低到達温度[K]	冷却能力
60Kステージ	60	25W @65K
3Kステージ	2.8	0.7W @4.2K
最低温ステージ	0.3	100μW @350mK

各ステージには
熱輻射を防ぐために
シールドがある

The design of cold preamplifier

SOI - STJ4 (the 4th trial Unit)



Common Source Amplifier

- Using MOS-FETs instead of resistance

Feedback Circuit

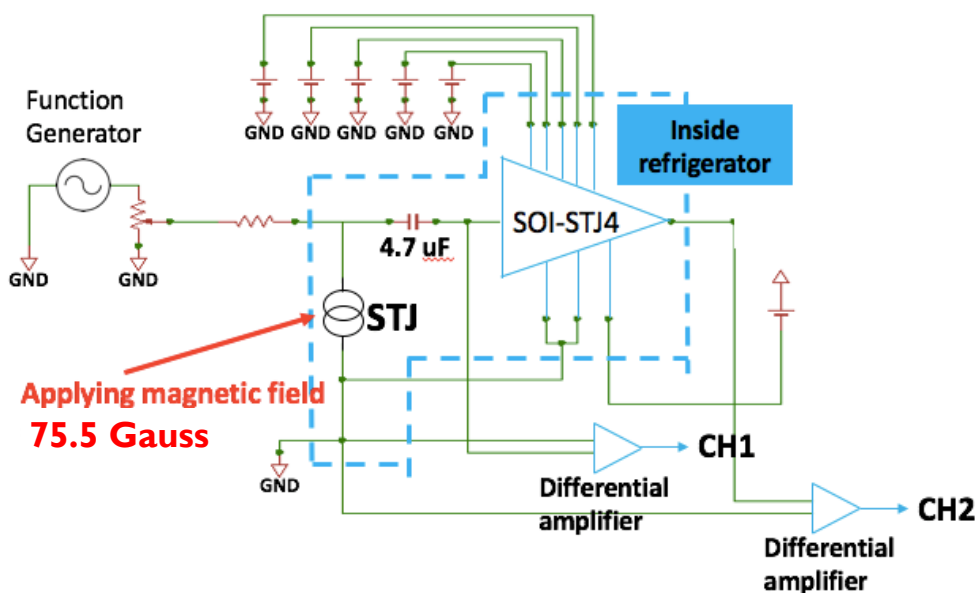
- Self bias voltage

Source Follower Circuit

- Output impedance is decreased

	Type	W [μm]	L [μm]
M1	Nch-CLst2	40	1
M2	Pch-CLst2	1	10
M3	Nch-CLst2	1.6	10
M4	Nch-CLst2	70	1
M5	Nch-CLst2	60	1
C2	MIM cap.	100 fF	

正弦波増幅試験@300mK

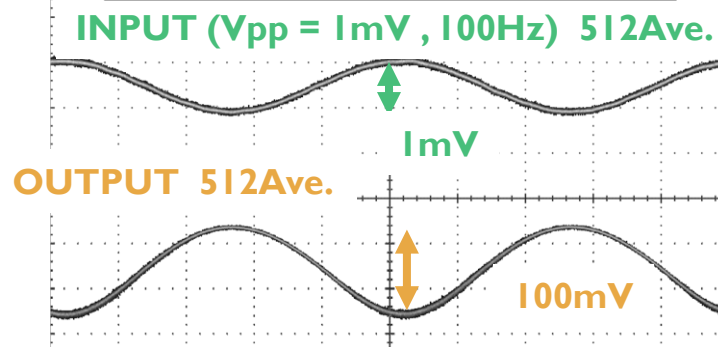


Applying magnetic field
75.5 Gauss

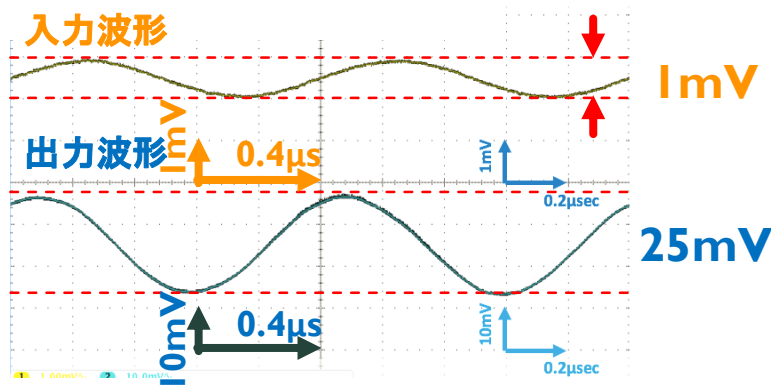
STJの信号速度(~1MHz)のような高速な信号に対しても、
300mK環境下において増幅可能！

冷凍機配線容量負荷：0.5 nF

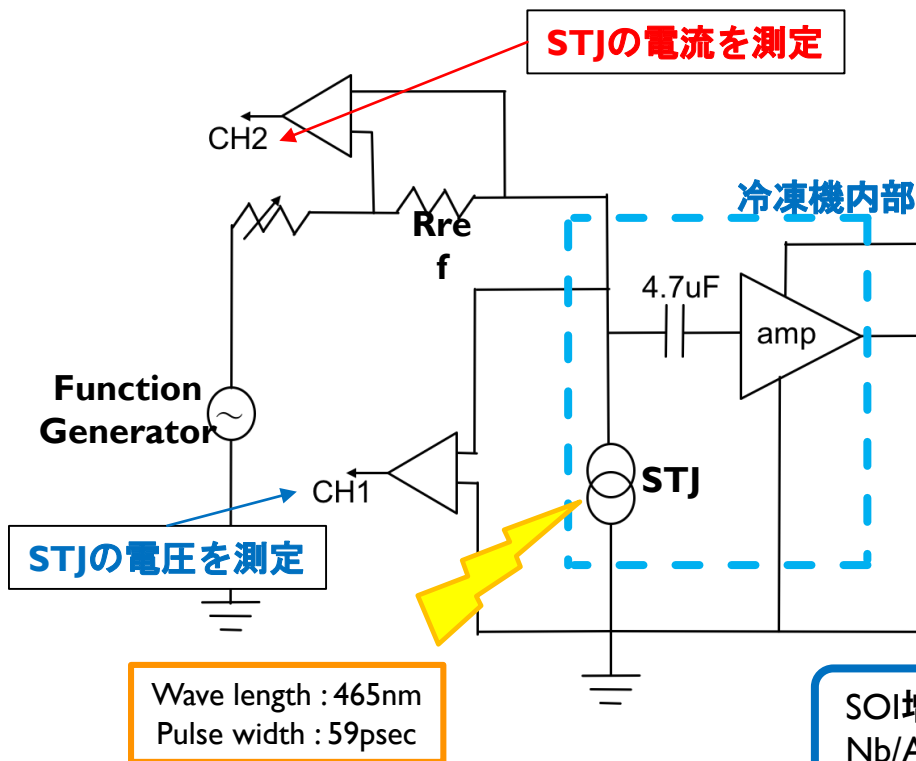
100Hz正弦波に対する入出力波形



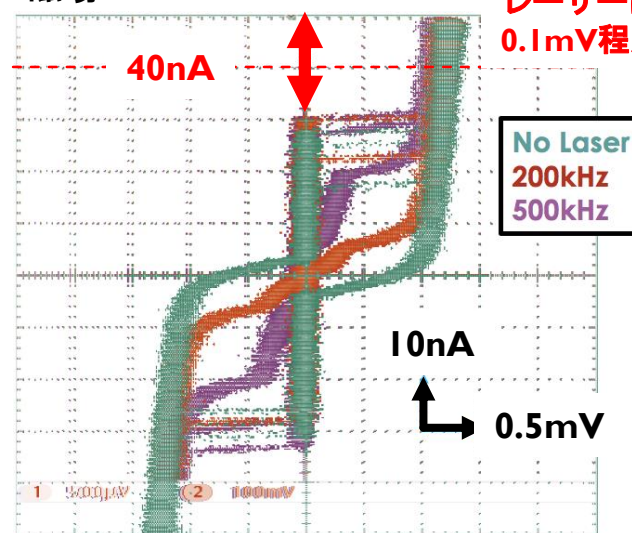
1MHz正弦波に対する入出力波形



Nb/Al-STJ検出器の電流電圧特性



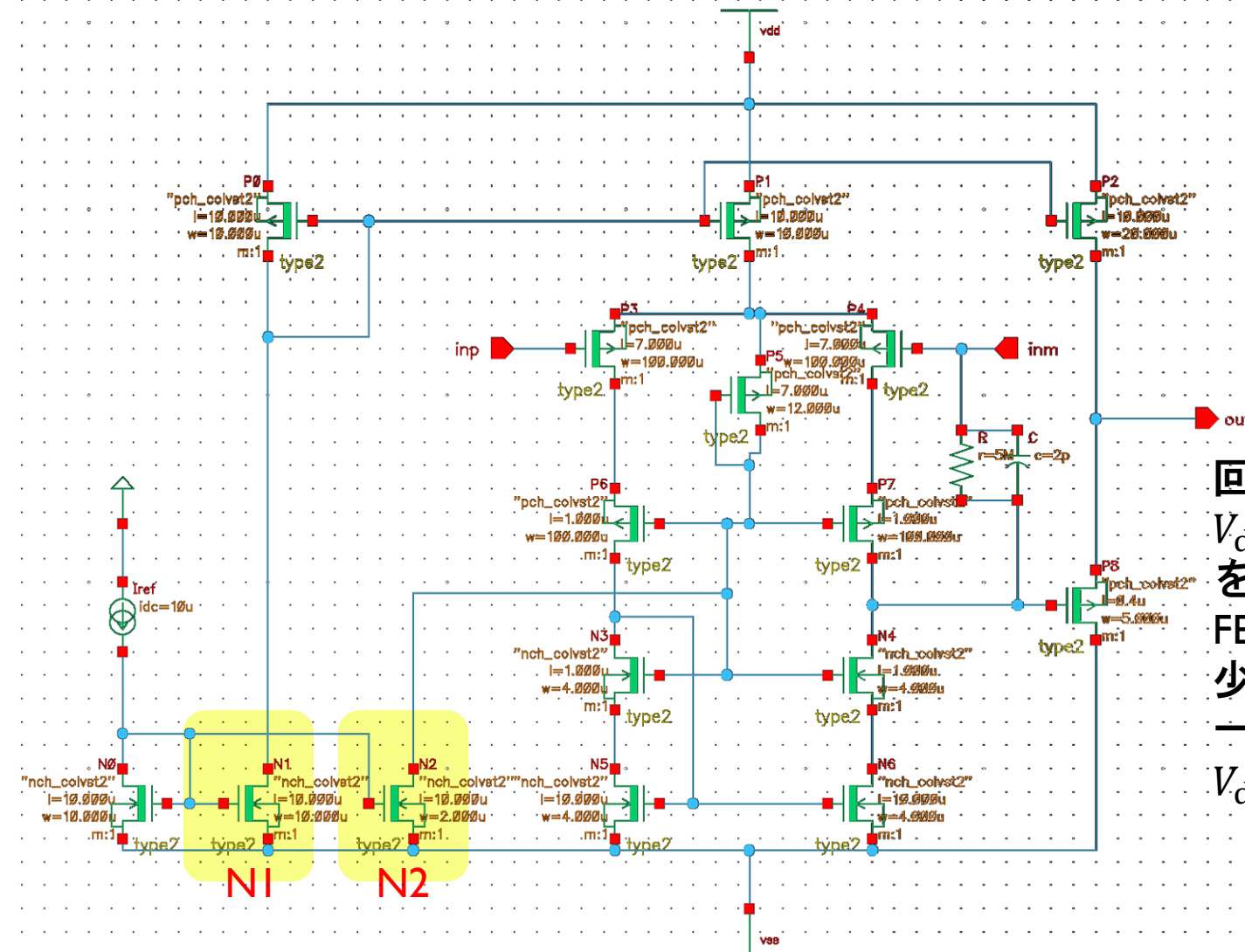
磁場 : 75.5 Gauss



レーザーに反応して、
0.1mV程度電圧変動が見られる

SOI増幅器を用いたNb/Al-STJ検出器信号増幅試験の際には、
Nb/Al-STJの動作点電流を40nAに設定してレーザーを照射する

ドレインアバランシェを起こしていそうなFET



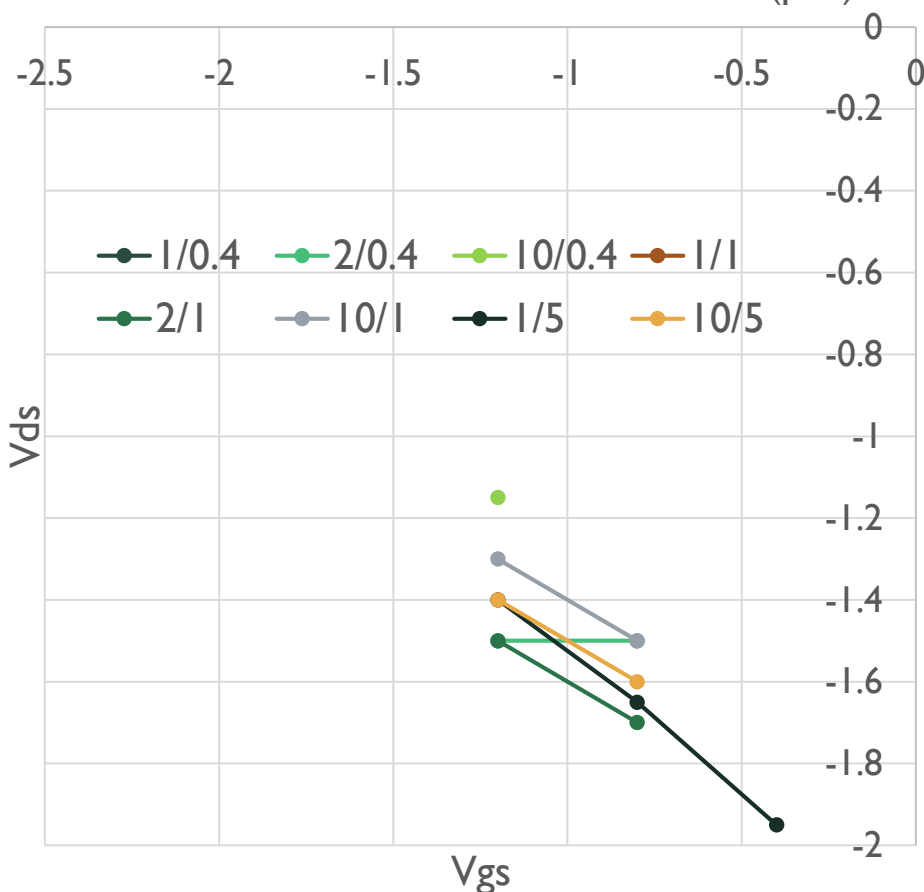
回路全体に
 $V_{dd} - V_{ss} = 3.0V$
を印加するので
FETの縦積み個数が
少ない箇所では
一つ一つのFETの
 V_{ds} は高くなってしまう。



$|V_{gs}| < |V_{ds}|$ のkink領域で動作してしまう。

SOI-STJ5回路上のpchの動作点

ドレインアバランシェの起こる点(pch)



$V_{ds} < -1.1V$

$-1.2V < V_{gs} < -0.4V$

の領域でドレインアバランシェ

Simulation($I_{ref}=10\mu A, in_p=in_m=0V$)による
SOI-STJ5上の各pchでの V_{ds}, V_{gs}

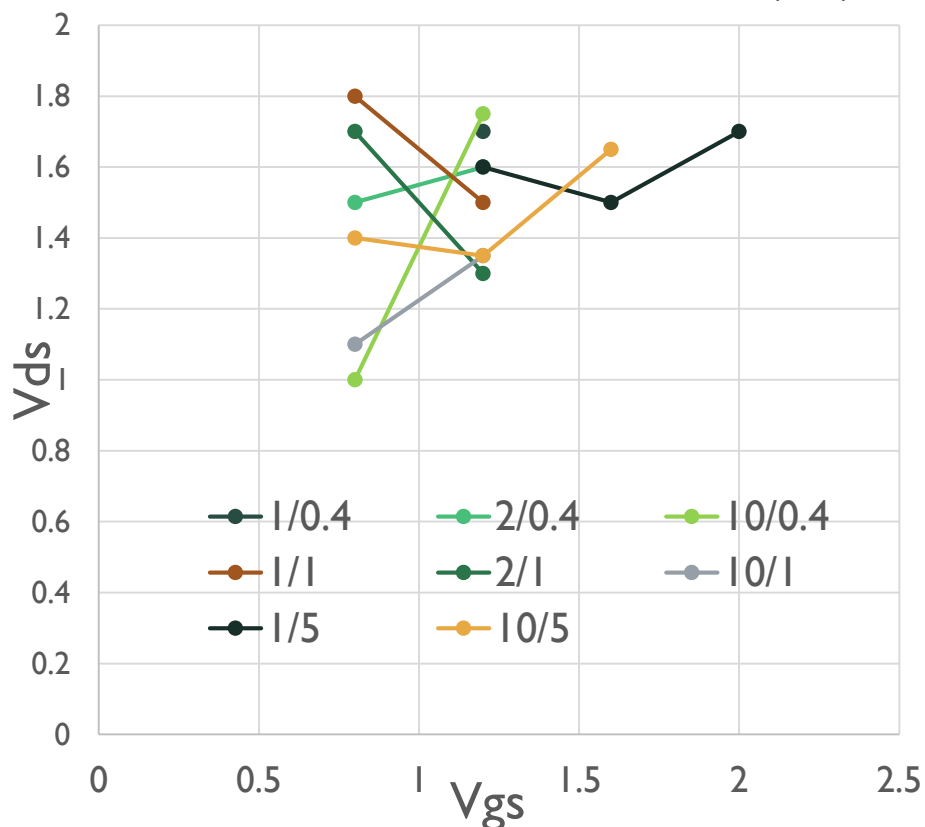
	W/L	$v_{ds}[V]$	$v_{gs}[V]$
p0	10/10	-1.074	-1.074
p1	10/10	-0.941	-1.074
p2	20/10	-0.88	-1.074
p3	100/7	-0.231	-0.559
p4	100/7	-0.231	-0.5590004
p5	12/7	-0.681	-0.681
p6	100/1	-0.875	-0.45
p7	100/1	-0.328027	-0.45
p8	5/0.4	-2.12	-0.620027

Buffer段のp8でドレインアバランシェ
する可能性有

→ソースフォロワ単体の実験により否定

SOI-STJ5回路上のnchの動作点

ドレインアバランシェの起こる点(nch)



1.0V < Vds
0.8V < Vgs
の領域でドレインアバランシェ

SimulationによるSOI-STJ5上の
各nchでのVds, Vgs

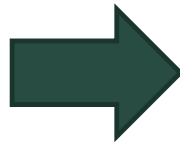
	W/L	vds[V]	vgs[V]
n0	10/10	0.963	0.963
n1	10/10	1.926	0.963
n2	2/10	1.378	0.963
n3	4/1	0.277	0.702
n4	4/1	0.819973	0.698
n5	4/10	0.676	0.953
n6	4/10	0.68	0.953

Bias段のn1, n2でドレインアバランシェ
の可能性有

ダイオード接続

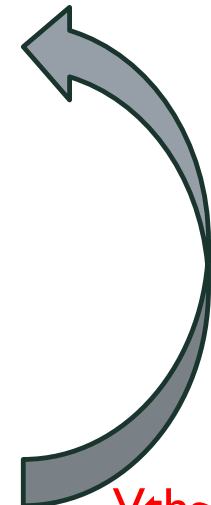
n1: $V_{ds} \sim 2V$
 $V_{gs} \sim 1V$

n2: $V_{ds} \sim 1.4V$
 $V_{gs} \sim 1V$

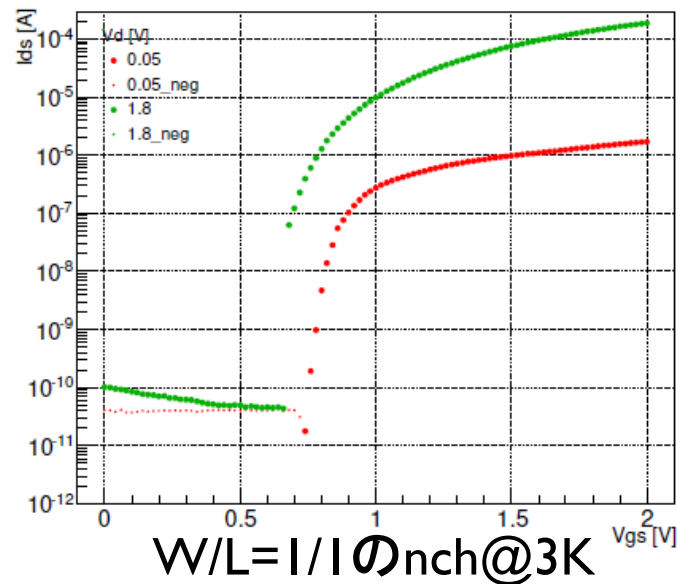
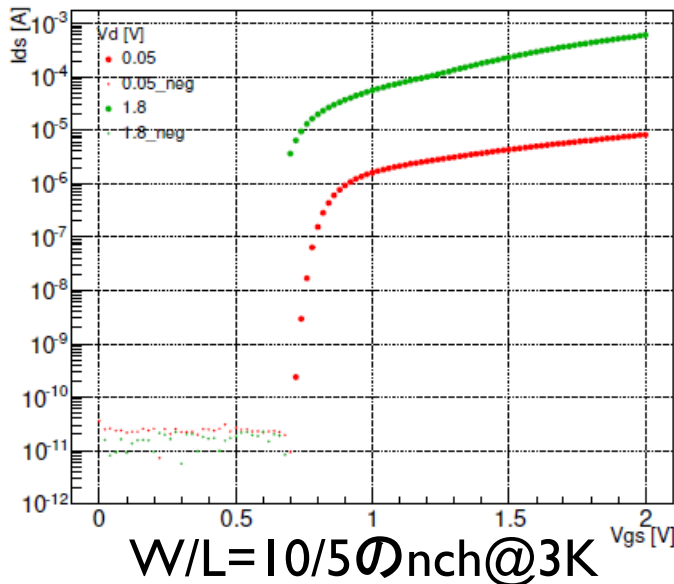


1番目のダイオード接続
 $V_{ds} = V_{gs} = 1V$ くらいで動作するもの
→ $W/L = 10/10$

2番目のダイオード接続
 $V_{ds} = V_{gs} = 1V$?
→ $W/L = 10/10$

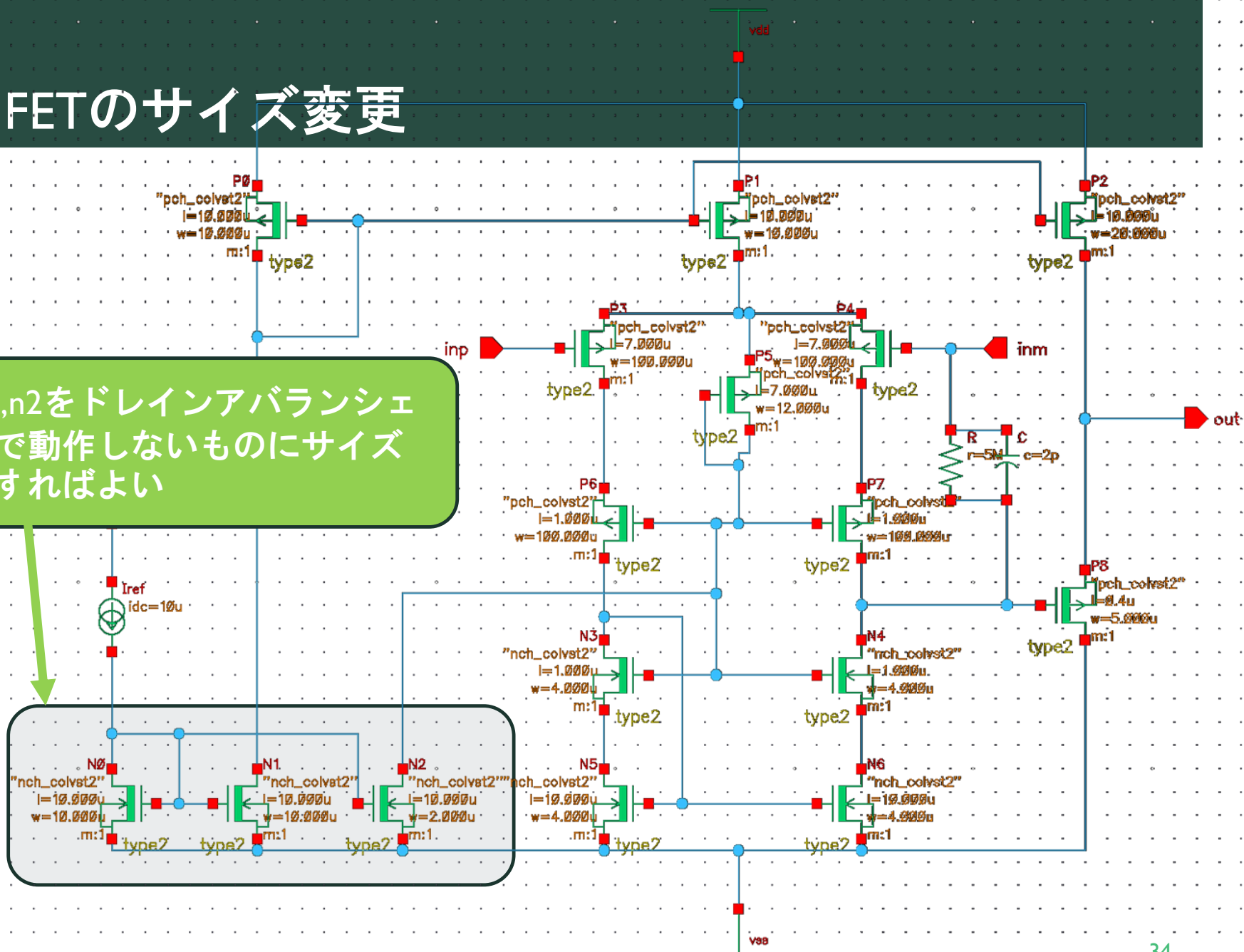


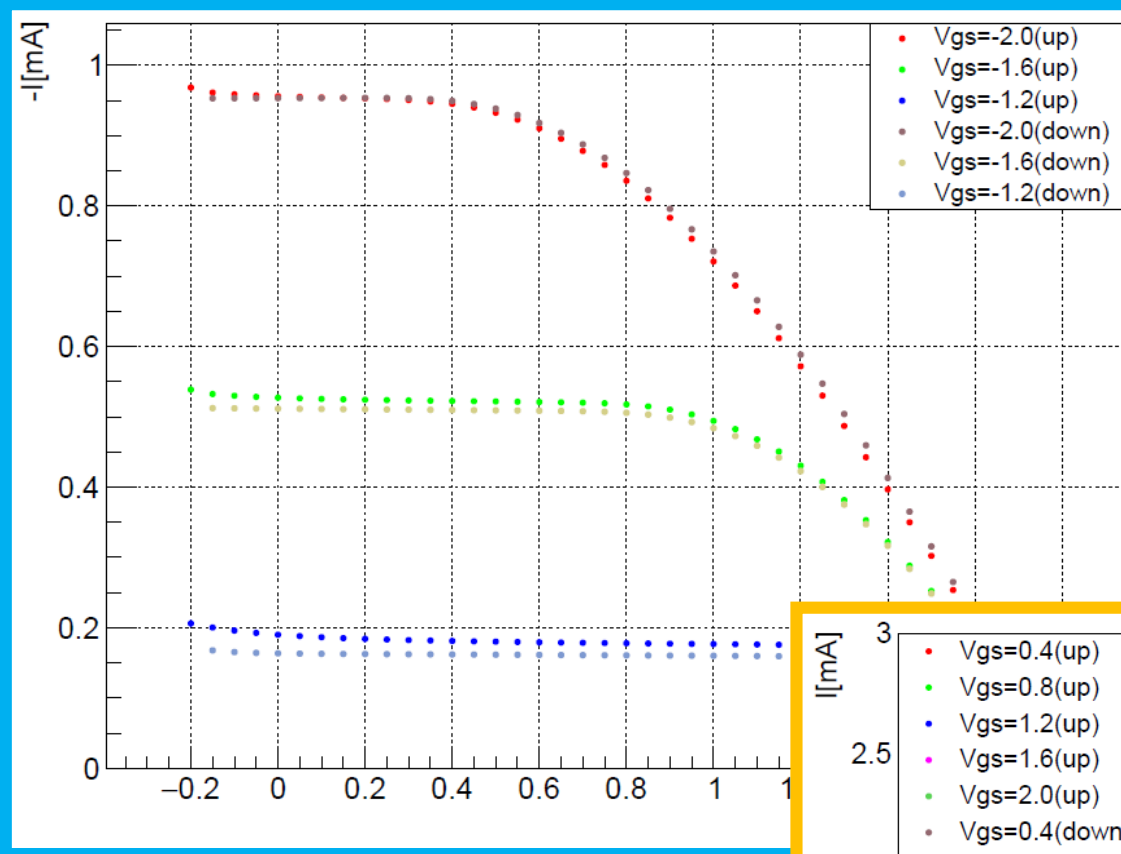
$V_{th} \sim 0.7V$



FETのサイズ変更

n0,n1,n2をドレインアバランシェ領域で動作しないものにサイズ変更すればよい

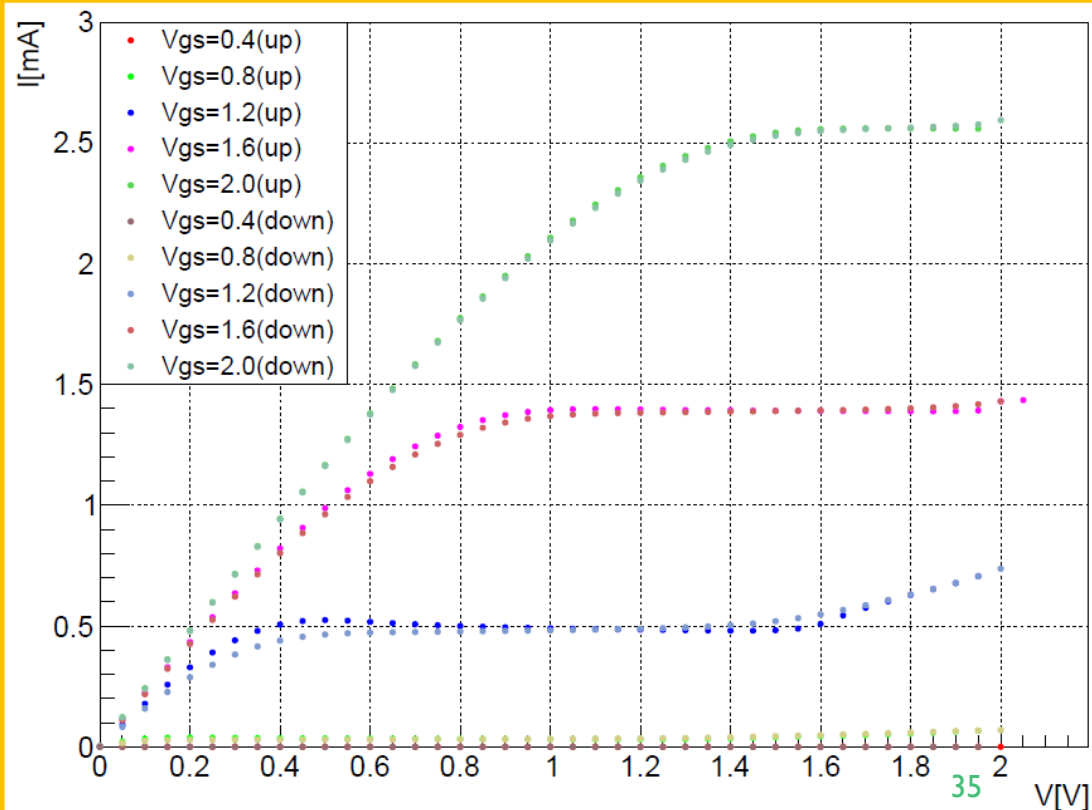




4Kにおけるpch(190/20)の
ヒステリシス測定結果

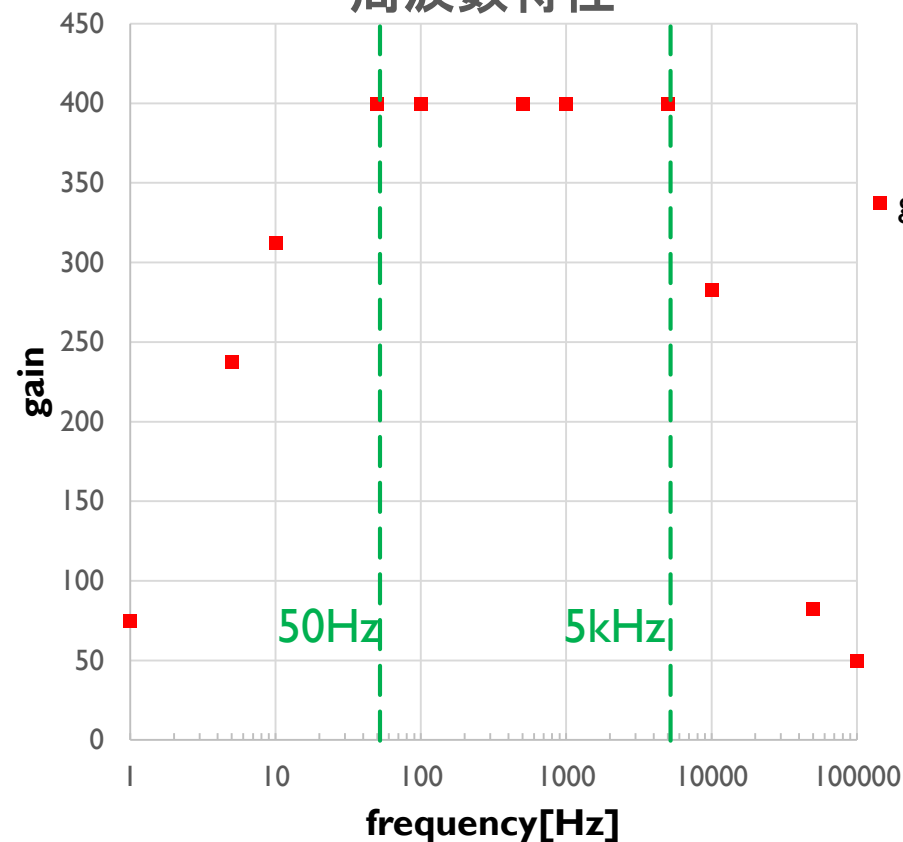
3Kにおけるnch(190/20)の
ヒステリシス測定結果

nchではup, down共にkink有
Pchではdownではkinkが抑制
→キャリアの移動度の違い?
セルフヒーティングによる影響は
nch, pch共に数%
kinkにはあまり影響していない?



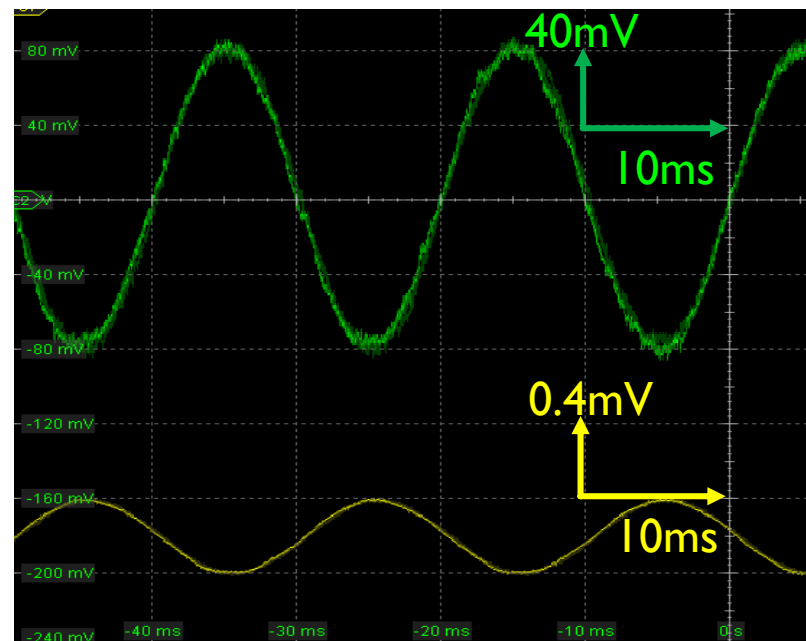
SOI-STJ5の周波数特性(室温)

周波数特性



$V_{dd}=1.5V$ $I_{dd}=61.22\mu A$
 $V_{ss}=-1.5V$ \rightarrow $I_{ss}=-76.40\mu A$
 $I_{bias}=15\mu A$ $V_{bias}=-0.484V$

冷凍機配線(有・無)で変化なし
カットオフ周波数 $\sim 5kHz$
低周波数側にもカットオフ有
 \rightarrow ハイパスフィルタが存在?



Input: 50Hz, $V_{pp} \sim 0.4mV$, offset $\sim -2.8mV$
(gain ~ 400)