

筑波大学大学院博士前期課程

数理物質科学研究科修士論文

ニュートリノ崩壊光探索のための超伝導トンネル接合光検出器
及び極低温増幅器の開発研究

先崎 蓮
物理学専攻

2016年 2月

筑波大学大学院博士前期課程

数理物質科学研究科修士論文

ニュートリノ崩壊光探索のための超伝導トンネル接合光検出器
及び極低温増幅器の開発研究

先崎 蓮
物理学専攻

指導教員 原 和彦 印

概 要

振動実験によりニュートリノに質量があるということが証明された．しかしながら，その質量の小ささと検出の困難さから，ニュートリノは標準模型の素粒子の中で唯一その絶対質量が求まっていない．そこで，本研究グループはニュートリノ崩壊という現象を利用し，ニュートリノの絶対質量を求めることを考えている．

ニュートリノは重い質量固有状態から軽い質量固有状態へ光子を伴い崩壊する．この光子のエネルギーを精度良く測定することで，振動実験の結果と合わせて，ニュートリノの絶対質量を求めることが出来る．この崩壊寿命は比較的短い寿命を与える計算モデル (LR 対象模型) でも 10^{17} 年と非常に長く，崩壊光の観測には大量のニュートリノ源が必要となる．そこで，宇宙初期に大量に生成されたと予想される宇宙背景ニュートリノの崩壊光を観測することを考える．

予想される崩壊光のエネルギーは 24meV であり，観測にはこのエネルギーに対し 1 光子計測が可能な光検出器が要求される．本研究グループでは，この検出器としてニオブとアルミニウムを用いた超伝導トンネル接合 (Nb/Al-STJ) 光検出器の開発研究を行ってきた．現状，検出器雑音となるリーク電流については要求の 400pA 以下を達成している．しかしながら，冷凍機外への信号読み出し系での雑音のため目的とする 1 光子検出には至っていない．

そこで，低温での動作が報告された FD-SOI (Fully Depleted-Silicon On Insulator)-MOSFET を用いて極低温前置増幅器を作製し，検出器直近で信号を増幅し冷凍機外へ読み出すことを考えている．とりわけ，FD-SOI プロセスで作製した回路基板上に直接 Nb/Al-STJ 検出器を形成した増幅器一体型 (SOI-STJ) 光検出器の開発研究を行ってきた．

極低温増幅器には， 300mK での低温動作，冷凍機の冷却能力以下の低消費電力，後段の高い冷凍機配線容量負荷でも STJ 検出器の信号を伝達可能な性能が求められる．

今回，これまでの開発研究を踏まえ，新たな回路の設計を行った．現状，極低温下のシミュレーションモデルは存在しないため，増幅回路の設計は室温条件での回路シミュレーションを元に行った．また，実際に極低温下で利得や周波数特性等，増幅回路の基本特性の測定・評価を行い，室温時と同等の性能が得られるかを確認した．

目次

第 1 章	ニュートリノ崩壊光探索	1
1.1	ニュートリノ	1
1.1.1	ニュートリノの発見	1
1.1.2	ニュートリノ振動	1
1.1.3	ニュートリノ質量	3
1.2	ニュートリノ崩壊	4
1.2.1	崩壊光のエネルギー	4
1.2.2	崩壊寿命	5
1.3	宇宙背景ニュートリノ崩壊光探索	6
1.3.1	宇宙背景ニュートリノ	6
1.3.2	崩壊光のエネルギースペクトル	6
1.3.3	崩壊光探索実験	8
第 2 章	超伝導トンネル接合素子	10
2.1	超伝導	10
2.2	ジョセフソン接合素子	11
2.3	超伝導トンネル接合光検出器	12
2.3.1	構造	13
2.3.2	検出原理	13
2.3.3	エネルギー分解能	14
2.3.4	リーク電流	14
2.3.5	電流電圧特性	15
2.4	Nb/Al-STJ 検出器の研究開発	16
2.4.1	Nb/Al-STJ 検出器	16
2.4.2	リーク電流への要請	18
2.4.3	開発の現状	19
第 3 章	極低温増幅器	20
3.1	MOSFET	20
3.1.1	構造	21
3.1.2	動作原理	21
3.1.3	電流電圧特性	22
3.1.4	トランスコンダクタンス	24
3.1.5	小信号等価回路	24
3.1.6	CMOS	26
3.2	FD-SOI-MOSFET	26
3.2.1	構造	26
3.2.2	浮遊帯効果	27
3.2.3	低温特性	28
3.3	アナログ CMOS 回路	29
3.3.1	ソース接地増幅段	29
3.3.2	ソースフォロワ	31

3.4	FD-SOI-MOSFET を用いた極低温増幅器の開発研究	33
3.4.1	SOI 増幅回路一体型 STJ 検出器	33
3.4.2	極低温増幅器の開発現状	33
第 4 章	極低温増幅器の設計	41
4.1	極低温増幅器への要請	41
4.2	設計	42
4.3	光応答シミュレーション	44
4.3.1	STJ 検出器の回路モデル	45
4.3.2	光応答シミュレーション結果	46
第 5 章	極低温増幅器の性能評価	48
5.1	測定素子	48
5.2	測定環境	50
5.3	バッファ段の性能評価	52
5.3.1	直流電圧特性	52
5.3.2	消費電力	55
5.3.3	周波数特性	58
5.4	増幅段の性能評価	66
5.4.1	入出力端子の待機電圧	66
5.4.2	消費電力	73
5.4.3	利得のバイアス依存性	75
5.4.4	周波数特性	81
5.5	増幅段・バッファ段一体型回路の性能評価	84
5.5.1	待機電圧	84
5.5.2	利得のバイアス依存性	90
5.5.3	周波数特性	95
5.5.4	パルス応答	101
5.5.5	パルス波高分布	108
第 6 章	結論	125
付 録 A	増幅段・バッファ段一体型回路の再測定	127
A.1	利得のバイアス依存性	127
A.2	周波数特性	128
謝辞		131
参考文献		132

目 次

1.1	ニュートリノの質量階層	3
1.2	ニュートリノ崩壊のファインマン図	4
1.3	ニュートリノ崩壊におけるカイラリティ固有状態	5
1.4	宇宙背景ニュートリノの崩壊光スペクトル	7
1.5	崩壊光探索実験の概念図	8
2.1	超伝導体中の電子のエネルギー準位	10
2.2	ジョセフソン接合	11
2.3	STJ 検出器の構造	13
2.4	STJ 検出器の動作原理	13
2.5	STJ 検出器のリーク電流の温度依存性	14
2.6	STJ 検出器の電流電圧特性	15
2.7	Nb/Al-STJ 検出器の構造	16
2.8	バックトンネリング現象	17
2.9	CAVITY 製 Nb/Al-STJ 検出器のリーク電流温度依存性 [9]	19
3.1	MOSFET の構造	21
3.2	MOSFET の動作原理	21
3.3	MOSFET のドレイン-ソース間電流-ドレイン-ソース間電圧特性	22
3.4	MOSFET のドレイン-ソース間電流-ゲート-ソース間電圧特性	22
3.5	ピンチオフ	24
3.6	MOSFET の小信号等価回路	25
3.7	Bulk-CMOS の構造	26
3.8	SOI-CMOS の構造	26
3.9	浮遊帯効果	27
3.10	FD-SOI-MOSFET の極低温での電流電圧特性	28
3.11	ソース接地増幅回路	29
3.12	ソース接地増幅回路の入出力特性	30
3.13	ソース接地増幅回路の小信号等価回路	30
3.14	ソースフォロワ	31
3.15	ソースフォロワの入出力特性	31
3.16	ソースフォロワの小信号等価回路	32
3.17	SOI 増幅回路一体型 STJ 検出器	33
3.18	SOI-STJ1 のデザイン [13]	34
3.19	Nb/Al-STJ 検出器形成後の FD-SOI-MOSFET 電流電圧特性 [13]	35
3.20	SOI-STJ1 基板上に形成した Nb/Al-STJ 検出器 電流電圧特性 [13]	35
3.21	SOI-STJ1 基板上に形成した Nb/Al-STJ 検出器 光応答信号 [13]	36
3.22	SOI-STJ2 のデザイン [13]	36
3.23	SOI-STJ2 による sine 信号の増幅 [13]	37
3.24	SOI-STJ3 のデザイン [13]	38
3.25	SOI-STJ3 回路基板上に形成した Nb/Al-STJ 検出器の電流電圧特性 [7]	39
3.26	SOI-STJ3 回路基板の表面状態 [7]	39

4.1	SOI-STJ4 パターン A 回路図	42
4.2	SOI-STJ4 パターン B 回路図	42
4.3	SOI-STJ4 レイアウト	44
4.4	STJ 検出器の回路モデル	45
4.5	STJ 回路モデルの電流電圧特性	45
4.6	光応答シミュレーション回路	46
4.7	光応答シミュレーション結果	47
5.1	測定に用いた素子	49
5.2	測定時の素子の様子	49
5.3	^3He 減圧冷凍機	50
5.4	SOI-STJ4 パターン B バッファ段 直流電圧 測定回路	52
5.5	SOI-STJ4 B バッファ段 直流電圧特性 (室温時)	53
5.6	SOI-STJ4 B バッファ段 直流電圧特性 (冷凍機配線時)	54
5.7	SOI-STJ4 パターン B バッファ段 直流電圧特性 (3K)	54
5.8	SOI-STJ4 B バッファ段 消費電力 (室温時)	56
5.9	SOI-STJ4 B バッファ段 消費電力 (冷凍機配線時)	56
5.10	SOI-STJ4 B バッファ段 消費電力 (3K)	57
5.11	SOI-STJ4 B バッファ段 周波数特性 測定回路	58
5.12	SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (室温時, $f_{in} = 100\text{Hz}$, $V_4 = 0.60\text{V}$, $V_5 = 0.50\text{V}$)	59
5.13	SOI-STJ4 B バッファ段 周波数特性 (室温時, $V_4 = 0.60\text{V}$)	59
5.14	SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_4 = 0.60\text{V}$, $V_5 = 0.50\text{V}$)	60
5.15	SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 0.60\text{V}$)	61
5.16	SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 0.80\text{V}$)	61
5.17	SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 1.00\text{V}$)	62
5.18	SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (3K, $f_{in} = 100\text{Hz}$, $V_4 = 1.40\text{V}$, $V_5 = 1.00\text{V}$)	63
5.19	SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 0.70\text{V}$)	63
5.20	SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.00\text{V}$)	64
5.21	SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.20\text{V}$)	64
5.22	SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.40\text{V}$)	65
5.23	SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.60\text{V}$)	65
5.24	SOI-STJ4 B 増幅段 入出力端子電圧 測定回路	66
5.25	SOI-STJ4 B 増幅段 入力端子電圧測定 プローブ用バッファ段 直流電圧特性	67
5.26	SOI-STJ4 B 増幅段 入力端子電圧測定 バッファ段出力 (室温)	68
5.27	SOI-STJ4 B 増幅段 出力端子電圧測定 バッファ段出力 (室温)	68
5.28	SOI-STJ4 B 増幅段 入力端子電圧 (室温)	69
5.29	SOI-STJ4 B 増幅段 出力端子電圧 (室温)	69
5.30	SOI-STJ4 B 増幅段 入力端子電圧測定 プローブ用バッファ段 直流電圧特性	70
5.31	SOI-STJ4 B 増幅段 入力端子電圧測定 バッファ段出力 (3K)	71
5.32	SOI-STJ4 B 増幅段 出力端子電圧測定 バッファ段出力 (3K)	71

5.33 SOI-STJ4 B 増幅段 入力端子電圧測定 (3K)	72
5.34 SOI-STJ4 B 増幅段 出力端子電圧測定 (3K)	72
5.35 SOI-STJ4 B 増幅段 消費電力 (室温)	73
5.36 SOI-STJ4 B 増幅段 消費電力 (3K)	74
5.37 SOI-STJ4 B 増幅段 利得 測定回路	75
5.38 SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (室温, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)	76
5.39 SOI-STJ4 B 増幅段 利得のバイアス電圧依存性 (室温)	77
5.40 SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)	78
5.41 SOI-STJ4 B 増幅段 利得のバイアス電圧依存性	78
5.42 SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (3K, $f_{in} = 100\text{Hz}$, $V_2 = 0.40\text{V}$, $V_3 = 1.55\text{V}$)	79
5.43 SOI-STJ4 B 増幅段 利得のバイアス電圧依存性 (3K)	80
5.44 SOI-STJ4 B 周波数依存性 (室温)	81
5.45 SOI-STJ4 B 増幅段 周波数依存性 (冷凍機内室温)	82
5.46 SOI-STJ4 B 増幅段 周波数特性 (3K)	83
5.47 SOI-STJ4 A 待機電圧 測定回路	84
5.48 SOI-STJ4 A 出力端子電圧 (室温)	85
5.49 SOI-STJ4 A 増幅段出力端子電圧 (室温)	86
5.50 SOI-STJ4 バッファ段 直流電圧特性 (冷凍機配線時, $V_5 = 0.50\text{V}$)	86
5.51 SOI-STJ4 A 出力端子電圧 (冷凍機配線時)	87
5.52 SOI-STJ4 A 増幅段出力端子電圧 (冷凍機配線時)	87
5.53 SOI-STJ4 A 増幅段 入出力特性 (3K)	88
5.54 SOI-STJ4 バッファ段 直流電圧特性 (3K, $V_5 = 0.70\text{V}$)	89
5.55 SOI-STJ4 A 増幅段出力端子電圧 (3K)	89
5.56 SOI-STJ4 A 増幅率 測定回路	90
5.57 SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (室温, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)	91
5.58 SOI-STJ4 A 利得のバイアス電圧依存性 (室温)	92
5.59 SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_2 =$ 0.15V , $V_3 = 1.20\text{V}$)	92
5.60 SOI-STJ4 A 利得のバイアス電圧依存性 (冷凍機配線時)	93
5.61 SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (3K, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)	94
5.62 SOI-STJ4 A 利得のバイアス電圧依存性 (3K)	94
5.63 SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.80\text{V}$)	96
5.64 SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.60\text{V}$)	96
5.65 SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.40\text{V}$)	97
5.66 SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.80\text{V}$)	97
5.67 SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.40\text{V}$)	98
5.68 SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.80\text{V}$)	99
5.69 SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.50\text{V}$)	99

5.70	SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.10V$)	100
5.71	SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 0.90V$)	100
5.72	SOI-STJ4 A パルス応答 測定回路	101
5.73	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力模擬信号 (青) と出力信号 (赤) (室温)	102
5.74	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (冷凍機配線時)	103
5.75	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (3K, $V_{DD2} = 1.10V$, $V_5 = 0.00V$)	104
5.76	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (3K, $V_{DD2} = 1.10V$, $V_5 = 0.10V$)	105
5.77	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (3K, $V_{DD2} = 1.10V$, $V_5 = 0.30V$)	105
5.78	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10V$, $V_5 = 0.00V$)	106
5.79	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10V$, $V_5 = 0.10V$)	106
5.80	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10V$, $V_5 = 0.20V$)	107
5.81	SOI-STJ4 A パルス応答 入力矩形波 (緑), 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10V$, $V_5 = 0.30V$)	107
5.82	SOI-STJ4 A 信号雑音比の積分時間依存性 (室温)	109
5.83	SOI-STJ4 A 波高分布 (室温時)	110
5.84	SOI-STJ4 A 信号雑音比の積分時間依存性 (冷凍機配線時)	111
5.85	SOI-STJ4 A 波高分布 (冷凍機配線時)	112
5.86	SOI-STJ4 A 信号雑音比の積分時間依存性 (3K, $V_5 = 0.00V$)	114
5.87	SOI-STJ4 A 信号雑音比の積分時間依存性 (3K, $V_5 = 0.10V$)	114
5.88	SOI-STJ4 A 信号雑音比の積分時間依存性 (3K, $V_5 = 0.30V$)	115
5.89	SOI-STJ4 A 波高分布 (3K, $V_5 = 0.00V$)	116
5.90	SOI-STJ4 A 波高分布 (3K, $V_5 = 0.10V$)	117
5.91	SOI-STJ4 A 波高分布 (3K, $V_5 = 0.30V$)	118
5.92	SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK, $V_5 = 0.00V$)	119
5.93	SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK, $V_5 = 0.10V$)	119
5.94	SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK, $V_5 = 0.20V$)	120
5.95	SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK, $V_5 = 0.30V$)	120
5.96	SOI-STJ4 A 波高分布 (300mK, $V_5 = 0.00V$)	121
5.97	SOI-STJ4 A 波高分布 (300mK, $V_5 = 0.10V$)	122
5.98	SOI-STJ4 A 波高分布 (300mK, $V_5 = 0.20V$)	123
5.99	SOI-STJ4 A 波高分布 (300mK, $V_5 = 0.30V$)	124
A.1	SOI-STJ4 A 再測定に用いた素子	127
A.2	SOI-STJ4 A 利得のバイアス電圧依存性 (室温, 再測)	128
A.3	SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.80V$)	129
A.4	SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.40V$)	129

A.5 SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.40\text{V}$)	130
---	-----

表 目 次

1.1	ニュートリノ振動実験から求まるパラメータ [3]	3
2.1	主な超伝導体の転移温度とエネルギーギャップ	11
4.1	SOI-STJ4 回路の素子パラメータ	43
5.1	^3He 減圧冷凍機の冷却能力	51
5.2	SOI-STJA パルス応答 (極低温時) バイアス条件と測定値	103
5.3	SOI-STJA パルス波高分布 (極低温時) バイアス条件と測定値	113

第1章 ニュートリノ崩壊光探索

1.1 ニュートリノ

1.1.1 ニュートリノの発見

1914年、J.Chadwick がビスマスの β 崩壊によって放出される電子のエネルギーを測定したところ、連続的なエネルギースペクトルを持つことが分かった。 β 崩壊を $n \rightarrow p + e^-$ の二体崩壊と考えた場合、電子のエネルギーは一定値を取らなければならず、エネルギー保存則に矛盾する。また、電子、陽子、中性子のスピンを $\frac{1}{2}$ とすると角運動量の保存則にも矛盾する。これに対し、1930年、Pauli は「 β 崩壊では観測されない中性の微粒子がエネルギーを持ち去っている」と未知の粒子を仮定した。その後、1933年、Fermi は β 崩壊の理論を構築し、 β 崩壊が

$$n \rightarrow p + e^- + \bar{\nu}_e$$

の三体崩壊であれば電子の連続エネルギースペクトルを説明できることを示した。Fermi はこの中性粒子 ν をニュートリノと名付けた。

ニュートリノはスピン $\frac{1}{2}$ の中性レプトンで、 β 崩壊のエネルギースペクトルから、その質量は非常に小さいか、もしくは0であると考えられた。そのため、弱い相互作用か重力相互作用でしか物質と反応せず、実験による検証は困難であった。

初めてニュートリノが観測されたのは、1959年の Reines, Cowan らの実験である。彼らは原子炉からの多量のニュートリノと塩化カドミウム水溶液のターゲットを用いた。ニュートリノは水に入射すると逆 β 崩壊

$$\nu_e + p \rightarrow e^+ + n$$

を起こす。この反応によって生じた陽電子はただちに水中の電子と対消滅をし、合計エネルギーが $2m_e$ の2個の γ 線を出す。また、中性子は数 μ 秒移動した後カドミウム原子核に捕獲され、時間差で γ 線を放出する。この特徴的な2つの信号をとらえることで、ニュートリノの存在を実験的に証明した。

現在ではニュートリノは荷電レプトンと対になって3世代あることが確認されている。それぞれ、対となる荷電レプトンの名をとって電子ニュートリノ、 μ ニュートリノ、 τ ニュートリノと呼ばれている。1962年に Leon M Lederman らはブルックヘブン国立研究所の陽子加速器で π 中間子を生成させ、その崩壊によって生成される粒子を測定した。その結果、 μ 粒子のみが検出され電子ニュートリノとは異なるミューニュートリノの存在が明らかになった。1998年にはフェルミ国立加速器研究所の TEVATRON 加速器で生成されたニュートリノビームから τ 粒子を観測し、 τ ニュートリノの存在が実証された。

1.1.2 ニュートリノ振動

一般に、粒子のフレーバー固有状態と質量固有状態は一般に同一であるとは限らない。質量がフレーバー間で混合する場合、フレーバー固有状態は質量固有状態の重ねあわせで表される。す

なわち，ニュートリノの場合，

$$|\nu_\alpha\rangle = \sum_j U_{\alpha j} |\nu_j\rangle \quad (1.1)$$

となる．ここで α はフレーバー固有状態 (e, μ, τ)， j は質量固有状態 (1,2,3) を表わす． $U_{\alpha j}$ はレプトンの混合行列で MNS(Maki-Nakagawa-Sakata) 行列と呼ばれ，次で表わされる．

$$\begin{aligned} U_{\alpha j} &= \begin{pmatrix} U_{e1} & U_{e2} & U_{e3} \\ U_{\mu 1} & U_{\mu 2} & U_{\mu 3} \\ U_{\tau 1} & U_{\tau 2} & U_{\tau 3} \end{pmatrix} \\ &= \begin{pmatrix} 1 & 0 & 0 \\ 0 & c_{23} & s_{23} \\ 0 & -s_{23} & c_{23} \end{pmatrix} \begin{pmatrix} c_{13} & s_{13}e^{-i\delta} & 0 \\ 0 & 1 & 0 \\ -s_{13}e^{-i\delta} & 0 & c_{13} \end{pmatrix} \begin{pmatrix} c_{12} & s_{12} & 0 \\ -s_{12} & c_{12} & 0 \\ 0 & 0 & 1 \end{pmatrix} \\ &= \begin{pmatrix} c_{12}c_{13} & s_{12}c_{13} & s_{13}e^{-i\delta} \\ -s_{12}c_{23} - c_{12}s_{23}s_{13}e^{i\delta} & c_{12}c_{23} - s_{12}s_{23}s_{13}e^{i\delta} & s_{23}c_{13} \\ s_{12}s_{23} - c_{12}c_{23}s_{13}e^{i\delta} & -c_{12}c_{23} - s_{12}s_{23}s_{13}e^{i\delta} & c_{23}c_{13} \end{pmatrix} \quad (1.2) \end{aligned}$$

ただし， $c_{nm} = \cos \theta_{nm}$ ， $s_{nm} = \sin \theta_{nm}$ (θ_{nm} は混合角)， δ は小林・益川位相である．

ここで，フレーバー固有状態の時間発展は次で表される．

$$\nu_\alpha(t) = \sum_j U_{\alpha j} |\nu_j\rangle e^{-iE_j t} \quad (1.3)$$

ここで， E_j はニュートリノ質量 m_j が十分小さいとすると，次のように近似出来る．

$$E_j = \sqrt{p^2 + m_j^2} \simeq p + \frac{m_j^2}{2E} \quad (1.4)$$

3つの質量固有値が異なる場合，各質量固有状態は別々に時間発展するため，混合比も時間経過とともに変化する．すなわち，あるフレーバー固有状態だったニュートリノが，時間経過により別のフレーバー固有状態に変化することがある．この現象はニュートリノ振動と呼ばれる．

時刻 $t = 0$ でフレーバー固有状態が ν_α であったものが，時刻 t で ν_β に変化する確率は，

$$\begin{aligned} P(\nu_\alpha \rightarrow \nu_\beta; t) &= |\langle \nu_\alpha | \nu_\beta(t) \rangle|^2 \\ &= \delta_{\alpha\beta} \\ &\quad + \sum_{j>k} (-4) \text{Re}(U_{\alpha j} U_{\beta j}^* U_{\alpha k}^* U_{\beta k}) \sin^2 \left(\frac{\Delta m_{jk}^2}{4E} L \right) \\ &\quad + \sum_{j>k} 2 \text{Im}(U_{\alpha j} U_{\beta j}^* U_{\alpha k}^* U_{\beta k}) \sin \left(\frac{\Delta m_{jk}^2}{4E} L \right) \quad (1.5) \end{aligned}$$

となる．ただし， $\Delta m_{jk}^2 = m_j^2 - m_k^2$ ， $L = ct$ である．

上式の遷移確率は，特定のフレーバーのニュートリノを生成し，距離 L 飛んだ後のフレーバーを測定することで求めることができる．これより各種パラメータが決定できる．このようなニュートリノ振動実験は数多く行われており，2016年現在，パラメータは表 1.1 のように求まっている．

表 1.1: ニュートリノ振動実験から求まるパラメータ [3]

parameter	Best-fit ($\pm 1\sigma$)
Δm_{21}^2	$7.54^{+0.25}_{-0.22} \times 10^{-5} \text{eV}^2$
$ \Delta m_{23}^2 $	$2.43 \pm 0.06 \times 10^{-3} \text{eV}^2$
$\sin^2 \theta_{12}$	0.308 ± 0.017
$\sin^2 \theta_{23}$	$0.437^{+0.033}_{-0.023}$ ($m_1 < m_2 < m_3$)
	$0.455^{+0.039}_{-0.031}$ ($m_3 < m_1 < m_2$)
$\sin^2 \theta_{13}$	$0.0234^{+0.0020}_{-0.0019}$ ($m_1 < m_2 < m_3$)
	$0.0240^{+0.0019}_{-0.0022}$ ($m_3 < m_1 < m_2$)

1.1.3 ニュートリノ質量

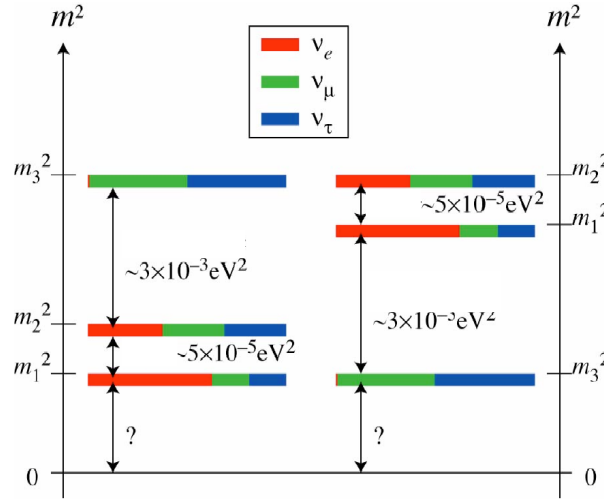


図 1.1: ニュートリノの質量階層

振動実験からニュートリノは小さいながらも質量を持つことが分かった．しかし，ニュートリノ振動実験からは表 1.1 に示す質量の二乗差が求まるのみで，質量の絶対値まで求めることは出来ない．スペクトロメータや粒子加速器を用いたニュートリノ絶対質量の直接測定も行われているが，その小ささから測定は困難であり，現在も上限値が与えられるのみである．

質量固有値の大小関係についても，太陽ニュートリノの観測から， $m_1 < m_2$ であることが分かっているのみで， $m_1 < m_2 < m_3$ であるか， $m_3 < m_1 < m_2$ であるかまでは分かっていない．前者を正常階層 (Normal hierarchy)，後者を逆階層 (Inverted hierarchy) と呼ぶ．

また，宇宙論・宇宙観測の結果からも間接的にニュートリノ質量に制限がかけられている．これは，後述する宇宙背景ニュートリノが，現在観測されている宇宙の大規模構造形成に与える寄与を数値計算することで求められる．現在ではニュートリノ質量の和について，次の制限がかけられている．

$$\sum m_\nu = 230 \text{meV} \quad (95\%CL) \quad (1.6)$$

1.2 ニュートリノ崩壊

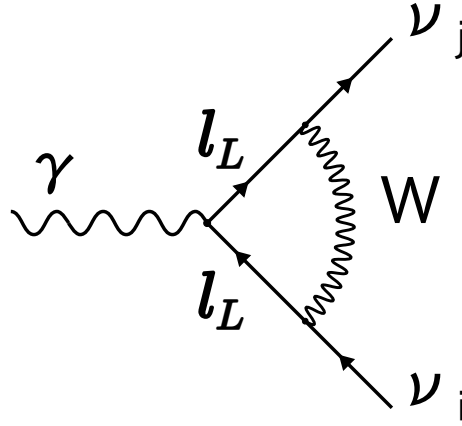


図 1.2: ニュートリノ崩壊のファインマン図

以下，順階層を仮定して議論をすすめる．

振動実験により，ニュートリノは異なる 3 つの質量固有状態を持つことが判明した．これは，ニュートリノが重い質量固有状態から軽い質量固有状態へ崩壊する可能性があることを示唆する．すなわち，

$$\nu_i \rightarrow \nu_j + \gamma \quad (i > j) \quad (1.7)$$

なる崩壊を起こす可能性がある．この崩壊をニュートリノ崩壊と呼ぶ．ニュートリノ崩壊のファインマン図を図 1.2 に示す．

この時放出される崩壊光子のエネルギー E_γ は， ν_i の静止系を取ると，以下で表せる．

$$E_\gamma = \frac{m_i^2 - m_j^2}{2m_i} \quad (1.8)$$

ここで，ニュートリノ質量の二乗差は振動実験により求まっているため，崩壊光子のエネルギーを精度よく測定することが出来ればニュートリノ質量の絶対値を求めることが出来る．

1.2.1 崩壊光のエネルギー

前節で述べた各実験から得られている質量二乗差とニュートリノ質量の上限に矛盾しないよう，ニュートリノの質量を $m_3 = 50\text{meV}$ ， $m_2 = 10\text{meV}$ と仮定する．するとニュートリノ崩壊光子のエネルギーは上式 1.8 より次のようになる．

$$\begin{aligned} E_\gamma(\nu_3 \rightarrow \nu_2 + \gamma) &= 24\text{meV} \quad (\lambda = 51\mu\text{m}) \\ E_\gamma(\nu_2 \rightarrow \nu_1 + \gamma) &= 6\text{meV} \quad (\lambda = 2\mu\text{m}) \end{aligned} \quad (1.9)$$

したがって，崩壊光の観測にはこの低エネルギーの光子を捉えることの出来る検出器が必要となる．

1.2.2 崩壊寿命

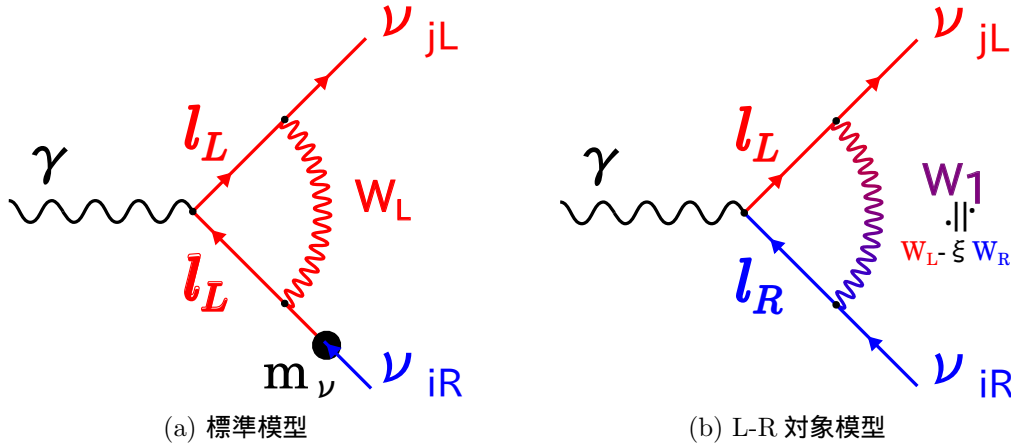


図 1.3: ニュートリノ崩壊におけるカイラリティ固有状態

ニュートリノは電荷を持たないため、崩壊における光子との相互作用は磁気モーメントによってのみ起こる。したがって、崩壊が起こるためには、反応断面積への磁気モーメントの寄与 $\bar{\phi}_j i \sigma_{\mu\nu} q^\nu \phi_i$ がゼロでない必要がある。すなわち、始状態と終状態のカイラリティ固有状態が異なっている必要がある。

標準模型の場合 (図 1.3a), W ボソンは左巻きカイラリティ状態としか結合しないため、カイラリティ状態が変化するのはニュートリノ質量項を介する場合のみである。そのため、ニュートリノの質量が小さい分反応断面積は抑制され、崩壊寿命は次のように計算される。

$$\tau(\nu_3 \rightarrow \nu_2 + \gamma) = 4.3 \times 10^{43} \text{ years} \quad (1.10)$$

標準模型の場合、ニュートリノの寿命は非常に長く、崩壊光の探索は不可能と思われる。

そこで、 W ボソンは左巻きカイラリティ状態と結合する W_L だけでなく、右巻きカイラリティ状態と結合する W_R も存在し、それらが混合状態にあるという理論模型を仮定する。この模型を Left-Right Symmetric Model ($SU(2)_L \times SU(2)_R \times U(1)$ 模型) という。このとき、 W ボソンの質量固有状態は W_L, W_R の重ね合わせで表せる。すなわち、

$$\begin{pmatrix} W_1 \\ W_2 \end{pmatrix} = \begin{pmatrix} \cos \zeta & -\sin \zeta \\ \sin \zeta & \cos \zeta \end{pmatrix} \begin{pmatrix} W_L \\ W_R \end{pmatrix} \quad (1.11)$$

ここで、 W_1, W_2 は質量固有状態、 ζ は W_L, W_R の混合角である。

この時、ニュートリノ崩壊は図 1.3b で表せる。すなわち、 W ボソンが異なるカイラリティ状態にあるニュートリノ間を飛び、反応は荷電レプトンの質量項で効くようになる。したがって、その分標準模型の場合よりも寿命は短くなる。現在の W_R の質量と混合角の測定下限値はそれぞれ、 $M_{W_R} > 715 \text{ GeV}/c^2$, $\zeta < 0.013$ である。その範囲内で $M_{W_R} = 1 \text{ TeV}/c^2$, $|\zeta| < 0.01$ の時、寿命は最も短く計算され、次のようになる。

$$\tau(\nu_3 \rightarrow \nu_2 + \gamma) = 5.6 \times 10^{17} \text{ years} \quad (1.12)$$

しかしながら、L-R 対象模型を仮定した場合でもニュートリノの寿命は長く、崩壊光の観測には大量のニュートリノ源が必要と成る。そこで、宇宙背景ニュートリノの崩壊光を観測することを考える。

1.3 宇宙背景ニュートリノ崩壊光探索

1.3.1 宇宙背景ニュートリノ

宇宙背景ニュートリノ (CνB: Cosmic neutrino Background) とはビッグバン宇宙論から予言されている、宇宙初期に生成された大量のニュートリノである。ビッグバン理論では宇宙初期、ニュートリノは次のような熱平衡状態にあり、常にその数を変動させていたと考えられている。

$$e^+ + e^- \longleftrightarrow Z^0 \longleftrightarrow \nu + \bar{\nu} \quad (1.13)$$

ビッグバンから1秒ほど経過すると、宇宙の温度は膨張に伴い $1 \sim 3\text{MeV}$ (10^{10}K) 程度まで下がったとされる。この時、熱平衡状態は崩れ、上式の右辺から左辺への反応はほとんど起きなくなる。すると、ニュートリノは宇宙の熱浴から切り離され、その数が固定される。このニュートリノが宇宙背景ニュートリノである。

その後、宇宙背景ニュートリノは宇宙の膨張に従ってエネルギーを落とし、現在も宇宙を漂っているとされる。現在の宇宙背景ニュートリノのエネルギーと密度は、宇宙背景放射 (CMB: Cosmic Microwave Background) の温度から推定でき、以下の様に予言されている。

$$\begin{cases} T_\nu = 1.95\text{K} = 0.6\text{meV} \\ n_\nu = n_{\bar{\nu}} = 56\text{cm}^{-3} \end{cases} \quad (1.14)$$

宇宙背景ニュートリノは全宇宙に存在する素粒子の中で光子に次ぎ二番目に多いとされ、崩壊光探索実験に最も適したニュートリノ源と言える。

また、宇宙背景ニュートリノはそのエネルギーの低さと相互作用の弱さから未だ観測されていない。CMBの生成が宇宙誕生から30万年後の出来事であるのに対し、宇宙背景ニュートリノの生成は宇宙誕生のわずか1秒後の出来事とされる。したがって、CνBの観測からは宇宙初期の情報も得られると期待され、宇宙背景ニュートリノの観測そのものにも大きな意義を持つ。

1.3.2 崩壊光のエネルギースペクトル

宇宙背景ニュートリノの崩壊光を観測した時に得られるエネルギースペクトルを考える。崩壊光自体のエネルギースペクトルは、ニュートリノ質量によりある値 E_0 に一意に決まる。しかし、宇宙遠方から来る崩壊光は赤方偏移しエネルギーは E_0 より低く観測される。すなわち、崩壊光のエネルギーは以下になる。

$$E_\gamma = \frac{E_0}{1+z} \quad (1.15)$$

ここで z は赤方偏移である。

また、宇宙背景ニュートリノは先述の通り 0.6meV (1.95K) のエネルギーで宇宙を漂っている。したがって、そこから放出される崩壊光のエネルギーは、宇宙背景ニュートリノのエネルギーの揺らぎ分滲む。ただし、その揺らぎの大きさは崩壊光のエネルギー 24meV に対し 0.56% 程度であり、問題とならない。

以上の考察より、実際に観測される崩壊光のエネルギースペクトルは図1.4のようになると予想される。すなわち、低エネルギー側にテールを持ち、崩壊光エネルギーにエッジを持つ形となる。したがって、崩壊光子の存在を証明するには、この段差前後での光子数が有意に異なることを示せば良い。

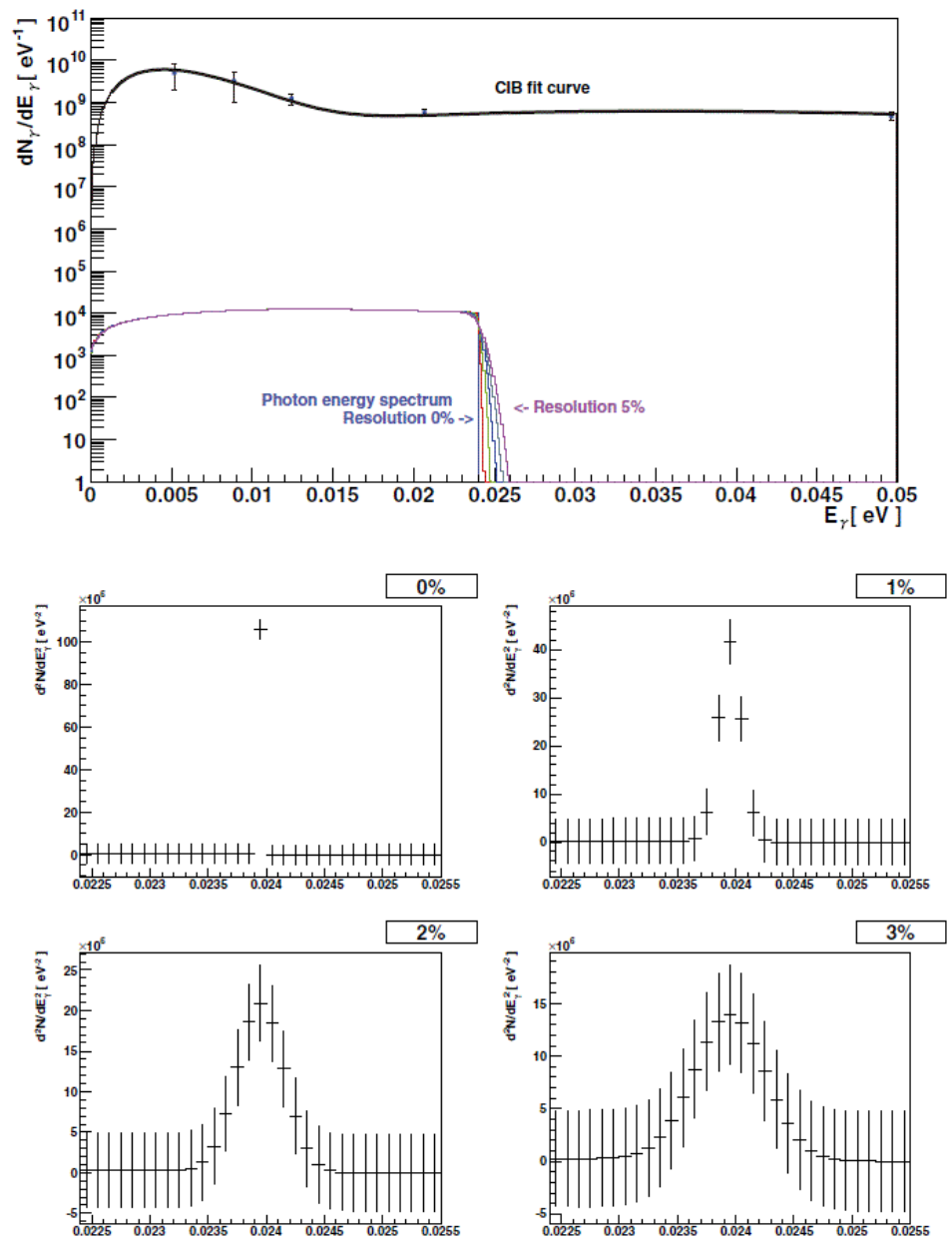


図 1.4: 宇宙背景ニュートリノの崩壊光スペクトル

1.3.3 崩壊光探索実験

ニュートリノ崩壊光探索の概要図

高度200km, 約5分の観測

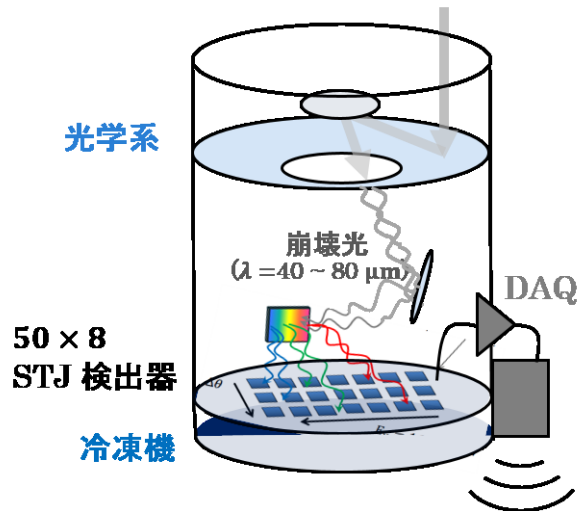


図 1.5: 崩壊光探索実験の概念図

本研究グループは崩壊光探索のため、遠赤外光領域のエネルギースペクトルを測定することを考えている。シミュレーションの結果、崩壊光スペクトルのエッジを観測するためには、24meV の光子に対し、エネルギー分解能が2%より良い精度で1光子計測が可能な検出器が必要となる。ここで1光子ずつ検出するのは検出器雑音の影響を排除するためである。

しかしながら、現在そのような検出器は存在しない。そこで、我々は崩壊光探索のため、遠赤外光にも感度を持つ超伝導トンネル接合光 (STJ: Superconducting Tunneling Junction) 検出器の開発研究を行っている。詳しくは次章で述べるが、本研究グループではハフニウム (Hf) を用いた Hf-STJ 検出器とニオブ (Nb) とアルミ (Al) を用いた Nb/Al-STJ 検出器の開発を行っている。

Hf-STJ 検出器は24meVの崩壊光1光子に対し、エネルギー分解能2%を達成することが原理的に可能である。しかしながら、Hf-STJ 検出器は未だ研究段階であるため、まずは製法の確立されている Nb/Al-STJ 検出器を用いて崩壊光の探索を行う。ただし、Nb/Al-STJ 検出器のエネルギー分解能は25meV に対し2%には及ばないので、回折格子と組み合わせる。

崩壊光探索実験の概念図を図1.5に示す。回折格子により16–31meV(40–80μm)の遠赤外光を分光し、別れた各エネルギーごとに光子を1光子ずつ計測しスペクトルを得る。STJ 検出器は波長分光方向に50素子並べ、0.3meV(0.8μm)ごとのスペクトル分布を得る。さらに、崩壊光の空間分布の測定のため、これを8列並べ、50×8のピクセル検出器とする。

また、崩壊光探索は背景事象を減らすため宇宙空間で行う。検出器や増幅回路等の測定系をロケットに搭載して打ち上げ、地上から200~300kmの高さで200秒間測定を行う。この測定により、ニュートリノ寿命の測定下限値 $\tau > O(10^{12} \text{ years})$ を 10^{14} years 程度まで引き上げることが出来ると考えている。最終的には Hf-STJ 検出器を用いた衛星実験で、下限値を 10^{17} years まで引き上げ、以下の事項の発見を目標としている。

- ニュートリノの絶対質量の決定

- 宇宙背景ニュートリノの直接観測
- 標準模型を超えたニュートリノの異常磁気能率の探索

次章では、この崩壊光探索実験に用いる超伝導トンネル接合光検出器の基本特性と開発研究の現状について詳しく述べる。

第2章 超伝導トンネル接合素子

本章では，崩壊光探索実験に用いる超伝導トンネル接合光検出器について述べる．

2.1 超伝導

1908 年，Kamerlingh-Onnes はヘリウムの液化に成功し，1911 年には液体ヘリウムを寒剤に低温下での水銀の電気抵抗を調べた．すると，4.2K で電気抵抗が突然ゼロになる現象が観測された．Onnes はこの現象を超伝導 (Superconducting) と命名した．Onnes はその後，鉛や錫などの金属でも，その物質に固有なある温度以下で超伝導状態となることを発見した．この温度を転移温度，または臨海温度 T_C と呼ぶ．また，Onnes はある大きさ以上の磁場下では超伝導状態が破れることも発見した．この磁場を臨界磁場 H_C と呼ぶ．

1933 年には Meissner と Ochsenfeld が H_C 以下の磁場中にある超伝導体の周辺磁束密度を測定した．その結果，超伝導体内部の磁束密度は常にゼロとなる事実を発見した．この超伝導体が表示完全反磁性をマイスナー効果と呼ぶ．

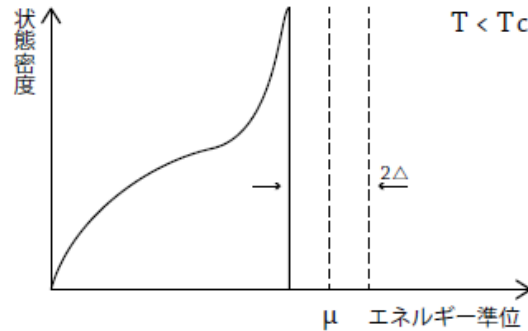


図 2.1: 超伝導体中の電子のエネルギー準位

1957 年には Bardeen, Cooper, Schrieffer により超伝導を説明する標準理論が発表された．これは発表者の頭文字を取り BCS 理論と呼ばれる．これによると，フェルミ準位近傍の電子は格子振動 (フォノン) を介し，互いに運動量，スピンの逆向きの電子と引力相互作用し，電子-電子対を形成する．この電子-電子対はクーパー対と呼ばれる．クーパー対は運動量，スピンのゼロであり，ボーズ粒子として振る舞う．すると，クーパー対はボーズ-アインシュタイン凝縮を起こし，1 つの量子状態へ落ち込む．この時，膨大な数のクーパー対は同一の波動関数で記述される．この波動関数を巨視的波動関数という．

$$\Psi(\mathbf{r}, t) = |\Psi(\mathbf{r}, t)| e^{i\theta(\mathbf{r}, t)} \quad (2.1)$$

また，ボーズ-アインシュタイン凝縮により，フェルミ準位近傍の電子は失われ，エネルギーギャップ Δ が形成される．エネルギーギャップは超伝導体によって異なり，BCS 理論から以下が分かっている．

$$2\Delta = 3.52k_B T_C \quad (2.2)$$

すなわち，超伝導転移温度が低い超伝導体ほどエネルギーギャップは小さくなる．表 2.1 に主な超伝導体の転移温度とエネルギーギャップを示す．

超伝導体	Si(半導体)	Nb	Ta	Sn	Al	Hf
転移温度 T_c [K]	-	9.23	4.39	3.72	1.20	0.165
エネルギーギャップ Δ [meV]	1100	1.550	0.6733	0.5655	0.172	0.020

表 2.1: 主な超伝導体の転移温度とエネルギーギャップ

2.2 ジョセフソン接合素子

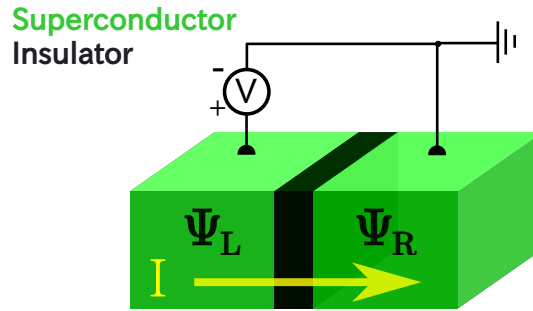


図 2.2: ジョセフソン接合

図 2.2 に示すような，2 つの超伝導体が弱く接合されたものをジョセフソン接合という．広義には超伝導体-常伝導体-超伝導体の SNS(Superconductor-Normal-Superconductor) 構造を持つ接合も含むが，ここでは超伝導体-絶縁体-超伝導体の SIS(Superconductor-Insulator-Superconductor) 構造の接合についてのみ触れる．

接合間の電圧と電流との関係を求めるため，接合中の超伝導電子の波動関数を考える．接合の左右の超伝導体の巨視的波動関数をそれぞれ，

$$\begin{cases} \Psi_L(x, t) = |\Psi_L(x, t)|e^{i\theta_L(x, t)} \\ \Psi_R(x, t) = |\Psi_R(x, t)|e^{i\theta_R(x, t)} \end{cases} \quad (2.3)$$

とする．超伝導電子が絶縁体をトンネル効果によって通過することを考えると，接合の波動関数は次のシュレディンガー方程式に従う．すなわち，

$$\begin{cases} i\hbar \frac{\partial \Psi_L(x, t)}{\partial t} = eV \Psi_L(x, t) + K \Psi_R(x, t) \\ i\hbar \frac{\partial \Psi_R(x, t)}{\partial t} = -eV \Psi_R(x, t) + K \Psi_L(x, t) \end{cases} \quad (2.4)$$

ここで、 K は接合間のトンネル確率、 V は接合間の電圧で、ポテンシャルの中心を接合の中心にとった．これを解くと、次の接合間の電流と電圧の表式を得る．このとき接合間に流れる電流をジョセフソン電流という．

$$\begin{cases} I = \frac{4eSK |\Psi_L| |\Psi_R| \sin(\theta_R - \theta_L)}{\hbar} \equiv I_c \sin \delta\theta \\ \frac{\partial}{\partial t} \delta\theta = -2e \frac{V}{\hbar} \end{cases} \quad (2.5)$$

ここで、 S は接合断面積を表す．また、 $\delta\theta = \theta_R - \theta_L$ 、 $I_c = 4eSK |\Psi_L| |\Psi_R| / \hbar$ と置いた．

式 2.5 において、接合間の電圧差がゼロとなる場合 ($V = 0$) を考える．この時、

$$\begin{cases} I = I_c \sin \delta\theta \\ \delta\theta = \text{const.} \end{cases} \quad (2.6)$$

すなわち、接合間に電圧差がなくとも位相差さえあれば電流が流れる．この現象を直流ジョセフソン効果という．

一方、接合間に電圧差がある場合 ($V \neq 0$)、式 2.5 は次のようになる．

$$I = I_c \sin \left(\delta\theta(\mathbf{r}, t = 0) - 2e \frac{V}{\hbar} t \right) \quad (2.7)$$

$$(2.8)$$

すなわち、接合間に印加する電圧が直流であっても、接合間には交流電流が流れる．この現象を交流ジョセフソン効果という．生じる交流の周波数は $K_J = 2e/\hbar = 483597.9 \text{GHz/V}$ で与えられる．これをジョセフソン定数と呼ぶ．発生する交流は非常に高周波であるため、近年テラヘルツ波発信源としての分析、医療などの各分野での応用が期待されている．また、逆に接合にジョセフソン定数の整数倍となる高周波を照射すると、それに応じた電圧が接合間に生じる．非常に正確な電圧が生じるため、この現象は電圧標準に应用されている．

また、図 2.2 の様な矩形の接合面に平行に磁場を印加した場合、ジョセフソン電流の最大値は次のように表せる．

$$I_{max} = I_c \left| \frac{\sin \left(\pi \frac{\Phi}{\Phi_0} \right)}{\pi \frac{\Phi}{\Phi_0}} \right| \quad (2.9)$$

ここで Φ は接合面を横切る磁束、 Φ_0 は量子磁束である．このように、ジョセフソン電流は量子磁束単位の磁束に対し敏感反応する．このことを利用し、超伝導量子干渉計 (SQUID: Superconducting QUantum Interference Detector) 等の磁束計や SFQ (Single Flux Quantum) 回路の様な高速論理回路に应用されている．

2.3 超伝導トンネル接合光検出器

超伝導トンネル接合 (STJ: Superconducting Tunnel Junction) 光検出器は、超伝導体/絶縁膜/超伝導体の構造をもつジョセフソン接合素子である．この素子中に粒子が入射すると、そのエネルギーに応じた電流が接合間を流れる．超伝導体のエネルギーギャップは表 2.1 で示した様に非常に小さく、崩壊光の様な低いエネルギーに対しても十分感度を持つ．

2.3.1 構造

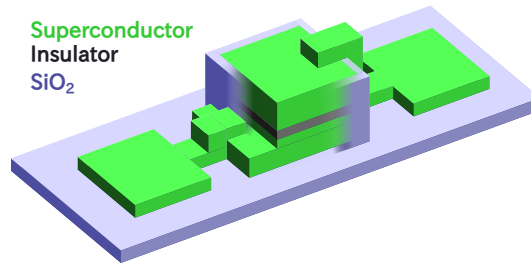


図 2.3: STJ 検出器の構造

STJ 検出器の構造を図 2.3 に示す．STJ 検出器は，厚さ数百 nm，大きさ数十 μm^2 ～ 数百 μm^2 の 2 枚の超伝導体膜と厚さ数 nm の超伝導体酸化膜から成る SIS 構造のジョセフソン接合である．その他，読み出しのため上下の超伝導体からは配線が伸び，側面や上面は絶縁や保護のため SiO_2 により絶縁膜が形成される．これらはフォトリソグラフィによりシリコンやサファイヤウェハ上に形成する．

2.3.2 検出原理

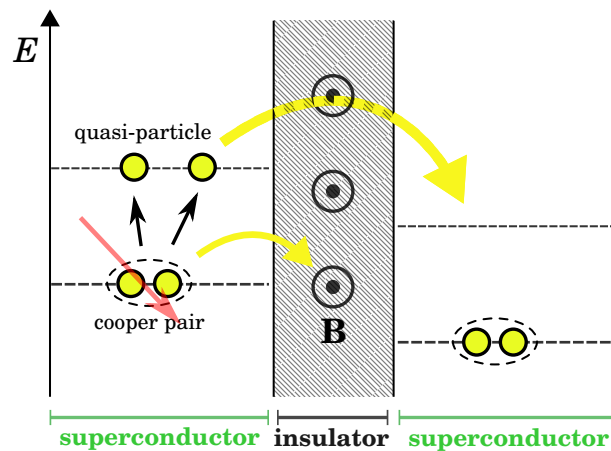


図 2.4: STJ 検出器の動作原理

粒子が検出器中に入射すると，そのエネルギーによってクーパー対が破壊され準粒子が生成される．入射エネルギーの一部はフォノン生成に使われるが，エネルギーギャップが十分小さいため，理想的にはエネルギーのほとんどが準粒子へと変換される．このようにエネルギーの散逸が小さいことも，超伝導検出器の特徴である．生成された準粒子は超伝導体中を拡散し，絶縁膜に到達したものがトンネル効果によって反対側の超伝導体へ通り抜ける．この準粒子のトンネル電流を信号として観測する．

STJ 検出器の接合間には電圧を印加しているため，絶縁膜を挟んでポテンシャルに差が生じている．したがって，準粒子のトンネル確率は一方向に高くなり，電流も一方向に流れる．

また，STJ 検出器はジョセフソン接合であるため，信号とは別にジョセフソン電流も生じる．これは信号に対してバックグラウンドとなるため，動作中は磁場を絶縁膜と平行に印加し抑制する．磁場中でのジョセフソン電流は式 2.9 で表される．したがって，ジョセフソン電流は絶縁膜を貫く磁束が磁束量子の整数倍になるよう調節するか，大きな磁場を印加することで抑制できる．通常，磁束の調節は困難であるから，十分大きな磁場を印加することで抑制する．

2.3.3 エネルギー分解能

一般に，粒子検出器のエネルギー分解能は入射粒子によって生成された粒子数の統計的ゆらぎで決まる．入射粒子のエネルギーを E ，粒子生成に必要な平均エネルギーを ϵ とすると，発生粒子数 N とその統計ゆらぎ $\delta N(FWHM)$ は，

$$N = \frac{E}{\epsilon} \quad (2.10)$$

$$\delta N = 2.35 \sqrt{\frac{FE}{\epsilon}} \quad (2.11)$$

となる．ここで， F はファノ因子である．したがって，検出器のエネルギー分解能は以下で表される．

$$\delta_{FWHM} = \frac{\delta N}{N} = 2.35 \sqrt{\epsilon FE} \quad (2.12)$$

STJ 検出器の場合， ϵ は超伝導エネルギーギャップの Δ に相当するが，実際には $\epsilon = 1.7\Delta$ となることが知られている [5]．したがって，STJ のエネルギー分解能は以下の様になる．

$$\delta_{FWHM} = \frac{\delta N}{N} = 2.35 \sqrt{1.7\Delta FE} \quad (2.13)$$

式 2.2 と合わせると，エネルギーギャップが小さいほど，すなわち，転移温度が低い超伝導体ほど分解能が良くなることが分かる．

2.3.4 リーク電流

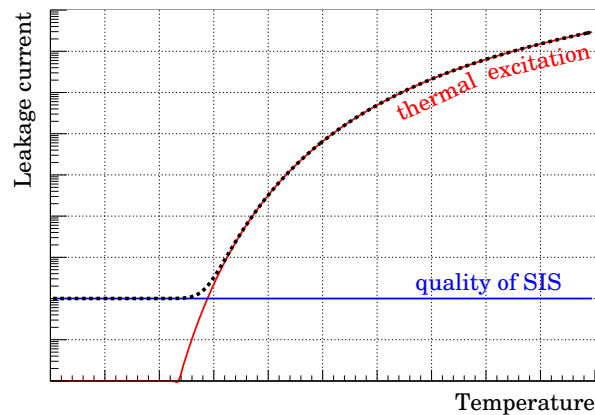


図 2.5: STJ 検出器のリーク電流の温度依存性

磁場を印加している場合、理想的な STJ 検出器では接合間に電流は流れない。しかし、実際には以下に示すような要因によるリーク電流が存在し、信号のバックグラウンドとなる。

熱励起した準粒子起因

熱励起で発生した準粒子が接合間をトンネルしリーク電流となる。この時の電流値は十分低温 ($T \ll T_c$) で次のように近似できる。

$$I_{\text{leak}} \propto T^{\frac{1}{2}} \exp(-\Delta/k_B T) \quad (2.14)$$

すなわち、動作温度を低くすることで熱励起起因のリーク電流は抑えることが出来る。一般的に、素子に用いられる超伝導体の転移温度の 1/10 程度で動作させ、熱起因のリーク電流を抑制する。

不完全な構造起因

酸化膜に開いた微小なピンホールや素子側面での上下超伝導膜の接触などでリーク電流が発生する。これらは温度に寄らず一定で、作成過程・素子構造の改善により抑制できる。また、ピンホールや側面の接触は素子の大きさに依存すると考えられるため、小さなサイズの素子ほど、構造起因のリーク電流は小さくなるものと期待される。

その他の要因

その他の要因としては次のようなものが挙げられる。

- 物理的な振動や高温体からの熱輻射によるクーパー対の解離
- 地磁気や磁性体部品などが原因で STJ 検出器内部に磁場がトラップされ、部分的に常伝導状態のままとなり、常伝導電子によるトンネル電流が観測される

これらは測定系の改善により排除する。

2.3.5 電流電圧特性

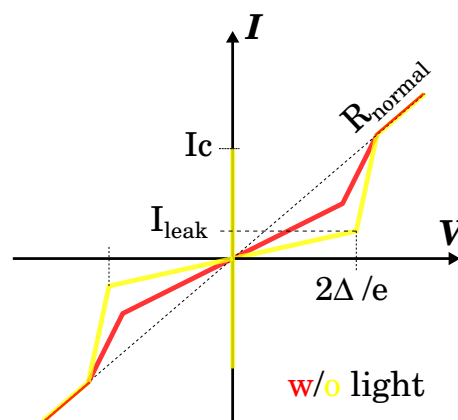


図 2.6: STJ 検出器の電流電圧特性

STJ 検出器の電流電圧特性を図 2.6 に示す．ただし，簡単のため，シャピロステップ等，交流ジョセフソン効果は考慮していない．

$0 < |V| < 2\Delta/e$ の時，クーパー対は絶縁膜をトンネルすることが出来ず，電流は流れない．しかし実際には先述のリーク電流が存在するため電流値はゼロにはならず，電流電圧特性は有限の抵抗を持つように振る舞う．

$|V| > 2\Delta/e$ の時，クーパー対は準粒子として対岸の超伝導体へトンネルすることが出来る．したがって，この領域で電流電圧特性は通常の抵抗の様に振る舞う．

したがって，通常 STJ 検出器を動作させる場合，印加電圧 V が $0 < |V| < 2\Delta/e$ に収まる様に設定する．また，STJ 検出器に光が入射している場合，クーパー対解離による電流が増加するため，電流電圧特性は図 2.6 中の黄線から赤線へ変化する．信号電荷は準粒子寿命とトンネル確率によって緩和し，通常数 μs 程度の幅を持ったパルスとして観測される．

ただし，実際には外部回路や検出器のインピーダンスにも依存し，発生電荷の読み出しのインピーダンスが大きい場合，信号は回路の時定数にしたがって緩和する．

2.4 Nb/Al-STJ 検出器の研究開発

先述したように，本研究グループでは崩壊光探索実験に用いる STJ 検出器として超伝導体にハフニウムを用いた Hf-STJ 検出器と，ニオブとアルミを用いた Nb/Al-STJ 検出器の開発研究を行っている．

Hf-STJ 検出器は，エネルギーギャップが 0.020meV と非常に小さく， 24meV の崩壊光 1 光子に対してもエネルギー分解能 2% を達成することが可能となる．本研究グループでは 2012 年に世界で初めてハフニウムを用いた STJ 検出器の作製に成功し，光に対する応答を確認した [6]．しかしながら，品質の良い素子作製法の確立はまだ研究段階である．加えて，超伝導転移温度も 165mK と非常に低いため，Hf-STJ 検出器は将来的に行う衛星実験の際に用いることを考え開発研究を進めている．したがって，本論文では Hf-STJ 検出器について，これ以上触れない．

本節では，ロケット実験に用いる予定である Nb/Al-STJ 検出器について，その特性と開発研究の現状を述べる．

2.4.1 Nb/Al-STJ 検出器

構造

Nb/Al-STJ 検出器の構造を図 2.7 に示す．このように超伝導体部分に Nb と Al を，絶縁膜部分に Al_2O_3 を用いている．

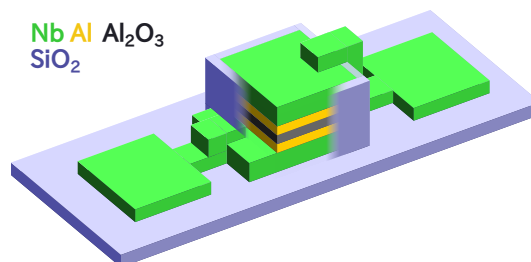


図 2.7: Nb/Al-STJ 検出器の構造

特徴

Nb 層に Al 層を加えることで、以下の特徴が現れる．

- 熱サイクルへの耐性

Nb 酸化膜は熱サイクルに弱く、繰り返し冷凍して使用出来ないという特徴がある．対して Al 酸化膜は熱サイクルに強いので、Al 層を挟み酸化膜とすることで使い勝手のよい検出器としている．

- 転移温度の調節

2 つの超伝導体を隣接させた場合、一方の超伝導体中のクーパー対波動関数がもう一方の超伝導体中へ染み出し、転移温度が変化する．これを近接効果という．この変化の度合いは 2 つの超伝導体の比率に依存する．したがって、比率を変えることで転移温度及びエネルギーギャップの調節が可能となる．Nb と Al の転移温度はそれぞれ、9.2K と 1.1K である．したがって、Al 層を挟むことで Nb 単体の場合よりも転移温度とエネルギーギャップは下がり、エネルギー分解能は向上する．また、その変化は Al 層比率が大きくなるほど大きくなる．

- トンネル準粒子数の増加

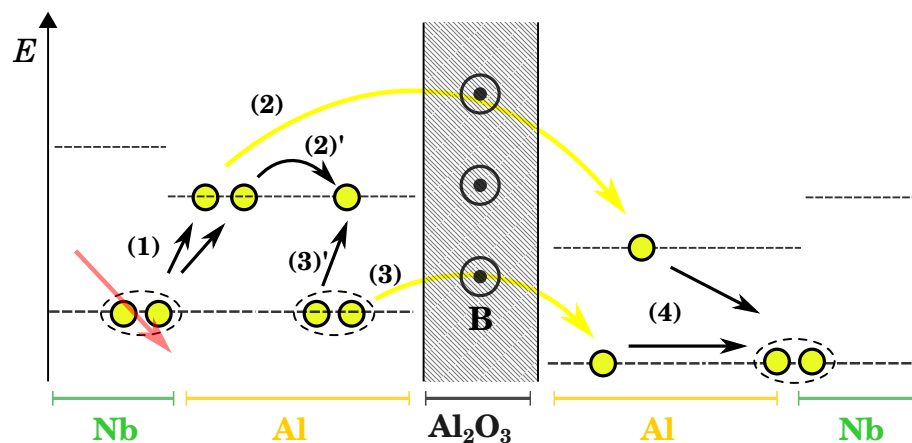


図 2.8: バックトンネリング現象

超伝導体と酸化膜の間に、よりエネルギーギャップの小さな超伝導体を挟むことでバックトンネリングという現象が起こり、トンネルする準粒子数が増加する．バックトンネリング現象の過程を図 2.8 に示す．STJ 検出器上部に入射した粒子はクーパー対を破壊し、準粒子を 2 つ生成する．そのうち 1 つは絶縁膜をトンネルし、下部 Al 層常伝導帯に捕捉される．もう一方はトンネルせず、上部 Al 層常伝導帯に捕捉される．すると、上部超伝導体中にあった別のクーパー対が解離する．出来た準粒子のうち、1 つは絶縁膜をトンネルし、先にトンネルした準粒子と結合しクーパー対となる．もう 1 つは上部 Al 層常伝導帯に捕捉される．この過程を繰り返すことでトンネルする準粒子数が増加する．バックトンネリング現象を

含めると、発生準粒子数は以下となる．

$$N = G_{Al} \frac{E}{1.7\Delta} \quad (2.15)$$

$$(2.16)$$

$$\sigma_N = G_{Al} \sqrt{\frac{FE}{1.7\Delta}} \quad (2.17)$$

ここで、 G_{Al} をトラッピングゲインと呼び、バックトンネリング現象による準粒子の増加率を表す．トラッピングゲインは約 10 倍程度とされている．

2.4.2 リーク電流への要請

先述したように、崩壊光探索実験は遠赤外領域の光を 1 光子ずつ計測する．この際、検出器のリーク電流の揺らぎによって発生する偽信号の頻度は、本物の光子の入射頻度に比べて小さい必要がある．

崩壊光探索実験において、光子が検出器へ入射する頻度は 1 ピクセル当たり 343Hz と見積もられる．ただし、望遠鏡の直径を 15cm、焦点距離を 1m、また検出器 1 ピクセル当たりの受光面積を $100 \times 100 \mu\text{m}^2$ 、ピクセル数を 50×8 と仮定した [8]．

また、STJ 検出器の信号は幅が $1 \mu\text{s}$ 程度のパルスだとし、200s の測定時間を幅 $1 \mu\text{s}$ のゲートに分割する．この時、ゲート数は 2×10^8 となる．このゲート中で信号がある閾値を超えたかどうかで光子を計測すると仮定する．

24meV の 1 光子の信号電荷量 Q_s とその統計揺らぎ σ_s は、式 2.15、式 2.17 より、次のように見積もられる．

$$Q_s = 235e^- \quad (2.18)$$

$$\sigma_s = 22e^- \quad (2.19)$$

ただし、 $\Delta = 0.6\text{meV}$ [7]、 $G_{Al} = 10$ 、 $F = 0.2$ とした． Q_s より $2\sigma_s$ 以下の信号は切り捨てるとして、光子検出の信号閾値 Q_{th} を以下の様に設定する．

$$Q_{th} = Q_s - 2\sigma_s \sim 191e^- \quad (2.20)$$

リーク電流 I_{leak} の揺らぎがこの閾値を超え偽信号として観測される頻度が、光子の入射頻度 343Hz の 1/10 以下となる場合を考える．ここでは 30Hz とする．測定時間を 200s とすると、この間で発生する偽信号数は 6×10^3 となる．これは、全ゲート数に対して 3×10^{-5} であり、リーク電流の揺らぎが正規分布とした場合の片側 4σ 以上に相当する．すなわち、

$$4\sigma_{leak} = 4\sqrt{I_{leak}/e \times 1\mu\text{s}} < Q_{th} \quad (2.21)$$

以上より、リーク電流の揺らぎによる偽信号の頻度を 30Hz と要請すると、リーク電流は 400pA 以下となることが求められる．

2.4.3 開発の現状

本研究グループは2014年度より、産業技術総合研究所 (AIST) との共同研究を開始し、Nb/Al-STJ 検出器作製に関しては、産総研のCRAVITY (Clean Room for Analog-digital superconductiVITY) で行っている。CRAVITY のフォトリソグラフィ装置は超伝導素子形成に特化して自動化、レシビ化されており、安定して高品質の超伝導素子を作製することが可能である。

図 2.9 に CRAVITY で作製した Nb/Al-STJ 検出器のリーク電流の温度依存性 [9] を示す。この素子のサイズは $50 \times 50 \mu\text{m}^2$ である。黄、灰、橙の点はそれぞれ、STJ 検出器の両端電圧が 0.2mV、0.3mV、0.4mV の時のリーク電流の測定値を表す。また、曲線は式 2.14 によるフィット曲線である。これより 400mK 程度でリーク電流が 400pA 以下と、Nb/Al-STJ 検出器への要求は達成できていることが分かる。

しかしながら、現在もなお、Nb/Al-STJ 検出器を用いた遠赤外光 1 光子検出には至っていない。その理由として、測定系依存の雑音が大きく効いているものと考えられる。この問題の解決のため、本研究グループは冷凍機内の検出器直近で動作する極低温前置増幅器の開発研究を行っている。この極低温増幅器開発について、次章以降で詳しく述べる。

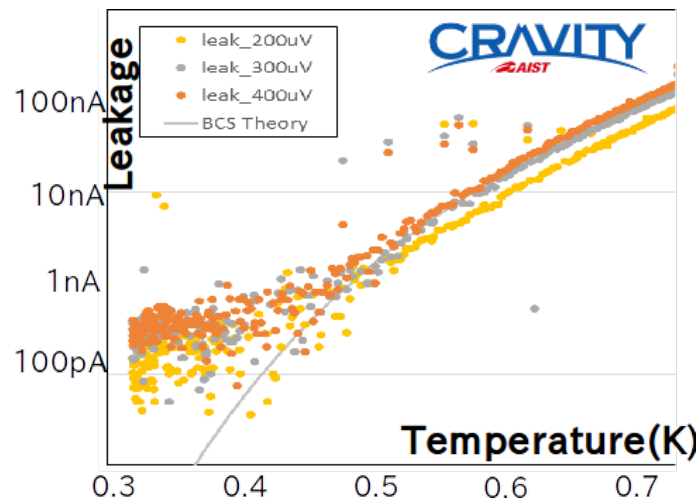


図 2.9: CRAVITY 製 Nb/Al-STJ 検出器のリーク電流温度依存性 [9]

第3章 極低温増幅器

Nb/Al-STJ 検出器の性能自体は遠赤外光子検出の水準を満たしているが、現状、その検出には至っていない。その原因として、測定系依存の雑音が考えられる。

測定系雑音としては、先述したようにパルス管冷凍機等による振動やグラウンド電位の不定性、磁性体部品によるリーク電流の増加などが挙げられる。これらの要因は、測定系の適切な設計により改善が見込めるが、本論文では触れない。

もう1つ、冷凍機配線間で乗る雑音が考えられる。検出器の置かれる最低温ステージから冷凍機外までは、熱流入を防ぐため数 m 程度の長い配線で結ばれる。したがって、この配線間で乗る雑音は無視できない。この雑音の影響を除外するため、信号増幅器を冷凍機内の検出器直近に設置し、信号雑音比を上げ冷凍機外へ読み出すことを考える。

本研究グループは、4K での動作が報告されている FD-SOI-MOSFET を用いて極低温増幅器を作製すること考え、その開発研究を行ってきた。本章では、その導入としてまず MOSFET や FD-SOI-MOSFET の基本特性について触れ、その後、極低温増幅器の開発研究について述べる。

3.1 MOSFET

FET(Field Effect Transistor) はトランジスタの1種である。ドレイン、ソース、ゲートの3つの電極を持ち、ゲートに印加する電圧によって、ドレイン-ソース間に流れる電流の制御を行う。

FETはゲートの構造により大きく JFET (Junction-FET) と MOSFET (Metal Oxide Semiconductor-FET) の2つに分類される。さらに、MOSFET はドレイン-ソース間を流れるキャリアの種類により2つに分類される。キャリアが電子の場合 N 型 (NMOS)、正孔の場合 P 型 (PMOS) という。これらは移動度が異なるため性能に差が生じる。

以下、極低温増幅器に用いる FD-SOI-MOSFET の導入として、NMOS を例に MOSFET の基本的な特性を述べる。PMOS の場合、極性を逆にして考えれば良い。

3.1.1 構造

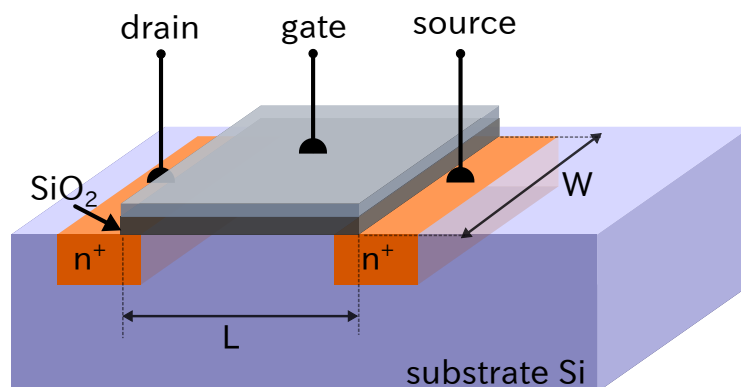


図 3.1: MOSFET の構造

MOSFET の構造を図 3.1 に示す．基板となる P 型半導体上に高濃度の N 型不純物を注入しドレインとソースを形成している．ゲートは基板表面に酸化膜 (SiO_2) と電極 (ポリシリコン) を堆積させ形成する．このように，ゲートは金属-絶縁膜-半導体からなる MOS(Metal-Oxide-Semiconductor) 構造となっており，これが MOSFET と呼ばれる所以である．ドレイン-ソース間方向のゲート寸法をチャンネル長 L ，それと直行する方向のゲート幅をチャンネル幅 W と呼ぶ．

また基板 (ボディ) 電位も MOSFET の特性に大きく関与するため，通常基板にも端子が伸び電気的な接触が図れるようになっている．接触抵抗が小さくなるよう，ボディ電極部分は高濃度の P 型不純物が注入されている．ボディ電位は通常，回路中で一番低い電位が与えられる．以下，断りのない場合，ボディはソースと同じ電位が与えられているとして議論をすすめる．

3.1.2 動作原理

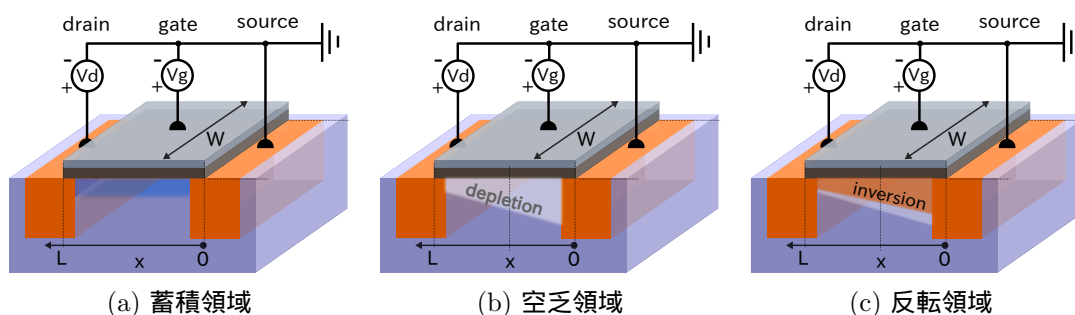


図 3.2: MOSFET の動作原理

図 3.2 の様に MOSFET の各端子に電圧を印加する場合を考える．ゲート電圧が負の場合，ゲート直下には正孔が誘起される (図 3.2a:蓄積領域)．この時，ドレイン-ソース間は強く分離され電流は流れない．ゲート電圧が正に転じ上昇するにつれ，ゲート直下には電子が誘起される．誘起された電子は基板中の正孔と対消滅し空乏層が形成される (図 3.2b:空乏領域)．この場合もドレイン-ソース間に電流は流れない．さらにゲート電圧を大きくすると，誘起される電子密度が基板の

正孔密度を上回り，ゲート直下は本来の P 型から N 型へ反転した状態となる (図 3.2c:反転領域)．すなわち，ドレイン-ソース間は N 型の半導体で繋がれた状態となる．このキャリアの通り道をチャンネルと呼ぶ．このとき，ドレイン-ソース間にはその間の電圧差に従った電流が流れる．このように，ゲートに印加した電圧によりゲート直下のキャリア密度を変化させ，ドレイン-ソース間に流れる電流を制御する．

ゲート酸化膜直下の半導体の極性が反転し，ドレイン-ソース間に電流が流れ始めるゲート-ソース間の電圧を閾値電圧 V_{th} と呼ぶ．実際には，閾値電圧に達すると同時に突然電流が流れるわけではなく，弱い反転層を介して徐々に電流が流れだす．この時の電流をサブスレッショルドリークと呼び，ゲート-ソース間電圧に対して指数関数的に上昇する．また，閾値電圧はゲート酸化膜直下に不純物を注入することである程度調整できる．

3.1.3 電流電圧特性

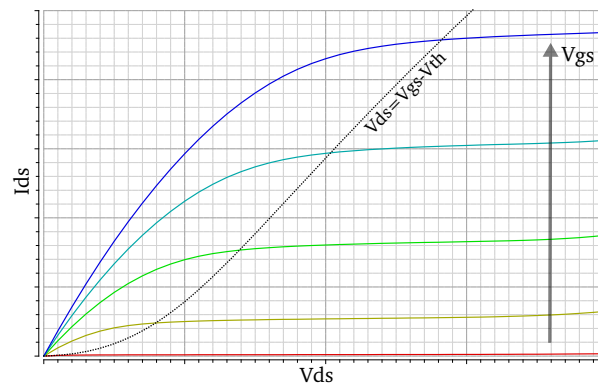


図 3.3: MOSFET のドレイン-ソース間電流-ドレイン-ソース間電圧特性

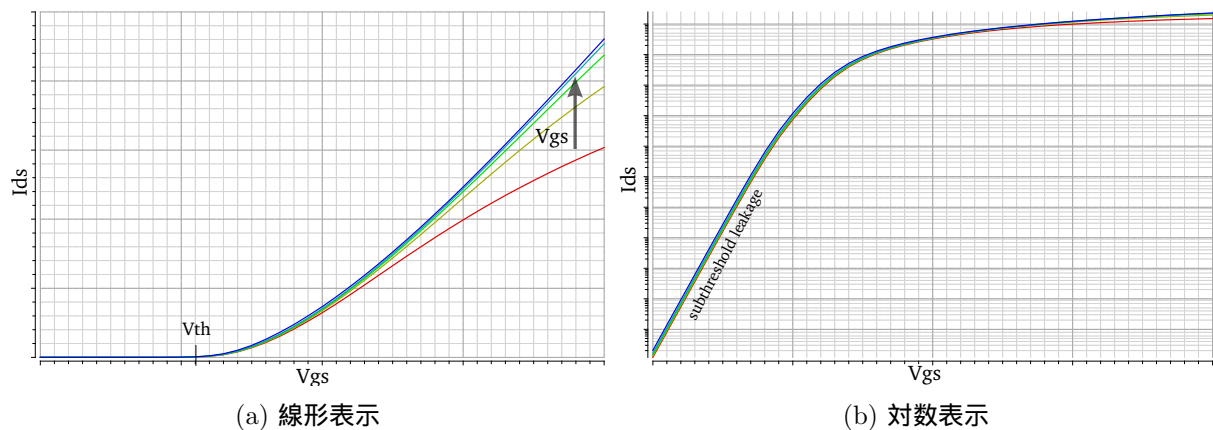


図 3.4: MOSFET のドレイン-ソース間電流-ゲート-ソース間電圧特性

MOSFET の電流電圧特性を図 3.3，図 3.4 に示す．それぞれ，ドレイン-ソース間電圧，ゲート-ソース間電圧に対するドレイン-ソース間電流の変化を表す．

ドレイン電流の表式を求めるため，前節 (図 3.2) と同様に各端子に電圧を印加した場合を考える．先述の通り，チャンネルはゲート電圧が閾値電圧より大きくなったときから形成される．この

時，チャネルの位置 x での単位長あたりの電子密度 $Q_d(x)$ は，MOSFET をコンデンサと見なすと次で表される．

$$\Delta Q_d(x) = WC_{ox}[V_{gs} - V_{th} - V(x)]\Delta x \quad (3.1)$$

ここで， W はチャネル幅， C_{ox} は単位長さ当たりのゲートの静電容量， $V(x)$ は x でのドレイン-ソース間電位である．一方，ドレイン ソース電流は単位時間，単位面積あたりにチャネルを流れる電子数で表される．すなわち，

$$I_{ds} = \frac{\Delta Q}{\Delta t} = \frac{\Delta Q}{\Delta x} v \quad (3.2)$$

ここで， v は電子速度である．以上，式 3.1，3.2 より，次を得る．

$$I_{ds} = -WC_{ox}[V_{gs} - V_{th} - V(x)]\mu \frac{dV(x)}{dx} \quad (3.3)$$

ただし，電子速度 v は移動度 μ とドレイン-ソース間電場 $E = dV(x)/dx$ を用いて，

$$v = \mu E = -\mu \frac{dV}{dx} \quad (3.4)$$

と置き換えた．

以下，2 つの領域に分けて，ドレイン電流の表式を考える．

線形領域 ($V_{ds} < V_{gs} - V_{th}$)

$V_{ds} < V_{gs} - V_{th}$ のとき，MOSFET は線形領域にあるという．

この時， $V(x=L) = V_{ds} < V_{gs} - V_{th}$ であるから，式 3.1 よりチャネルはドレイン-ソース間にまたがる事が分かる．ドレイン電流は式 3.3 の両辺を $x = 0$ から L まで積分することで得られる．すなわち，

$$I_{ds} = \mu C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th})V_{ds} - \frac{1}{2}V_{ds}^2 \right] \quad (3.5)$$

また， $I_{ds}-V_{ds}$ 特性 (図 3.3) から分かるように， V_{ds} の小さな領域，すなわち $V_{ds} \ll 2(V_{gs} - V_{th})$ では，ドレイン電流は次のように線形で近似できる．

$$I_{ds} \approx \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})V_{ds} \quad (3.6)$$

また式 3.5 より，ドレイン電流は $V_{ds} = V_{gs} - V_{th}$ の時，最大であることがわかる．この時の電流値は次で表される．

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (3.7)$$

飽和領域 ($V_{ds} > V_{gs} - V_{th}$)

$V_{ds} > V_{gs} - V_{th}$ のとき，MOSFET は飽和領域にあるという．

この時， $V_{ds} > V_{gs} - V_{th}$ であるから，式 3.1 より， $V(x < L) = V_{gs} - V_{th}$ なる点で電荷密度はゼロとなる．すなわち，ドレイン付近ではチャネルが途切れる．この時，チャネルがピンチオフ

したという (図 3.5) . ドレイン電流は式 3.3 を $x = 0$ から $L' (< L)$ まで両辺積分することで得られる . ただし , $V(x = L') = V_{gs} - V_{th}$ である .

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L'} (V_{gs} - V_{th})^2 \quad (3.8)$$

すなわち , $V_{ds} > V_{gs} - V_{th}$ ではドレイン電流が V_{ds} に対し一定となる .

実際には , ドレイン-ソース間電圧が大きくなるほど , ピンチオフする点 L' は短くなる . すなわち , L' は V_{ds} の関数となる . この効果をチャネル長変調効果という . $L' = L - \Delta L$ とすると , $1/L' \approx (1 + \Delta L/L)/L$ と近似できる . さらに $\Delta L/L = \lambda V_{ds}$ とチャネル長変調がドレイン - ソース間電圧に対し 1 次で変化するとすると , 式 3.8 は次で表される .

$$I_{ds} \approx \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (3.9)$$

ここで , λ はチャネル長変調係数と呼ばれ , チャネル長が長いほど小さくなる .

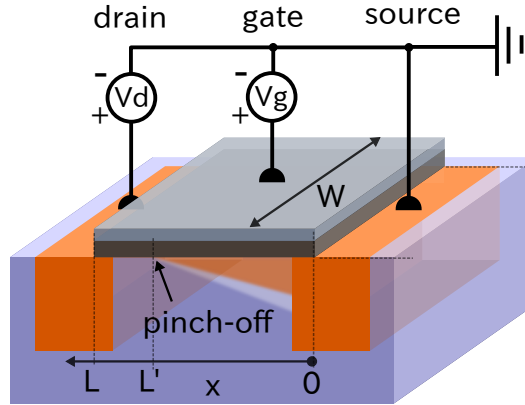


図 3.5: ピンチオフ

3.1.4 トランスコンダクタンス

先述した通り , MOSFET はゲートに印加する電圧によりドレイン-ソース間の電流を制御を行う . すなわち , MOSFET はある入力電圧を出力電流へと変換するデバイスと見なせる . この変換係数をトランスコンダクタンスといい , ゲート-ソース間電圧の変化に対するドレイン-ソース間電流の変化の割合で定義する .

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=const} \quad (3.10)$$

3.1.5 小信号等価回路

一般に , 電子デバイスの入力応答は非線形であり , そのデバイスを用いた回路の解析は容易ではない . ただし , 入力信号による変位が動作バイアス点から大きく外れない場合 , その回路はそのバイアス点近傍で線形で近似でき , 簡単な等価回路で表せる . この等価回路を小信号等価回路 , または小信号回路と呼ぶ .

以下で，線形領域，飽和領域における MOSFET の小信号等価回路を示す．なお，デバイスを等価回路で完全に表現する場合，配線等による抵抗や各端子間・端子-基板間を繋ぐデバイス容量も考慮する必要があるが，ここでは触れない．

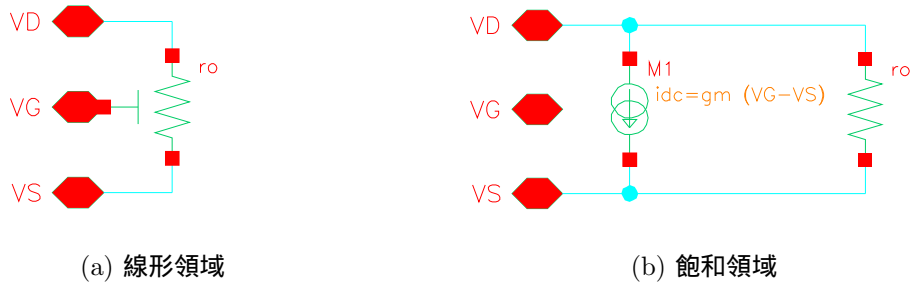


図 3.6: MOSFET の小信号等価回路

線形領域

先述した様に，線形領域のドレイン電流はドレイン-ソース間電圧に対し線形に近似できる．すなわち，この時 MOSFET はドレイン-ソース間をつなぐ線形抵抗の様に振る舞う．等価回路を図 3.6a に示す．

このとき，等価回路の抵抗値は次で表され，ゲート電圧により抵抗値が制御できる可変抵抗の様に動作する．

$$r_O = \frac{\partial V_{ds}}{\partial I_{ds}} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (3.11)$$

飽和領域

$I_{ds} - V_{ds}$ 特性 (図 3.3) を見れば分かるように，飽和領域で動作する MOSFET はドレイン - ソース間をつなぐ電流源の様に振る舞う．実際には，チャネル長変調効果のため理想的な電流源とはならず，その分の抵抗値が出力抵抗として電流源と並列に加わる．等価回路を図 3.6b に示す．

このとき，等価回路の電流源の電流値は次で表され，ゲート電圧により電流を制御できる電圧制御電流源の様に動作する．

$$I_{ds} = g_m V_{gs} \quad (3.12)$$

また，出力抵抗は以下で表せる．

$$r_O = \frac{\partial V_{ds}}{\partial I_{ds}} = \frac{1}{\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \lambda} \quad (3.13)$$

3.1.6 CMOS

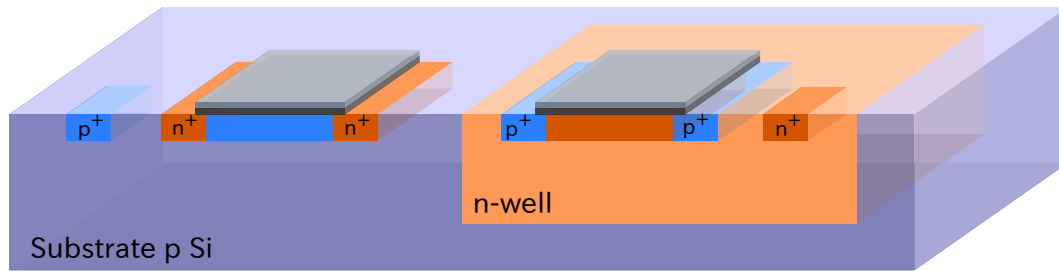


図 3.7: Bulk-CMOS の構造

一般に MOSFET は、CMOS(Complementary-MOS) 技術により同じ基板上に複数の NMOS、PMOS を形成して用いる。これにより様々な回路を同一基板上で設計することが出来るため、大規模な集積化も可能となる。

図 3.7 に Si バルク上に形成した CMOS(Bulk-CMOS) の構造を示す。同一基板上へ NMOS、PMOS の両方を形成する際、当然片方のデバイスは極性が基板と逆となる。そのため、そのままでは同一基板上へのデバイス形成は不可能である。そこで、基板中の部分部分に極性が逆となる基板(ウェルと呼ばれる)を設け、その中にもう一方のデバイスを形成する。デバイス間は PN 接合の空乏層により電氣的に区切られる。

3.2 FD-SOI-MOSFET

SOI(Silicon-On-Insulator) プロセスとは、 SiO_2 酸化膜上に半導体デバイスを作製する技術である。SOI-MOSFET とは SOI プロセスにより、酸化膜上に形成された MOSFET を指す。本節では 4K での動作が報告されている FD-SOI-MOSFET について、その構造と特性を述べる。

なお、本研究で用いる FD-SOI-MOSFET 及び SOI 回路基板の形成は全てラピスセミコンダクタ(株)で行った。

3.2.1 構造

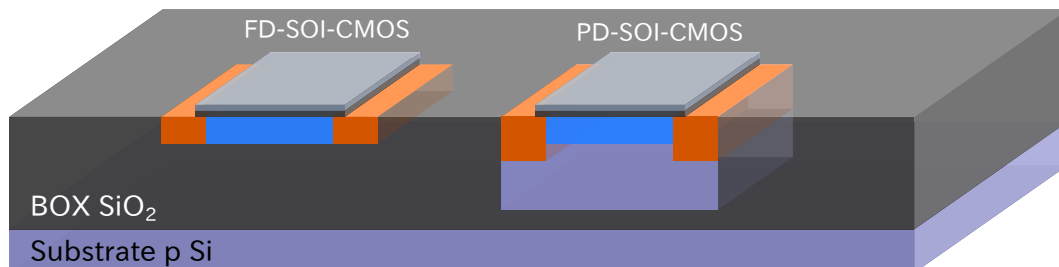


図 3.8: SOI-CMOS の構造

SOI-MOSFET の構造を図 3.8 に示す。SOI 基板は Si 層と SiO_2 層 (BOX 層) の 2 層から成る。BOX 層上にはさらに Si 層が形成され、各デバイスはその上に作られる。

先述した様に，通常の Bulk-CMOS の場合，デバイス間は PN 接合による空乏層で仕切られる．一方，SOI プロセスで形成された CMOS は，個々のデバイスが酸化膜層に埋め込まれ，電氣的に完全に分離される．そのため，SOI-CMOS は一般に，寄生容量が Bulk-CMOS に比べ小さい．したがって，電流の損失やデバイス間のクロストークが少なく，低消費電力化や集積化に優れる．

また，SOI-MOSFET はボディ部分の空乏化状態により，部分空乏型 (PD:Partially Depleted) と全空乏型 (FD:Fully Depleted) に分類される．

PD-SOI プロセスでは基板上的 Si 層は数 μm 以上と厚い．そのため，MOSFET のボディ部分はゲート酸化膜直下のみが部分的に空乏化するのみである．

一方，FD-SOI プロセスでは数百 nm 以下の薄い Si 層にトランジスタが形成される．そのため，MOSFET のボディ部分は完全に空乏化される．したがって，後述の浮遊帯効果も抑制することが出来る．

3.2.2 浮遊帯効果

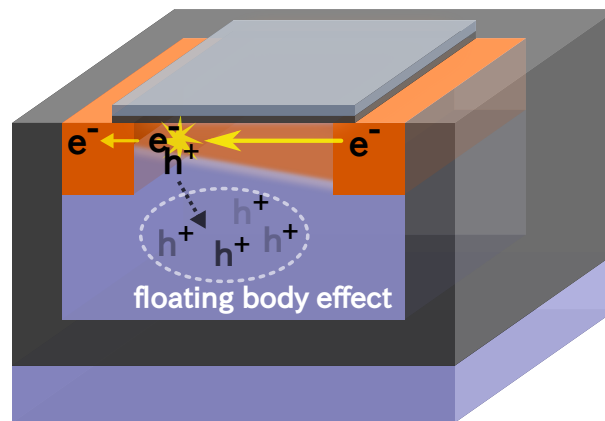


図 3.9: 浮遊帯効果

チャネルを通る電子はドレイン-ソース間電圧で加速されながら進む．加速された電子はドレイン付近で Si 層に衝突し，電子-正孔対を生成することがある．ドレイン端子には正電圧が印加されているため，生成された電子はドレインにすぐ吸収される．一方で，ボディ部分が電氣的に浮いた状態にある場合，生成された正孔はボディ部分に逃げ蓄積してしまう．その結果，ボディ電位が変化し MOSFET の動作に悪影響を及ぼす．これを浮遊帯効果 (Floating body effect) と呼ぶ．

PD-SOI-MOSFET では，ボディ層の一部は空乏化せず電氣的に浮いた状態にあり，かつ各デバイスが酸化膜層で電氣的に分離されているため，この効果は無視できない．浮遊帯効果はボディ部分との電氣的な接触を施すことである程度抑制は出来るが，根本的解決には至らない．

また，浮遊帯効果は Bulk-MOSFET を低温下で動作させる場合にも見られる．通常，Bulk-MOSFET のボディとの電氣的接触は基板に打ち込まれた電極によってなされる．常温で動作させる場合，この方式は問題とはならない．しかし，Si 基板の抵抗値は温度が低くなるにつれ増加するため，低温下ではボディ部分が電極から分離される．すなわち，PD-SOI-MOSFET と同様の状況に陥る．加えて，低温下ではキャリアの移動度が上昇するため，先述の電子-正孔対生成も起こりやすくなる．以上の理由から，Bulk-MOSFET は一般に低温で動作しない．

一方で、FD-SOI-MOSFET では、ボディ層は完全に空乏化するため、浮遊帯効果は起こらない。ただし、実際にはFD-SOI プロセスでもわずかながら空乏化しない領域が存在する。この領域による浮遊帯効果を抑制するため、ボディ部分には電氣的な接触が図られる。その方式としては、ボディ部分から直接電極を伸ばした Body-tie type と、ボディをソースに接続した source-tie type が存在する。

JAXA の研究グループは、FD-SOI-MOSFET が浮遊帯効果に強いことに着目し、FD-SOI プロセスでオペアンプを作製し 4K での動作を確認した。これを受け、本研究グループでは、FD-SOI-MOSFET を用いた STJ 検出器信号読み出し用の極低温増幅器の開発研究に着手した。

3.2.3 低温特性

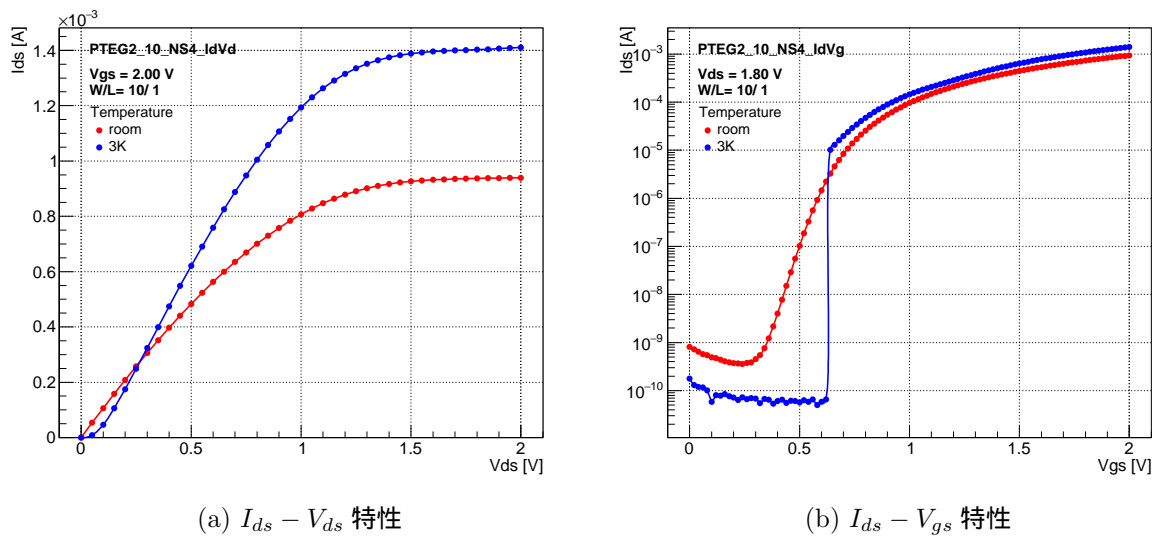


図 3.10: FD-SOI-MOSFET の極低温での電流電圧特性

FD-SOI-MOSFET の極低温下での電流-電圧特性を図 3.10 に示す。赤点が室温時、青点が 3K 時の測定点である。図 3.10a, 3.10b は、それぞれ、ドレイン-ソース間電圧、ゲート-ソース間電圧に対するドレイン-ソース間電流をプロットしたものである。

室温時の特性と比較すると、低温下では次のような特性変化が現れることが分かる。

- キャリアの移動度上昇による飽和領域電流値の上昇
- 閾値電圧の上昇
- サブスレッショルドリークの減少

さらに本研究グループでは、FD-SOI-MOSFET が 100mK の極低温下でも動作することを確認した。その結果、この電流電圧特性は 3K 以下ではほぼ変化しないことが分かっている。

また、一部で次の様な特性異常も見られ、現在改善が図られている。

- V_{ds} の低い領域におけるドレイン-ソース間抵抗の上昇
- V_{ds} の高い領域でドレイン-ソース間電流が急激に流れる kink 効果

以上に示したように、極低温下でFD-SOI-MOSFET の特性は大きく変化する．しかしながら、致命的な性能劣化は見られず、ゲート-ソース間電圧でドレイン-ソース間電流を制御するという MOSFET としての動作自体は、極低温環境下でもなお見受けられる．したがって、この特性変化さえ考慮すれば、FD-SOI-MOSFET は極低温下でも十分増幅回路として用いることが可能である．

3.3 アナログ CMOS 回路

本研究に関連するアナログ CMOS 回路の基本構成要素とその特性について述べる．

3.3.1 ソース接地増幅段

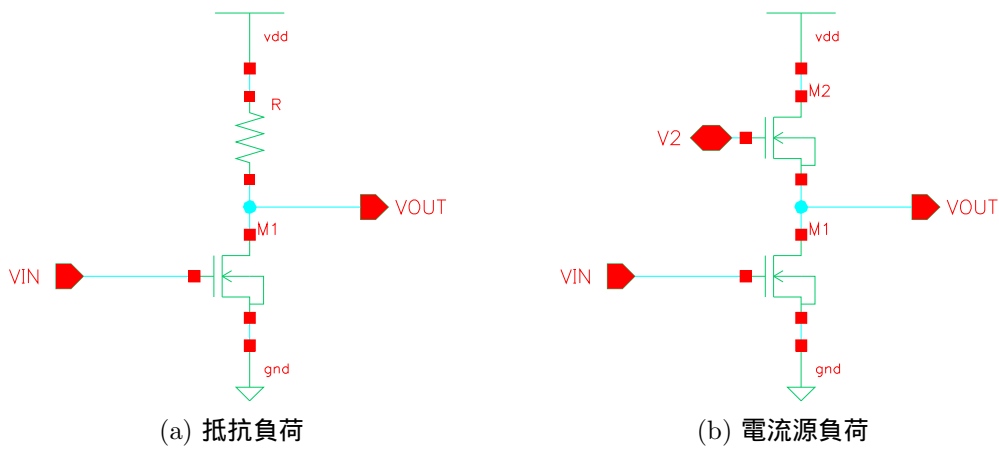


図 3.11: ソース接地増幅回路

図 3.11 に示す回路をソース接地増幅回路といい、信号増幅器として動作する．

この回路の入出力特性を図 3.12 に示す．入力端子に電圧を印加すると、ゲート-ソース電圧に従った電流がドレイン-ソース間に流れる．この電流は抵抗 R を流れ、電圧降下により出力端子電圧に変化をもたらす．すなわち、

$$V_{out} = V_{dd} - RI_{ds} \quad (3.14)$$

M1 がオフの状態、すなわち、入力電圧が $V_{in} < V_{th}$ の時、ドレイン電流は流れない．したがって、出力電圧は $V_{out} = V_{dd}$ となる．

入力電圧が $V_{th} + V_{out} > V_{in} > V_{th}$ となると M1 は飽和領域で動作し、出力電圧は

$$V_{out} = V_{dd} - R \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{in} - V_{th})^2 \quad (3.15)$$

となり、 V_{dd} から 2 次で減少する．

$V_{in} > V_{out} + V_{th}$ となると、M1 は飽和領域から外れ、線形領域で動作する．先述の様に、線形領域で MOSFET は抵抗の様に振る舞う．したがって、出力電圧は V_{dd} を抵抗 R と MOSFET の抵抗 (式 3.11) とで抵抗分割した値となる．すなわち、

$$V_{out} = \frac{r_o}{r_o + R} V_{dd} = \frac{V_{dd}}{1 + \mu C_{ox} (W/L) R (V_{in} - V_{th})} \quad (3.16)$$

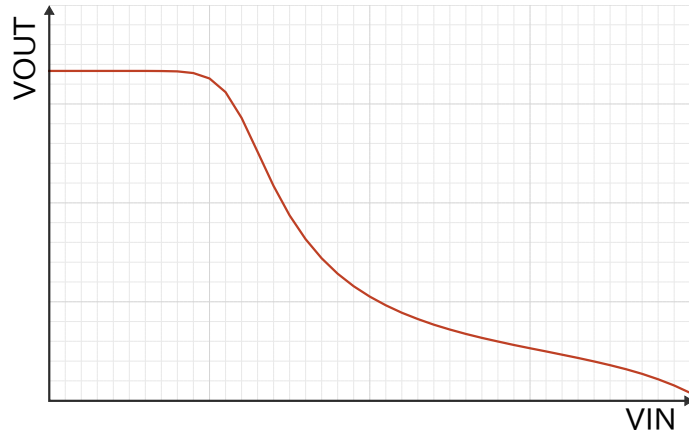


図 3.12: ソース接地増幅回路の入出力特性

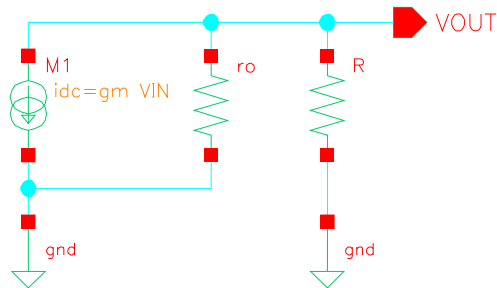


図 3.13: ソース接地増幅回路の小信号等価回路

ソース接地増幅回路の利得を求めるため、小信号等価回路を考える。飽和領域で動作するソース接地増幅回路の小信号等価回路を図 3.13 に示す。これより、利得は次で表せ、出力端子から見た出力抵抗で制限される。ただし、 $(R||r_o)$ は R と r_o の並列抵抗を表す。

$$A = \frac{\partial V_{out}}{\partial V_{in}} \quad (3.17)$$

$$= -g_m(R||r_o) \quad (3.18)$$

以上より、負荷抵抗の値が大きいほど増幅回路の利得は大きくなることが分かる。しかし、一般に CMOS 技術では高精度で高抵抗な抵抗素子を形成することが困難である。そこで実際には、図 3.11b に示すよう、MOSFET を飽和領域で駆動させ、電流源として用いることで高抵抗負荷を実現する。また、電流源負荷の特徴として、供給電圧を大きく消費せず高抵抗を実現できることが挙げられる。

3.3.2 ソースフォロワ

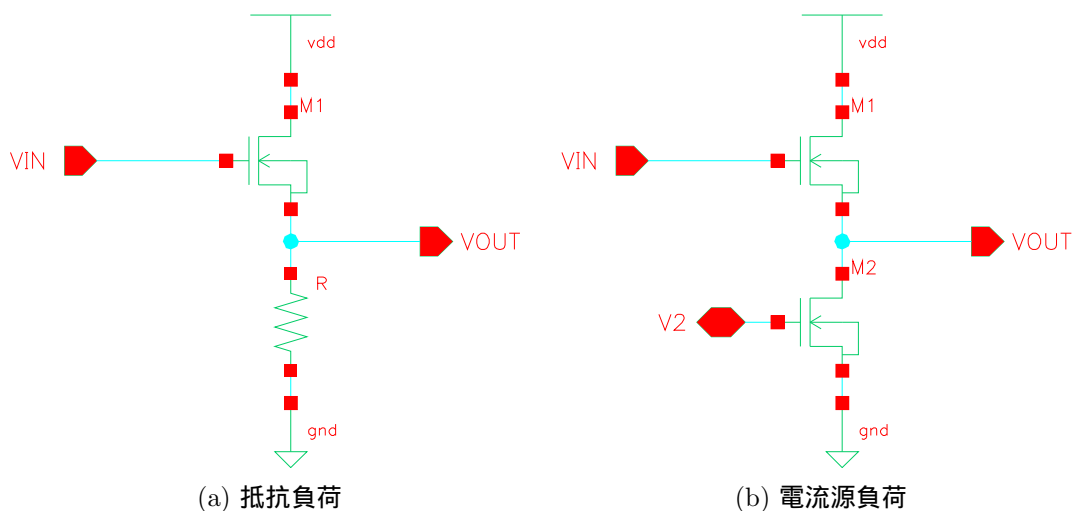


図 3.14: ソースフォロワ

図 3.14 に示す回路をソースフォロワ，またはドレイン接地増幅回路と呼ぶ．ソースフォロワは出力抵抗を下げ，信号損失が無視できるようにする役割を持つ．

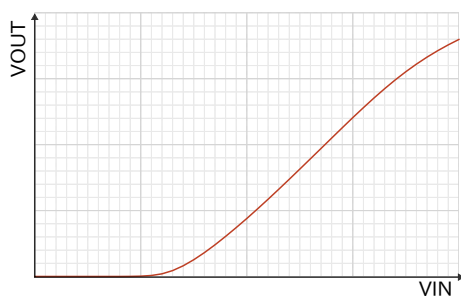


図 3.15: ソースフォロワの入出力特性

この回路の入出力特性を図 3.15 に示す．M1 がオフの状態，すなわち，入力電圧が $V_{in} < V_{th}$ の時，ドレイン電流は流れない．したがって，出力電圧は $V_{out} = 0$ となる．

入力電圧が $V_{in} > V_{th}$ となると，M1 はオンとなり，飽和領域で駆動する．この時，出力電圧は以下で表せる．

$$V_{out} = I_{ds}R \quad (3.19)$$

$$= \frac{1}{2}\mu C_{ox}\frac{W}{L}(V_{in} - V_{th} - V_{out})^2R \quad (3.20)$$

すなわち，ソースフォロワの出力電圧は入力電圧に追従 (Follow) する．これが，ソースフォロワと呼ばれる所以である．この性質から，ソースフォロワは出力電圧レベルのシフトにも用いられる．

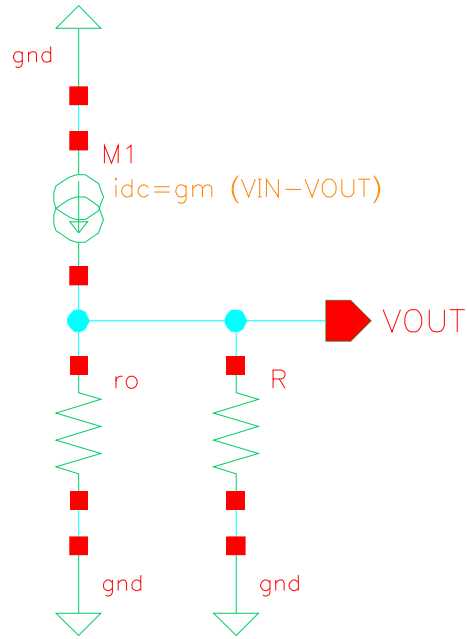


図 3.16: ソースフォロワの小信号等価回路

ソースフォロワの利得，出力抵抗を求めるため，小信号等価回路を考える．M1 が飽和領域で動作している時，ソースフォロワは図 3.16 に示す小信号等価回路で表せる．これより，ソースフォロワの増幅率，出力抵抗は次で表せる．ただし， $1/g_m || R || r_o$ は $1/g_m$ と R, r_o の並列抵抗を表す．

$$A = \frac{\partial V_{out}}{\partial V_{in}} = \frac{g_m(r_o || R)}{1 + g_m(r_o || R)} \quad (3.21)$$

$$R = \frac{\partial V_{out}}{\partial I_{out}} = \frac{1}{g_m} || R || r_o \quad (3.22)$$

すなわち，負荷抵抗が十分大きい場合，トランスコンダクタンスが大きいほど，増幅率は 1 に近づき，出力抵抗は下がる．ソースフォロワもソース接地増幅回路と同様，一般的には，図 3.14b に示すよう，MOSFET を飽和領域で駆動させ電流源として用いることで高抵抗負荷を実現する．

3.4 FD-SOI-MOSFET を用いた極低温増幅器の開発研究

3.4.1 SOI 増幅回路一体型 STJ 検出器

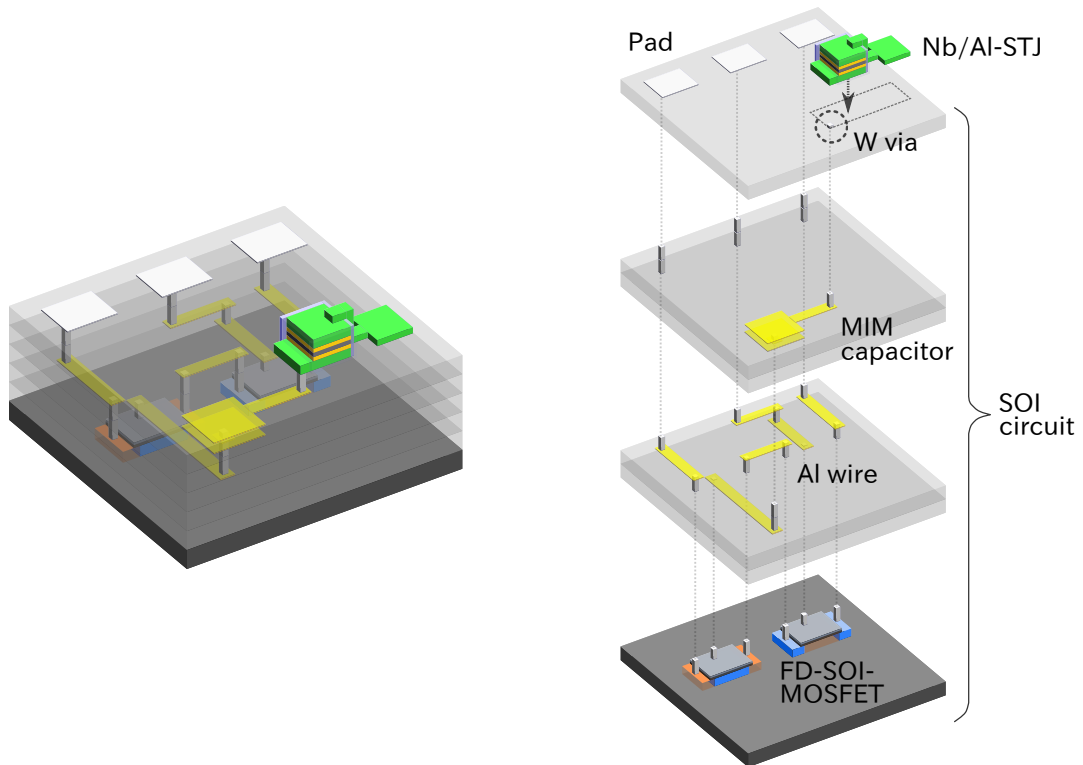


図 3.17: SOI 増幅回路一体型 STJ 検出器

SOI 増幅器一体型 STJ 検出器 (SOI-STJ) は、FD-SOI プロセスで作製した増幅回路基板上に STJ 検出器を直接形成した、増幅回路一体型の光検出器である。一体型にすることで、STJ 検出器の信号を配線を介さず増幅することができるため、SN 比の大きな改善が期待できる。

図 3.17 に SOI-STJ の構造を示す。SOI-STJ は SOI 回路基板と STJ 検出器からなる。

SOI 回路基板はデバイス層とアルミからなるメタル層 4 層の積層構造を持つ集積回路である。デバイス層には先述の FD-SOI-MOSFET 等が形成され、メタル層で形成された配線や MIM (Metal-Insulator-Metal) キャパシタンス等と合わせて回路が形成される。層間と基板表面は酸化膜層で電氣的に絶縁、保護される。回路との電氣的接触は各層間に伸びたタングステンのビアによって行う。回路形成後、基板表面は CMP 研磨により平坦化されている。

STJ 検出器はフォトリソグラフィにより SOI 回路基板上に直接形成する。形成場所には回路からビアが伸びており、STJ 検出器の下部超伝導体と電氣的に接触する。

3.4.2 極低温増幅器の開発現状

本研究グループはこれまで SOI-STJ 検出器の開発研究に取り組んできた。現在までに、改良を重ねながら順に 3 つの回路の設計を行い、その評価を行った。本節ではその開発研究の変遷について述べる。

SOI-STJ1

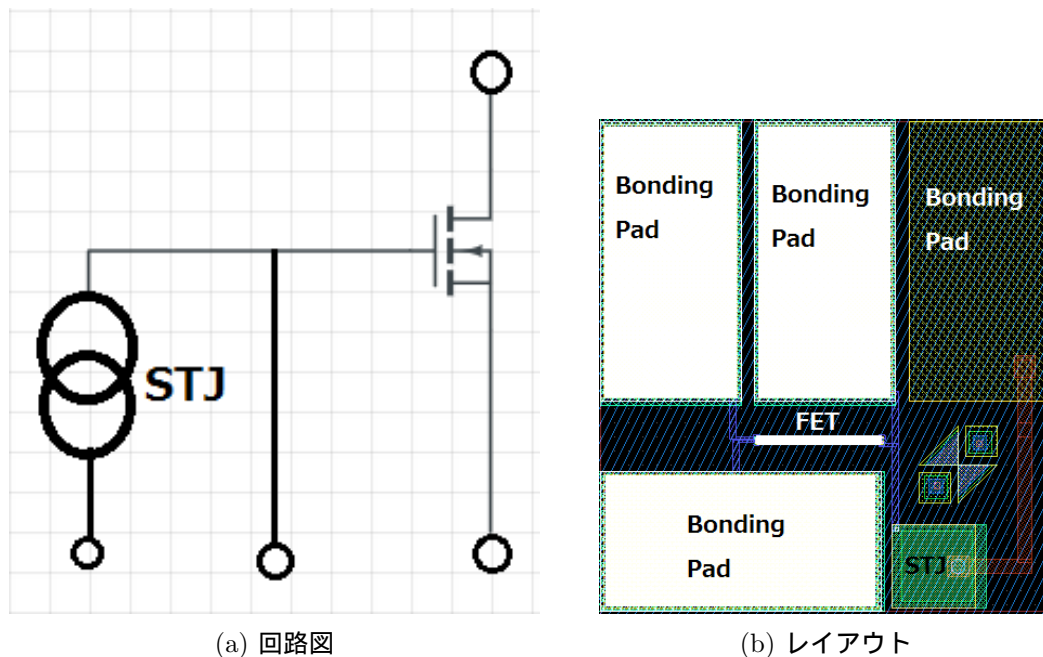


図 3.18: SOI-STJ1 のデザイン [13]

まず，導入段階として FD-SOI-MOSFET 単体と配線のみからなる SOI 回路基板 (SOI-STJ1) を設計した．さらに，その基板上に Nb/Al-STJ 検出器を形成し，その性能の評価を行った．

図 3.18 に SOI-STJ1 の回路デザインを示す．回路はドレイン端子に外部抵抗を接続し，抵抗負荷のソース接地増幅回路として用いる．STJ 検出器は FET のゲート端子から伸びたビア上に形成する．検出器の信号電荷は MOSFET のゲート容量に流れ，ゲート電圧に変化が生じる．その変化を増幅回路で増幅する．

まず，SOI-STJ1 に搭載した FD-SOI-MOSFET の性能評価を行った．そのドレイン-ソース間電流-ゲート-ソース間電圧特性を図 3.19 に示す．この測定は SOI 基板表面への Nb/Al-STJ 検出器形成後に行われた．これより，FD-SOI-MOSFET に STJ 検出器形成プロセスによる損傷は見られず，1K 以下の極低温でも正常に動作するが確認された．

次に，SOI 基板上に形成された Nb/Al-STJ 検出器の性能評価を行った．その電流電圧特性を図 3.20 に示す．図 3.20a が磁場印加前，図 3.20b が磁場印加後のグラフである．磁場の印加により，ジョセフソン電流が抑制されていることが分かる．また，リーク電流は 0.5mV で 6nA 程度であり，これは同様の工程で作成された通常の Nb/Al-STJ 検出器と比べ，同程度であった．

さらに，光応答性についても確認した．ただし，SOI-STJ1 回路での読み出しは行わず，Nb/Al-STJ 検出器単体のみでの応答を測定した．波長 465nm の可視光レーザーを 20 パルス (50MHz) で照射し，Nb/Al-STJ 検出器の両端電圧の変化を記録した．その信号波形を図 3.21 に示す．信号幅は $1.5\mu\text{s}$ 程度であり，信号の波高分布から検出光子数は 206 ± 112 と見積もられた．

以上，Nb/Al-STJ 検出器を SOI 回路基板上に形成しても，回路と検出器はそれぞれ単体では問題なく動作することが確認された．ただし，次の様な問題点が挙がり，STJ 検出器の信号を SOI 回路基板で増幅するには至らなかった．

- 回路のバイアス電圧と STJ 検出器のバイアス電圧をそれぞれ独立に決められず，同時に動

作させることが困難．

- MOSFET のゲート容量が大きく ($W = 10 \times 100 \mu\text{m}$, $L = 1 \mu\text{m}$) , 信号電荷に対するゲート電圧変化が小さくなってしまう．

以上の問題点を解決するため , SOI-STJ2 の設計が行われた．

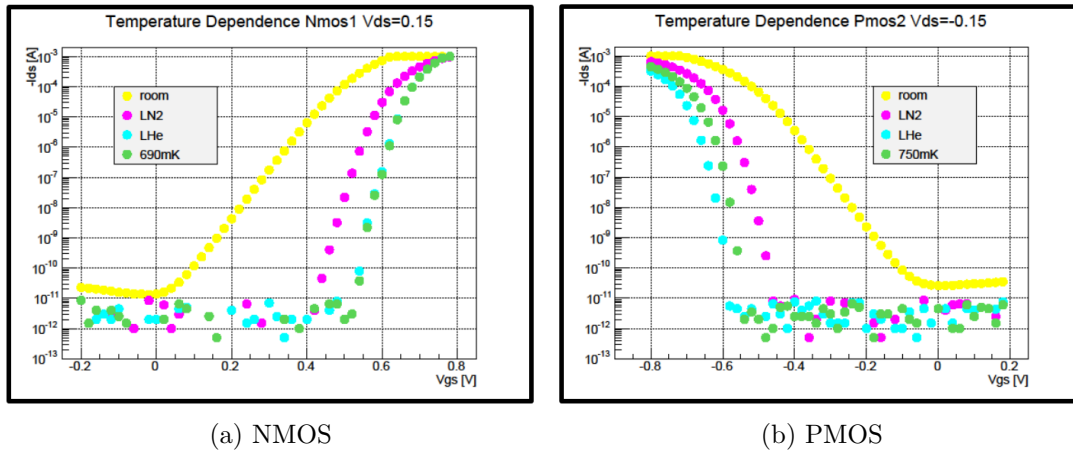


図 3.19: Nb/Al-STJ 検出器形成後の FD-SOI-MOSFET 電流電圧特性 [13]

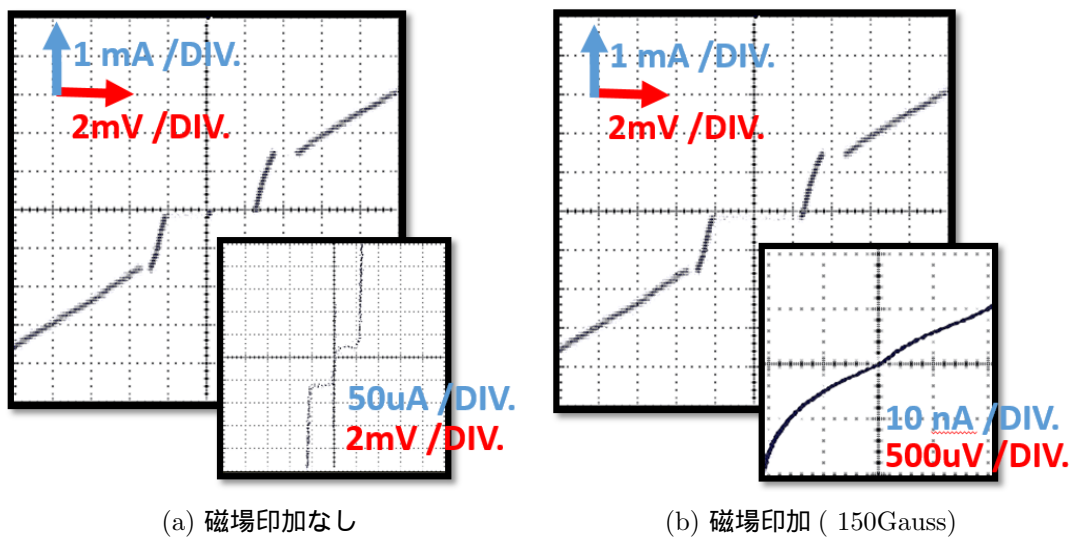


図 3.20: SOI-STJ1 基板上に形成した Nb/Al-STJ 検出器 電流電圧特性 [13]

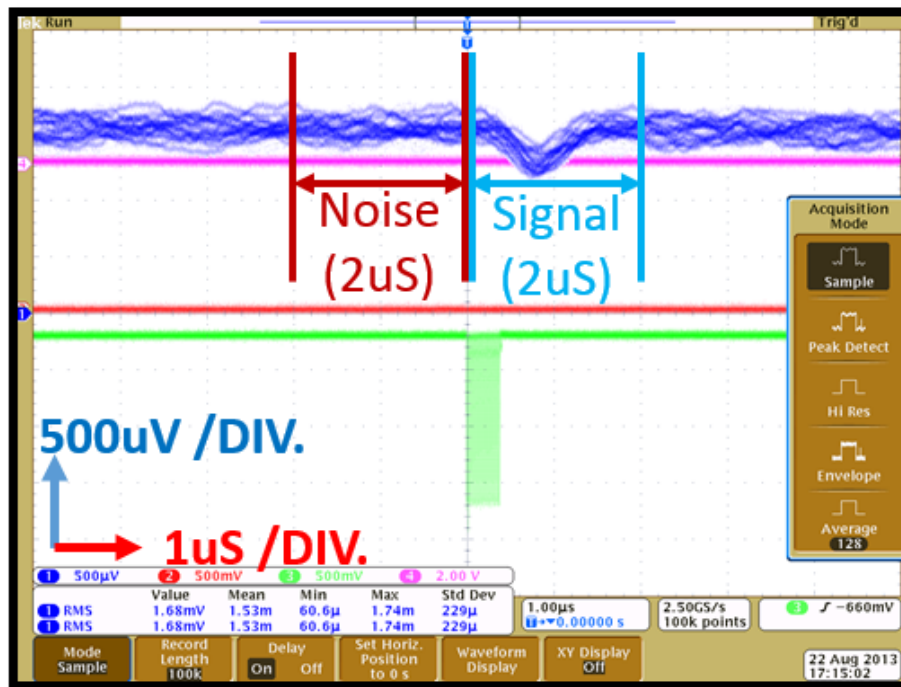


図 3.21: SOI-STJ1 基板上に形成した Nb/Al-STJ 検出器 光応答信号 [13]

SOI-STJ2

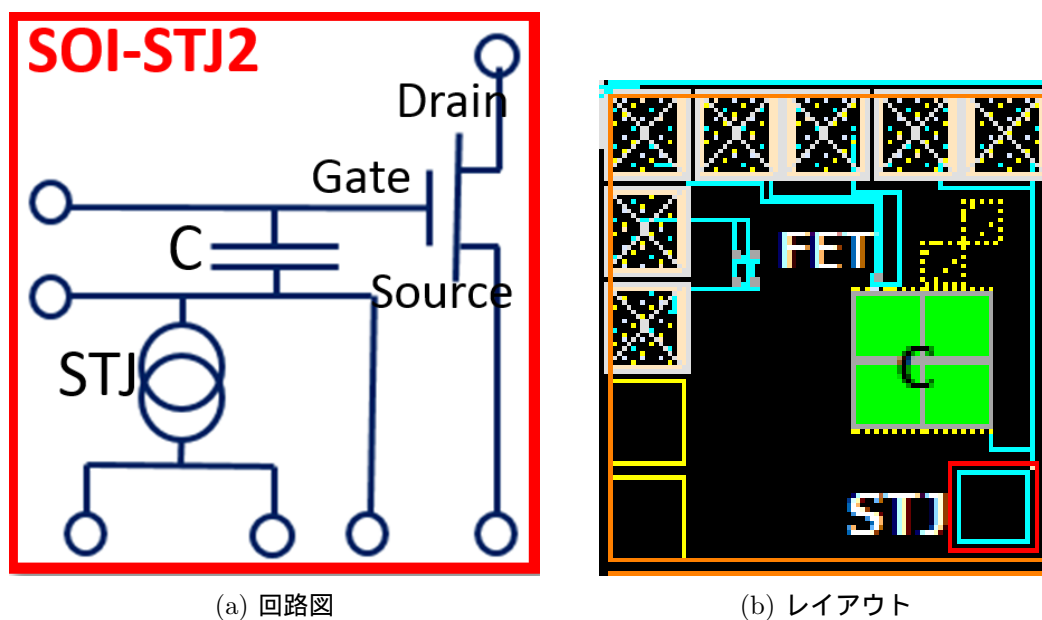


図 3.22: SOI-STJ2 のデザイン [13]

SOI-STJ1 の問題点解決のため ,SOI-STJ2 を新たに設計し ,その性能評価を行った . SOI-STJ2 の回路図を図 3.22 に示す . SOI-STJ2 も SOI-STJ1 と同様 ,ドレイン端子に抵抗を接続しソース接地増幅回路として用いる . SOI-STJ1 からの変更点は以下の 2 点である .

- 回路と検出器間をキャパシタンスで区切り，バイアス電圧を独立に印加出来るようにした．
- MOSFET のゲート容量を小さくし，信号電荷に対するゲート電圧変化を大きくした．

MOSFET と検出器と回路を区切るキャパシタンスの大きさは，信号電荷量に合わせ 3 種用意した．

SOI-STJ2 でも SOI-STJ1 と同様，MOSFET 単体での性能評価を行った．サイズの小さな FD-SOI-MOSFET においても極低温下で正常に動作することを確認した．SOI-STJ2 に関しては，100mK の極低温での動作も確認した．

また，ファンクションジェネレータで生成した sine 波を入力し，極低温下での増幅作用も確認した．図 3.23 にその結果を示す．図 3.23a は 1.7K 下での入力 (青) と出力 (赤) の波形のグラフである．また，図 3.23b は増幅の周波数依存性を示す．青が室温時，赤が 1.7K 時のものになる．

しかしながら，増幅作用は見られるものの利得は 25 倍程度と低く，入力周波数 1kHz 程度までしか応答が得られない．すなわち，以下の問題が新たに挙げられた．

- 十分な利得を得るには負荷の抵抗値を大きくする必要があるが，それに伴って供給電圧も大きくせねばならない．すると，印加電圧が FD-SOI-MOSFET の耐圧電圧を超えてしまい，素子の破壊につながる．また，抵抗値自体を大きくするのも限界がある．
- ソース接地増幅段のみでは出力インピーダンスが高く，冷凍機配線等の高容量負荷を駆動する場合，高周波数では応答が得られない．

また，STJ 検出器の作製に関しては，作製の歩留まりが悪く動作可能な素子を形成するに至らなかった．

以上の問題点を解決するため，SOI-STJ3 の設計が行われた．

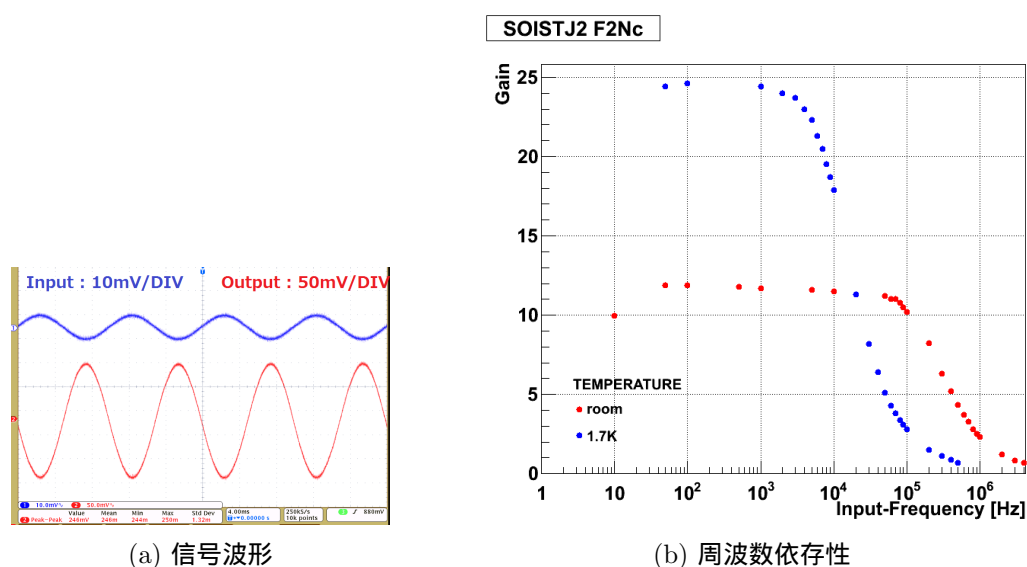


図 3.23: SOI-STJ2 による sine 信号の増幅 [13]

SOI-STJ3

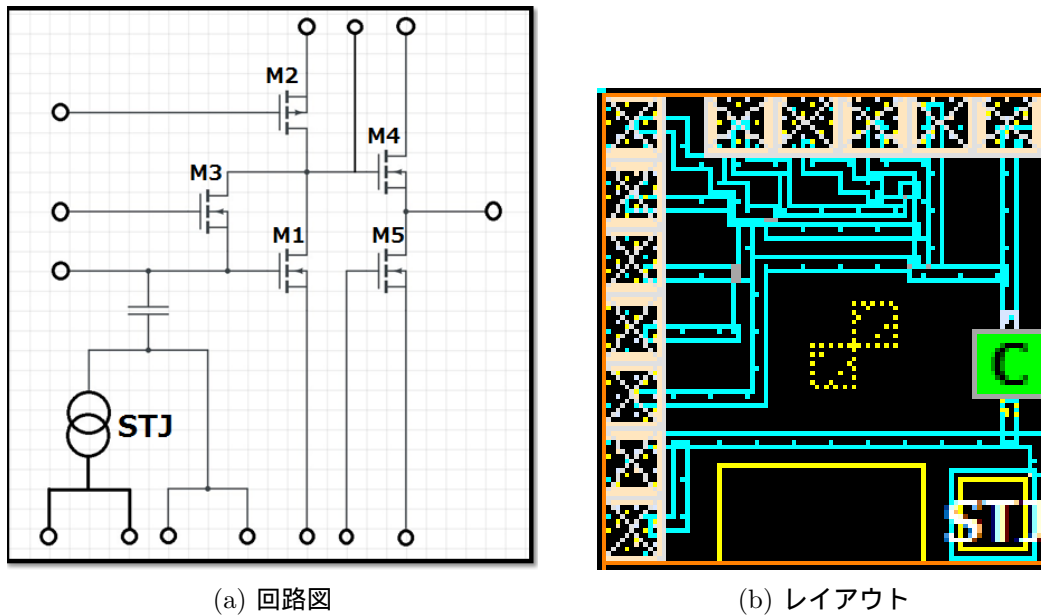


図 3.24: SOI-STJ3 のデザイン [13]

SOI-STJ2 の問題点解決のため、SOI-STJ3 を新たに設計し、その性能評価を行った。SOI-STJ3 の回路図を図 3.22 に示す。SOI-STJ2 からの変更点は以下の 3 点である。

- 抵抗負荷を飽和領域で動作する MOSFET で置き換え、電流源負荷のソース接地増幅回路に変更した。
- ソース接地増幅回路の入出力間をフィードバック抵抗 (MOSFET を可変抵抗として用いている) で繋ぎ、バイアス電圧の安定化を図った。
- 増幅回路の後段にソースフォロワを追加し、出力インピーダンスを下けている。

しかしながら、以上の SOI-STJ3 を含め、今までの SOI-STJ の設計では STJ 検出器の容量が考慮されていなかった。STJ 検出器の容量は数十から数百 pF と、一般の検出器に比べ大きく、その影響は無視できない。すなわち、インピーダンス整合が取られておらず、検出器側に比べ増幅回路側のインピーダンスが極端に大きい設計となっている。その結果、信号電荷が回路側へ伝わらず、信号の増幅が行えない。

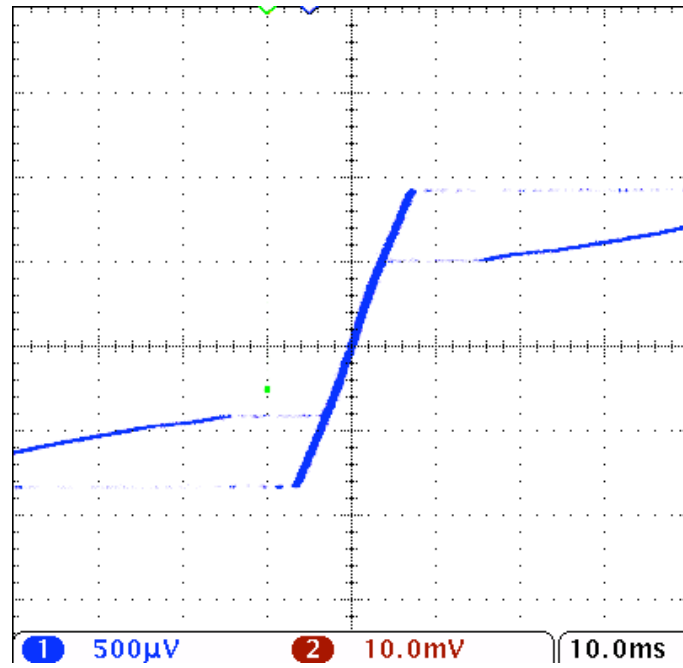


図 3.25: SOI-STJ3 回路基板上に形成した Nb/Al-STJ 検出器の電流電圧特性 [7]

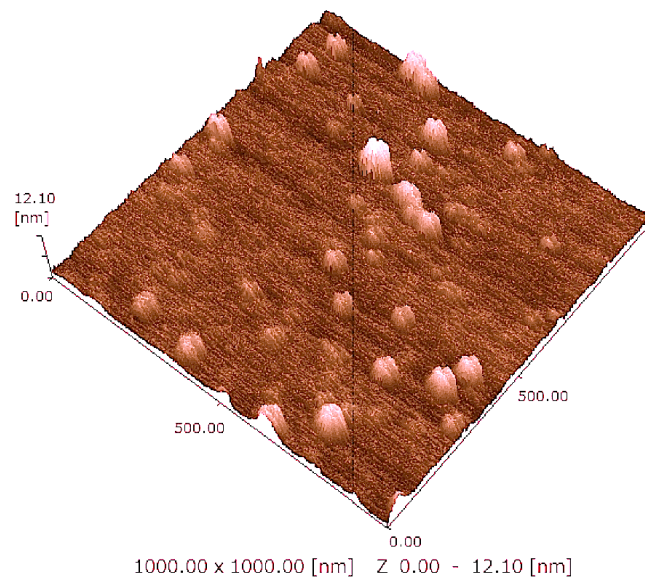


図 3.26: SOI-STJ3 回路基板の表面状態 [7]

また，SOI-STJ1，SOI-STJ2 と同様，SOI 回路基板上に形成した Nb/Al-STJ 検出器の電流電圧特性を測定した．本素子から先述した CAVITY で Nb/Al-STJ 検出器を形成した．その結果

を図 3.25 に示す．ジョセフソン電流は見えず，SIS 構造が形成されていないことが見て取れる．CRAVITY での作製のため，この原因は作製過程よりもむしろ基板の表面状態にあると考えられた．

そこで，SOI 回路基板上の表面状態を原子間力顕微鏡を用いて確認した．図 3.26 にその結果を示す．これより，基板上に高さ 10nm 程度の凹凸が複数存在することが確認できた．SIS 構造の酸化膜の厚さは 1nm 程度であるため，SOI 回路基板上への STJ 形成の歩留まりの悪さはこの凹凸が原因とだったと考えられる．

SOI 回路基板は CMP 研磨後納品されるため，この凹凸は基板からチップ状へダイシングする際付いたものと考えられる．この際つく傷を考慮し，STJ 形成前にはスパッタリングによる基板表面の平坦化を施していたが，この処置のみでは不十分であることが分かった．

以上の問題点を解決するため，また新たに SOI-STJ 検出器 (SOI-STJ4) を設計し，その評価を行った．それについては次章以降で詳しく述べる．

第4章 極低温増幅器の設計

これまでの SOI-STJ 検出器開発研究の問題点を踏まえ、新たな極低温増幅器 (SOI-STJ4) の設計を行った。本章では、その回路の設計思想と回路シミュレーションの結果について述べる。

ただし、現在極低温下での回路シミュレーションモデルは存在しない。そのため、回路シミュレーションは室温時のモデルを用いて行い、極低温で使用する場合は測定により性能を評価し、校正を行う。

4.1 極低温増幅器への要請

Nb/Al-STJ の信号増幅のため極低温増幅器には以下に示す性能が要求される。

Nb/Al-STJ 検出器の信号を増幅可能

当然ながら STJ 検出器の信号を増幅できることが必須となる。STJ 検出器の信号幅は、先述したように外部回路により数 μs から数百 μs 程度になる。したがって、数十 kHz から数 MHz の帯域まで応答し信号が増幅できる回路が必要となる。

冷凍機の配線容量を駆動可能

冷凍機配線の容量は大きく数百 pF 程度になると見積もられる。この後段負荷のインピーダンスは高周波になるほど小さくなる。そのため、増幅器の出力インピーダンスは極力下げ、STJ 検出器信号の高周波に対しても増幅が得られるようにする必要がある。

3K 以下でも増幅器として動作する

前章で述べたように、現在用いている Nb/Al-STJ 検出器は 400mK でリーク電流が下げ止まる。したがって、増幅器を検出器直近で動作させる場合、400mK 下での動作が求められる。したがって、3K 以下の極低温下でも増幅器として問題なく動作することが求められる。

消費電力: $100\mu\text{W} \sim 0.25\text{W}$

冷凍機の冷却能力は後述する様に 350mK で $100\mu\text{W}$ 程度である。そのため、増幅回路の動作による発熱もそれ以下に抑える必要がある。しかし、350mK 下では冷却能力が不十分であり、検出器と増幅器を同時に駆動するのは困難となることも考えられる。そこで、場合によっては増幅器の一部を分けて、より冷却能力の高い 3K や 60K で動作させることも考慮する。増幅器を 3K で動作させると考えた場合、消費電力への要求は 0.25W まで緩和される。

以上を考慮し、SOI-STJ4 の設計を行った。

4.2 設計

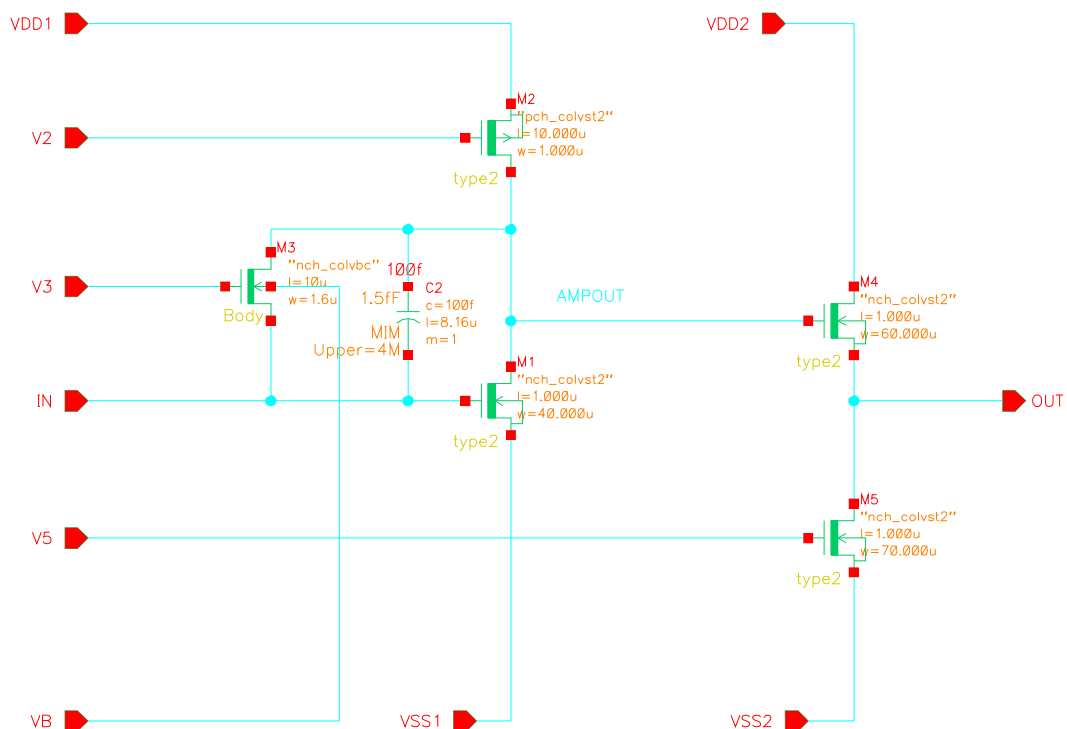


図 4.1: SOI-STJ4 パターン A 回路図

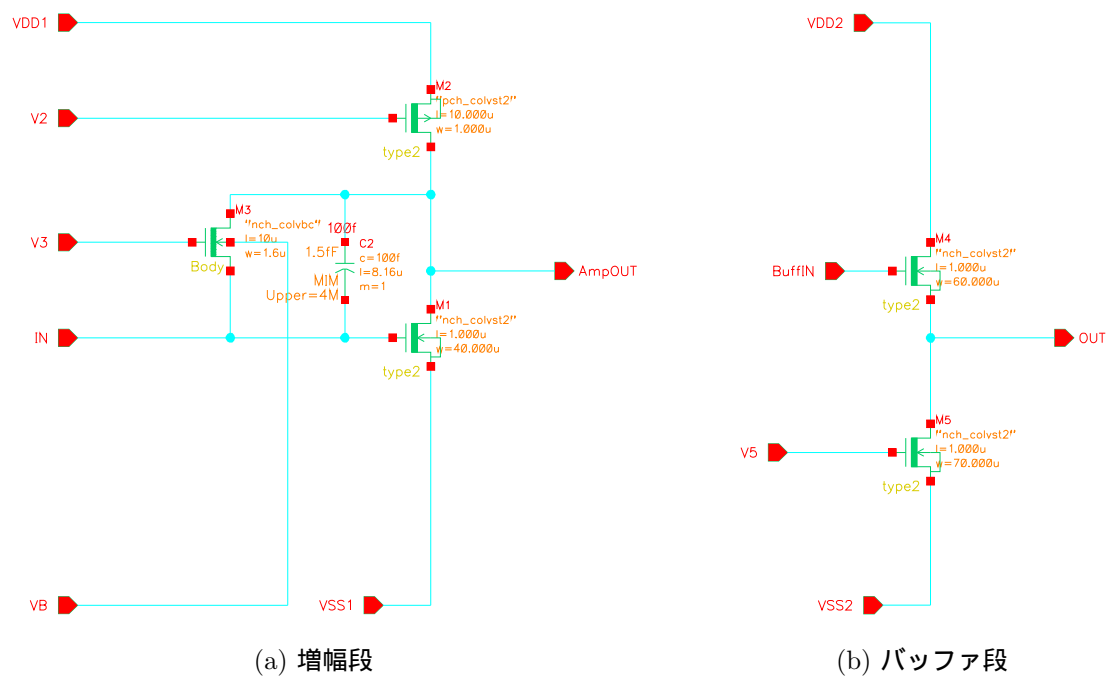


図 4.2: SOI-STJ4 パターン B 回路図

図 4.1 に SOI-STJ4 の回路図を示す．SOI-STJ4 回路は大きく分け，増幅段とバッファ段から構成される．増幅段で信号を増幅し，バッファ段で出力インピーダンスを下げ読みだす．

増幅段はソース接地増幅回路とコンデンサ，抵抗から成る電荷積分アンプである． $M1$ ， $M2$ はソース接地増幅回路を構成する． $M2$ は飽和領域で動作させ，電流源負荷として用いている．その入力端と出力端間を MIM キャパシタンス C_f と Body-tie 型の $M3$ を介して接続し，電荷積分アンプとしている．ここで， $M3$ は線形領域で動作させ，抵抗として用いている．

バッファ段にはソースフォロワを採用した．バッファ段も増幅段と同様に $M5$ を電流源負荷として用いている．

節 3.4.2 で述べたように，前回の設計にあたる SOI-STJ3 の問題点は，検出器側インピーダンスに比べ回路側インピーダンスが大きく信号が回路へ伝わらない，ということであった．したがって，大きく以下の 2 点を変更した．

電荷読み出しに変更

検出器側から見た入力インピーダンスを下げるため，フィードバックコンデンサ C_f を加え，電荷積分読み出し方式とした．

検出器-回路間のカップリングコンデンサの排除

カップリングコンデンサの容量は検出器容量 数十～数百 pF よりも十分大きい必要がある．しかし，SOI プロセスで形成できる MIM キャパシタンスの容量は $1.5\text{fF}/\mu\text{m}^2$ であり，数 mm^2 の基板内でこの大容量を実現することは現実的ではない．そこでキャパシタンスのカップリングは取り除き，外付けのコンデンサを用いて検出器相当の容量を実現する．

MOSFET やキャパシタンスのサイズ等のパラメータは，後述の光応答シミュレーションの出力が最大になるよう最適化を行った．表 4.1 に SOI-STJ4 回路に用いた素子のパラメータをまとめた．

表 4.1: SOI-STJ4 回路の素子パラメータ

device	Type	$W[\mu\text{m}]$	$L[\mu\text{m}]$	$C[\text{fF}]$
M1	core lvt nmos st2	40	1	-
M2	core lvt pmos st2	1	10	-
M3	core lvt nmos bt	1.6	10	-
M4	core lvt nmos st2	70	1	-
M5	core lvt nmos st2	60	1	-
C2	MIM capacitor	-	-	100

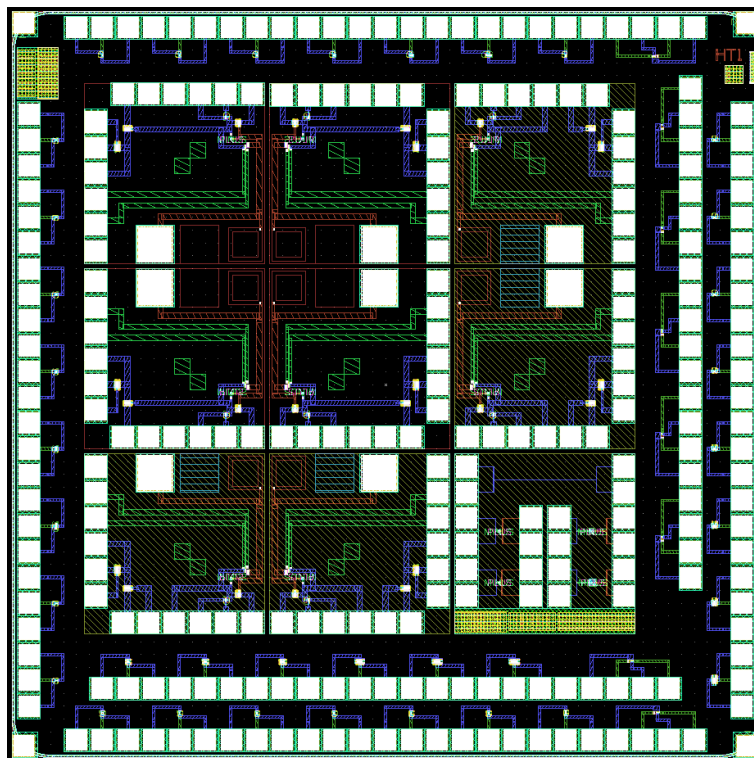


図 4.3: SOI-STJ4 レイアウト

素子のレイアウトを図 4.3 に示す．1 素子の大きさは $2.9 \times 2.9 \text{mm}^2$ である．1 素子の中には，増幅段とバッファ段が一体となったパターンとそれぞれが分離し独立となったパターンの 2 つを用意した．前者をパターン A，後者をパターン B と呼ぶこととする．パターン B は各段を独立に評価する場合や，バッファ段のみ冷却能力に余裕のあるステージに置く場合を想定し用意した．パターン A，B のレイアウトは，増幅段とバッファ段間で配線を引き出しているか否かを除き同一である．

チップ内には回路の他，MIM キャパシタ容量，配線抵抗測定用のパターンと MOSFET 測定用のパターンも用意した．

4.3 光応答シミュレーション

STJ 検出器の光応答信号を模した電流を SOI-STJ 回路に入射し，その応答をシミュレーションした．以下にその結果を述べる．

4.3.1 STJ 検出器の回路モデル

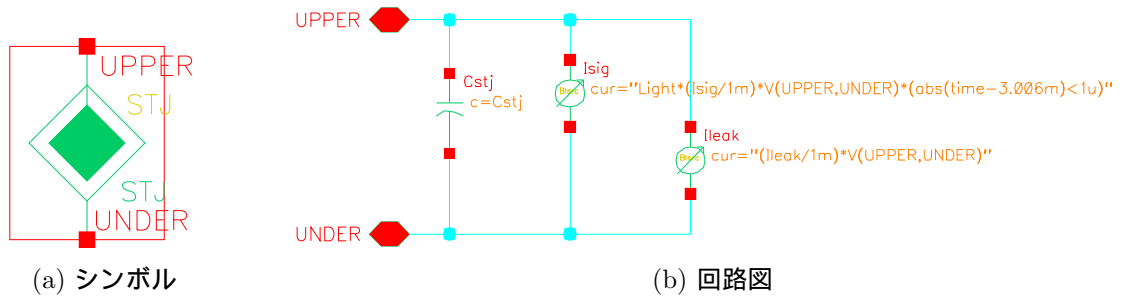


図 4.4: STJ 検出器の回路モデル

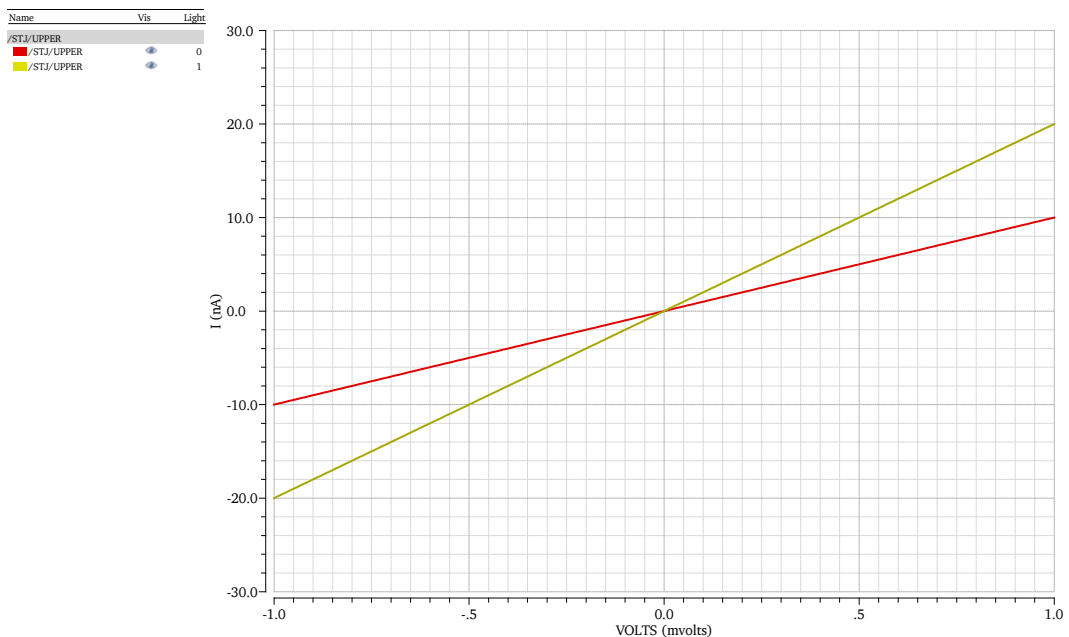


図 4.5: STJ 回路モデルの電流電圧特性

光応答のシミュレーションのため、まず信号源となる STJ 検出器を図 4.4 に示す等価回路で仮定した。以下、図 4.4a に示すシンボルで図 4.4b の等価回路を表す。

STJ 検出器等価回路は、検出器容量を表すキャパシタンス、リーク電流を表す電流源、信号電流を表す電流源を並列に接続したもので表した。

電流源には behavioral current source を用いた。これは任意の電流を流すことの出来る回路素子であり、端子 UPPER, UNDER 間電圧に対して電流値が変化するように指定して、STJ 検出器の電流電圧特性(図 2.6)を表した。ただし簡単のため、電流電圧特性は動作領域 ($0 < |V| < 2\Delta/e$) のみを線形で近似した。また、光の入射は信号電流源出力のオンオフを切り替えることで表現する。

図 4.5 に STJ 検出器モデルの電流電圧特性を示す。リーク電流源、信号電流源の電流値は、それぞれ端子間電圧が $1mV$ の時 $10nA$, $10nA$ となるよう設定した時のものである。横軸が端子 UPPER, UNDER 間電圧、縦軸が端子 UPPER 電流を表す。赤線が光非入射時(信号電流源オフ)、黄線が光入射時(信号電流源オン)である。

この STJ 検出器回路モデルを用いて、光応答信号に対する SOI-STJ4 回路応答のシミュレーションを行った。

4.3.2 光応答シミュレーション結果

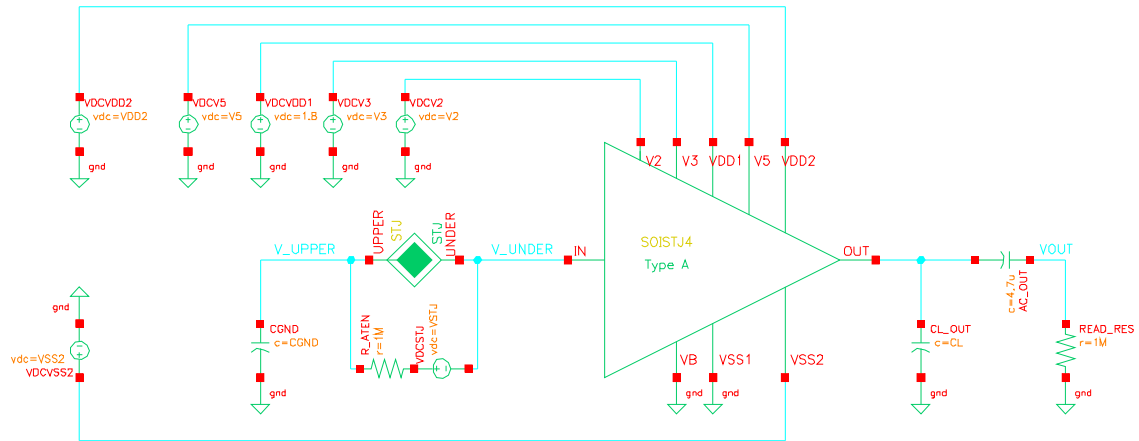


図 4.6: 光応答シミュレーション回路

図 4.6 に光応答シミュレーション回路を示す。STJ 検出器と増幅回路入力端子はキャパシタンスで区切らず、直接接続した。増幅回路の入力端子電圧は回路に印加するバイアス電圧で決定される。その電圧を基準として、上下端子間が $\sim 0.5\text{mV}$ 程度になるよう STJ 検出器にバイアス電圧 V_{STJ} を印加した。また、信号電荷の引き出し口として、STJ 検出器間とグラウンド間にコンデンサ $CGND$ を追加した。この容量の値は STJ 検出器の容量より十分大きな値として $1\mu\text{F}$ とした。出力の冷凍機配線容量 CL は 500pF を仮定した。

まず、STJ 検出器のパラメータとして以下を仮定し、シミュレーションを行った。

- 検出器容量: 250pF (素子サイズ: $50 \times 50\mu\text{m}^2$ を仮定)
- リーク電流源: STJ 検出器両端電圧が 0.5mV の時、 500pA
- 信号電流源: 信号幅 $1\mu\text{s}$ 、電荷量 fC となるように調整

これは、CRAVITY 製の Nb/Al-STJ 検出器 (図 2.9) を想定している。電荷量は波長 1312nm の 1 光子に対する応答を仮定し、式 2.15 より算出した。ただし、 $G_{Al} = 10$ 、 $\Delta = 0.6\text{meV}$ を仮定した。この時、STJ 検出器のバイアス電圧 V_{STJ} は 50mV とした。STJ 検出器両端電圧は 0.495mV となり、信号電荷量は $\sim 14\text{fC}$ 、リーク電流値は 500pA となった。

この条件下で回路のバイアス電圧を変えながらシミュレーションを行い、その最適値を見積もった。

最適値でのシミュレーション結果を図 4.7 に示す。上から順に、信号電流源の電流値、その積分値 (信号電荷量)、STJ 検出器の下部端子電流 (信号電流+リーク電流)、STJ 検出器の両端電圧、増幅回路の出力電圧を表す。増幅回路のバイアス電圧は $VDD1 = 1.80\text{V}$ 、 $VSS1 = 0.00\text{V}$ 、 $V2 = 0.15\text{V}$ 、 $V3 = 1.20\text{V}$ 、 $VDD1 = 1.40\text{V}$ 、 $VSS1 = -0.40\text{V}$ 、 $V5 = 0.30\text{V}$ とした。この時、SOI-STJ4 の増幅回路は波長 1312nm の 1 光子に対して $\sim 7.5\text{mV}$ の出力が得られる設計となった。

I_signal:I_signal_integ:I_STJ_UNDER:V_UPPER-UNDER:AMPSTAGE_OUT:VOUT

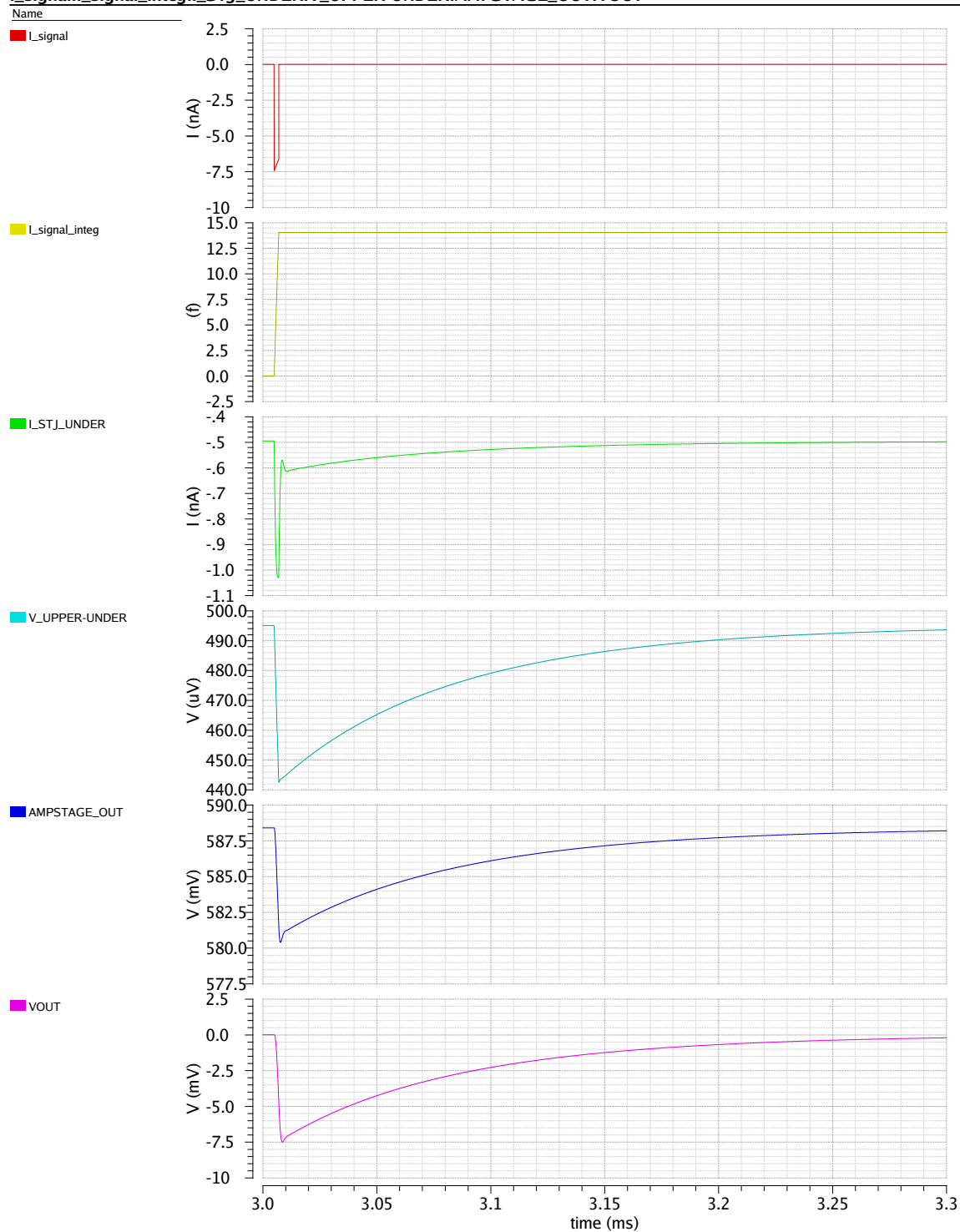


図 4.7: 光応答シミュレーション結果

第5章 極低温増幅器の性能評価

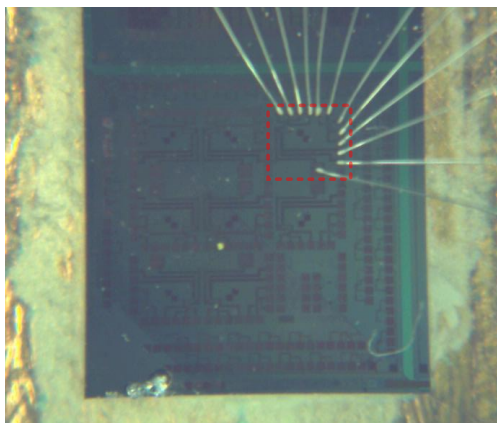
前章で設計した極低温増幅回路 (SOI-STJ4) について、基本的な性能評価を行った。まず、パターン B の回路を用いて、バッファ段、増幅段をそれぞれ単体で性能を測定した。その後、パターン A の回路を用い、増幅回路全体としての性能を測定した。

測定は室温と低温時に分けて行った。さらに室温時については、後述する測定ボックスに設置した場合 (以下、室温時) と、冷凍機のステージに配線した場合 (以下、冷凍機配線時) とで測定を行い、冷凍機配線容量による影響を見た。また、室温時の測定データは回路シミュレーションの結果との比較も行い、設計値からのずれも評価した。

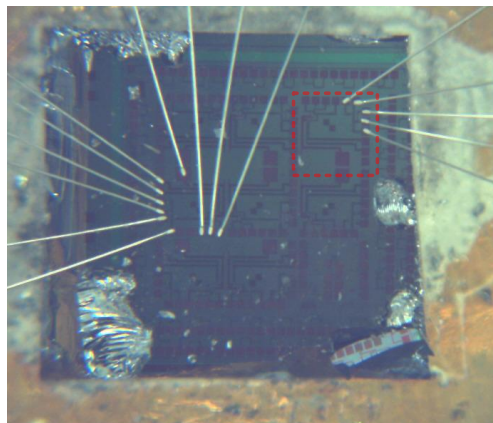
5.1 測定素子

測定に用いた素子を図 5.1 に示す。素子は 8 インチ径のウェハから数 mm 角に切り抜き、チップキャリアに貼り付けて用いる。チップキャリアには無酸素銅とガラスエポキシからなるプリント基板を用いる。素子背面への導電性を持たせるため、チップキャリアと素子は銀ペーストで接着する。素子表面の読み出しパッドからチップキャリアまでは、アルミワイヤのボンディングにより接続する。

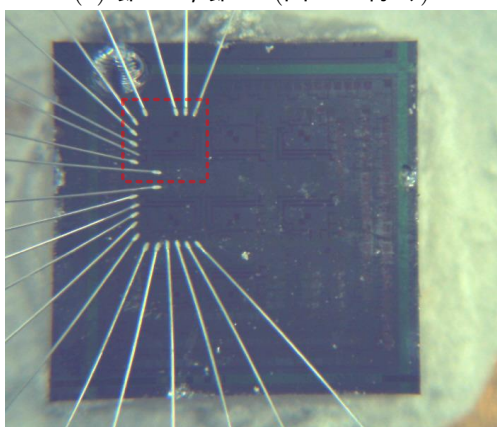
本章での測定に用いた素子は全部で 3 つであり、いずれも素子上に Nb/Al-STJ 検出器は形成されていない。節 5.3、節 5.4 の測定には図 5.1a の素子を用いた。ただし、プローブ用のバッファ段 (図 5.30) に関しては図 5.1b を別途用いた。節 5.5 の測定には図 5.1c に示す素子を用いた。



(a) 節 5.3, 節 5.4(図 5.30 除く)

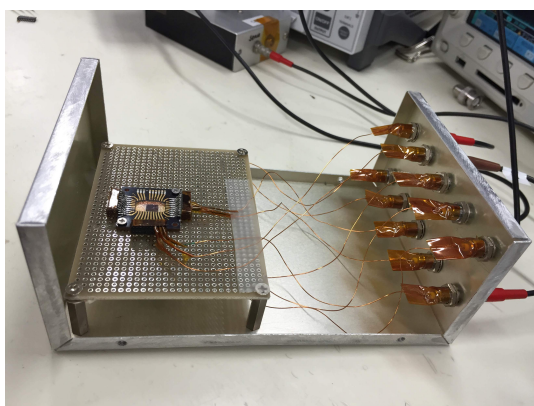


(b) 図 5.30

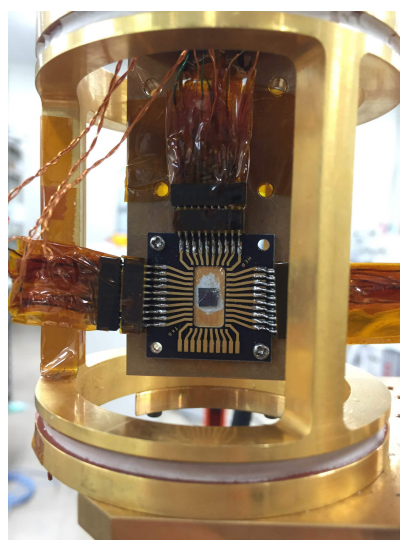


(c) 節 5.5

図 5.1: 測定に用いた素子



(a) 室温測定時



(b) 冷凍機配線時

図 5.2: 測定時の素子の様子

5.2 測定環境

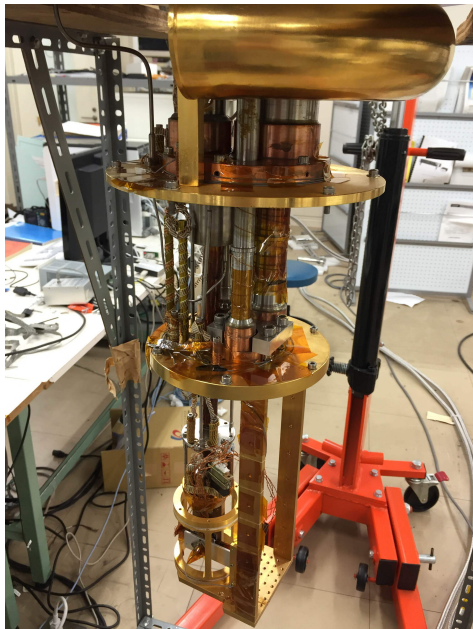
室温環境

室温時は図 5.2a に示すアルミ製シャーシに素子を設置して測定を行った。チップキャリアより外は 10cm 程度の銅線で接続する。シャーシより外へは LEMO ケーブルへ変換し、測定機器や電圧源等との接続を行う。

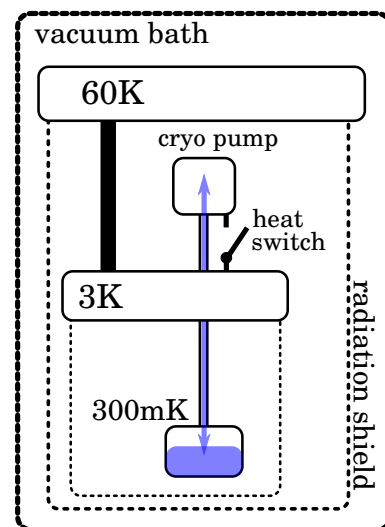
冷凍機環境

冷凍機配線時 (室温) 及び極低温下での測定時には、図 5.2b に示すように ^3He 減圧冷凍機の最低温ステージに素子を設置して測定を行った。

^3He 減圧冷凍機



(a) 概観



(b) 構造

図 5.3: ^3He 減圧冷凍機

素子の冷却には ^3He 減圧冷凍機を用いた。

^3He 減圧冷凍機は液化させた ^3He を減圧し強制的に蒸発させ、その蒸発熱で冷却を行う冷凍機である。 ^3He を減圧することで 300mK まで冷却出来ることができる。

本研究に使用している ^3He 減圧冷凍機は、Oxford Instruments 社 HelioxAC-V ^3He Refrigerator である。冷凍機概念図を 5.3b に示す。冷凍機は大きくパルス管冷凍部とクライオポンプによる冷却部に分けられる。

パルス管冷凍機はヘリウム液化、及びクライオポンプによる冷却に必要な温度 3K を提供する役割を持つ。パルス管冷凍機はスターリング冷凍機の一つで、スターリングサイクルを機械的に回すことで熱エネルギーを取り出し冷却を行う。パルス管冷凍機は冷却部に可動部品を持たず

摩擦熱による影響が少ないのが特徴である．機械的に冷却を行うため，液体ヘリウム等の冷媒を用いずに低温環境を実現できる．我々が使用する HelioxAC-V では CRYO MECH 社 PT407 が用いられている．2 段式となっており，60K ステージと 3K ステージを持つ．

クライオポンプは ^3He の減圧冷却を行う．クライオポンプは多孔質の物質から成り，10K 以下に冷却することで分子を吸着し減圧を行う．ポンプと 3K ステージはヒートスイッチを介して繋がっており，スイッチのオンオフによりポンプの冷却を行う．また，ポンプにはヒーターが備え付けられており，加熱することで吸着した分子の放出も可能である．

^3He 減圧冷却の手順を述べる．まず ^3He を最低温ポッドに送る．この時， ^3He は 3K ステージを通る過程で液化し，最低温ポッドに貯まる．その後，クライオポンプで ^3He を減圧することで最低温ポッドが冷却される．これにより，最低温ステージを 300mK 程度まで冷却することが可能である．

冷凍機の各ステージの冷却能力を表 5.1 にまとめる．

表 5.1: ^3He 減圧冷凍機の冷却能力

ステージ	最低到達温度 [K]	冷却能力 [W]
60K	60	25W @65K
3K	2.8	0.7W @4.2K
最低温	0.3	100 μ W @350mK

60K ステージ、3K ステージにはそれぞれ熱輻射シールドが設けられている．また、冷凍機全体は、断熱のため、真空バス中に置かれる．測定中はこのバスを接地し、測定系のグラウンドとして用いる．

配線

冷凍機の最低温ステージから冷凍機外までは、熱伝導を抑えるため、長いコンスタンタン線のツイストペアケーブルで繋がれる．この配線抵抗は 70 Ω 程度である．冷凍機より外は、室温時と同様、LEMO ケーブルで接続を行う．

5.3 バッファ段の性能評価

パターン B のバッファ段回路を用いて、バッファ段の基本性能の測定・評価を行った。

5.3.1 直流電圧特性

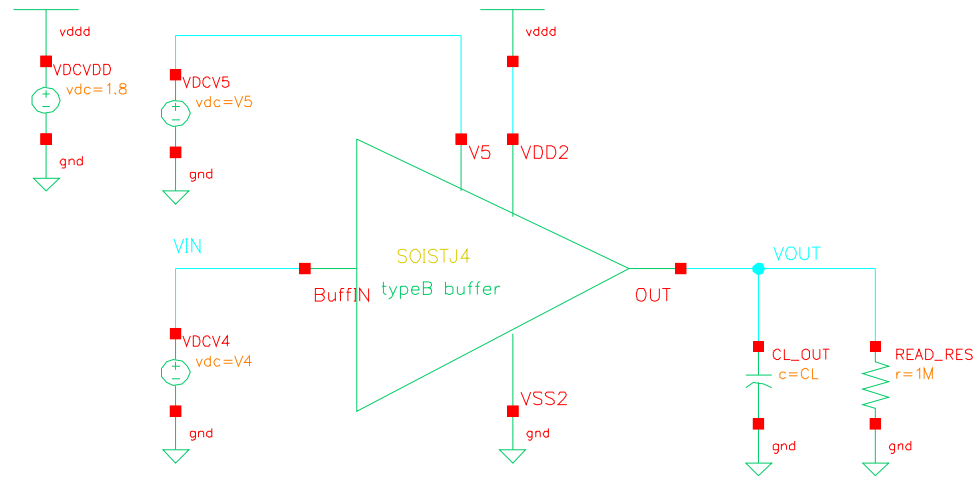


図 5.4: SOI-STJ4 パターン B バッファ段 直流電圧 測定回路

バッファ段の直流電圧に対する入出力特性を調べた。シミュレーション及び測定回路図を図 5.4 に示す。

入力端子 *BuffIN* に直流電圧 *V4* を印加・走査し、その時の出力端子 *VOUT* の電圧を測定した。その間、電流源負荷に用いている M5 のゲート電圧 *V5* はある値に固定した。これを *V5* の値を変え、各 *V5* ごとに繰り返し行った。ドレイン端子 *VDD2* には 1.80V を印加し固定、ソース端子 *VSS2* は接地 (0V) した。出力端子電圧はオシロスコープ (入力インピーダンス 1MΩ, DC 結合, 512 回平均) で読み取った。

室温時

室温時の測定結果を図 5.5 に示す。横軸が入力端子電圧 *V4*、縦軸が出力端子電圧を表し、*V5* ごとにプロットしてある。また、点は測定点、線はシミュレーション結果を表す。

これより、室温時、バッファ段の直流電圧特性はシミュレーション通りであり、設計値との差異はほぼ見られないことが確認できた。

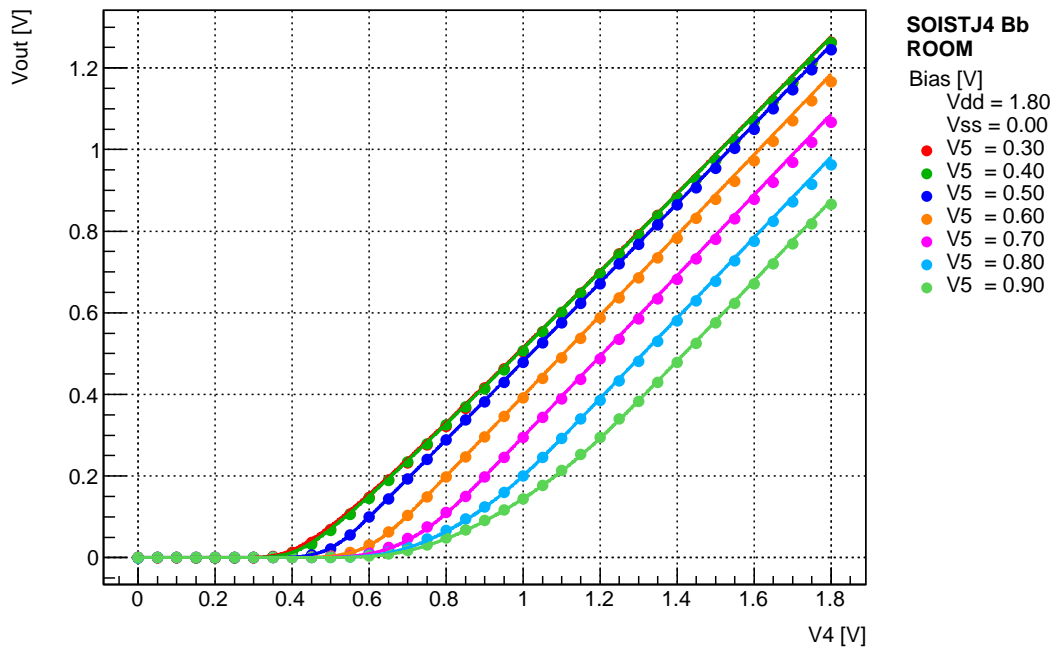


図 5.5: SOI-STJ4 B バッファ段 直流電圧特性 (室温時)

冷凍機配線時

冷凍機配線時の測定結果を図 5.6 に示す．横軸が入力端子電圧 V_4 ，縦軸が出力端子電圧を表し， V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．

V_5 の小さな領域では，室温時と同様，測定値とシミュレーションとの相違はほとんど見られない．しかし， V_5 の値が大きくなるにつれ測定値がシミュレーション値よりも大きくなり，その差は $V_5 = 0.90\text{V}$ の時で $\sim 40\text{mV}$ 程度となる．また，各 V_5 の値に対し， V_4 がある値以上となるとその差が一定となることも確認できる．

この時，回路を流れる電流は飽和し，その値は ~ 0.5 程度になる（次節 5.3.2 参照）．また，冷凍機配線の抵抗が $\sim 70\Omega$ であることを考慮すれば，この差異はちょうど配線抵抗による電圧降下分に相当する．このことから，測定で見られたシミュレーション値とのずれは冷凍機の配線抵抗による電圧変化の影響と考えられる．

しかしながら，その影響による電圧値の変化は数十 mV 程度であり，調整さえすれば動作上問題は無い．

極低温時

動作温度 3K での測定結果を図 5.7 に示す．横軸が入力端子電圧 V_4 ，縦軸が出力端子電圧を表し， V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．

室温時の直流電圧特性に比べ， M_4 がオンとなる入力電圧値が $V_4 = 0.60\text{V}$ と高電位へ推移し，立ち上がりも急峻になることが見て取れる．これは，低温下で FD-SOI-MOSFET の閾値電圧が上昇し，電流の立ち上がりも急峻になるためと考えられる．

以上のことから，3K 下でバッファ段を動作させる場合，入力の直流電圧値は少なくとも 0.70V 以上と室温時よりも高くする必要があると分かった．

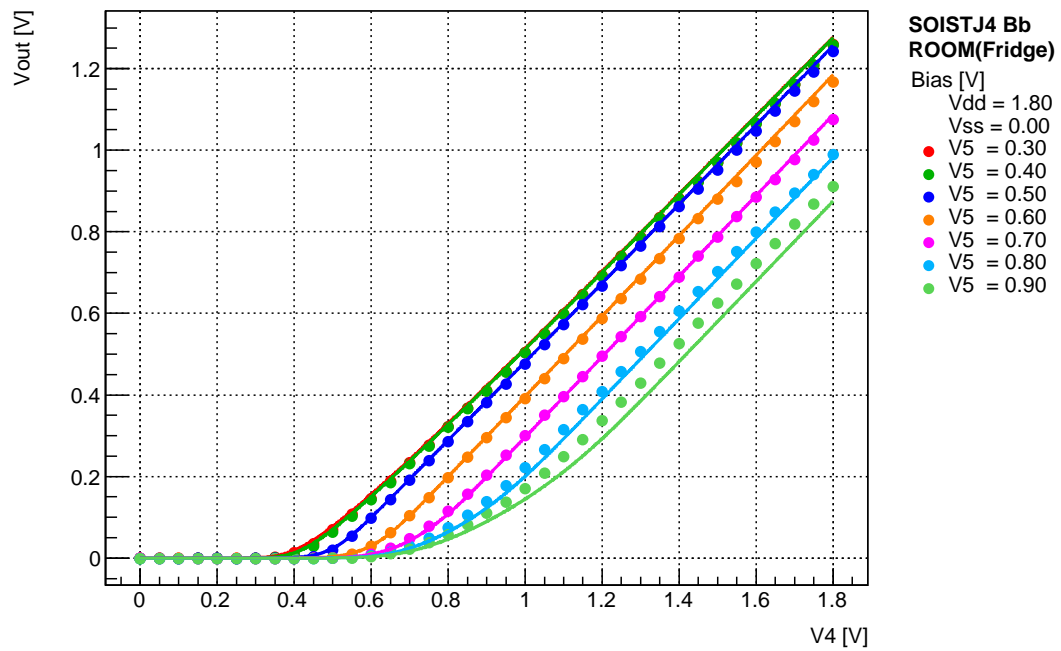


図 5.6: SOI-STJ4 B バッファ段 直流電圧特性 (冷凍機配線時)

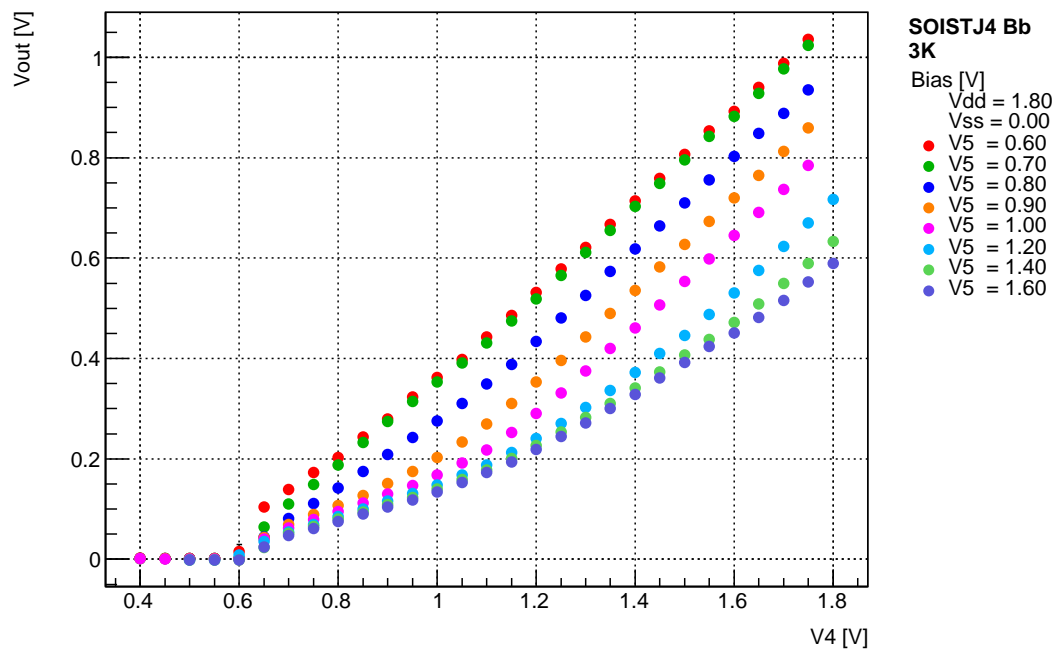


図 5.7: SOI-STJ4 パターン B バッファ段 直流電圧特性 (3K)

5.3.2 消費電力

前章で述べたように冷凍機の冷却能力には限界があり，回路の消費電力には制限がかかる．そこで，各バイアス電圧印加時に各端子を流れる電流値を測定し，消費電力を算出した．電流値は先述の直流電圧特性測定（前節 5.3.1）時に取得した．

消費電力は端子間を流れる電流値とその間の電圧差との積で算出した．バッファ段において電流が流れるのは，主にドレイン端子 V_{DD2} からソース端子 V_{SS2} までの 1 経路のみである．したがって，ドレイン端子の電流値 $I_{V_{DD2}}$ とドレイン端子-ソース端子間電圧 1.80V の積をバッファ段の消費電力とした．他の端子を流れる電流は高々 pA のオーダーであるため考慮しない．

室温時

室温時の測定結果を図 5.8 に示す．縦軸が消費電力，横軸が入力端子電圧 V_4 を表し，バイアス電圧 V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．

測定値とシミュレーション値はおおよそ一致していることが見て取れる．また，室温時の測定結果ではあるが， $V_5 \leq 0.60\text{V}$ では最低温の最低温ステージの冷却能力 $100\mu\text{W}$ を下回る設計となっていることが確認できた． $V_5 \geq 0.60\text{V}$ では $100\mu\text{W}$ は上回るものの 3K ステージ（冷却能力 0.25W ）での使用上は問題ないと分かった．

冷凍機配線時

冷凍機配線時の測定結果を図 5.9 に示す．縦軸が消費電力，横軸が入力端子電圧 V_4 を表し，バイアス電圧 V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．

室温時の結果とほぼ一致し，シミュレーションとの相違もほぼ見られない．したがって，冷凍機内に設置したことによる影響はないものと考えられる．

極低温時

動作温度 3K 時の測定結果を図 5.10 に示す．縦軸が消費電力，横軸が入力端子電圧 V_4 を表し，バイアス電圧 V_5 ごとにプロットしてある．

以上の結果より，室温時の結果と同様に，消費電力は主に電流源負荷のバイアス V_5 で決まることが見て取れる．さらに，低温下による極端なドレイン電流の増加は見受けられず，バイアス電圧を調整すれば室温時と同程度の消費電力で動作することが分かる．

また，冷凍機の冷却能力を鑑みると，350mK 以下で動作させたい場合（冷却能力： $100\mu\text{W}$ ），バイアス電圧 V_5 は 0.80V 程度以下に設定する必要があると分かる．一方で 3K ステージで動作させる場合（冷却能力： $\sim 0.25\text{W}$ ）は，測定したいずれのバイアス条件でも問題がないことも分かった．

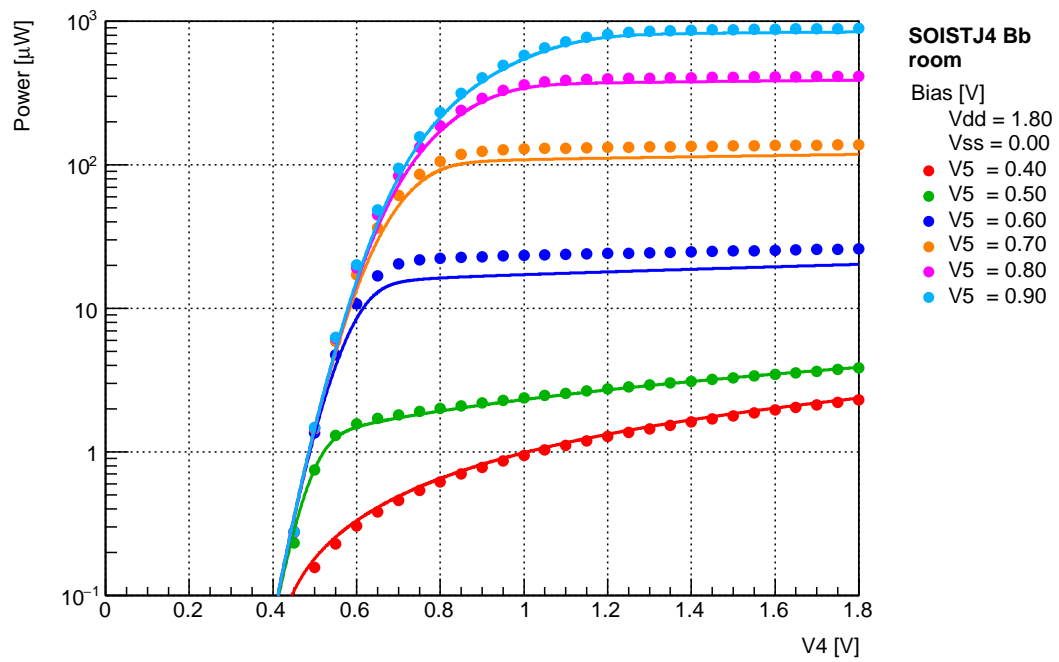


図 5.8: SOI-STJ4 B バッファ段 消費電力 (室温時)

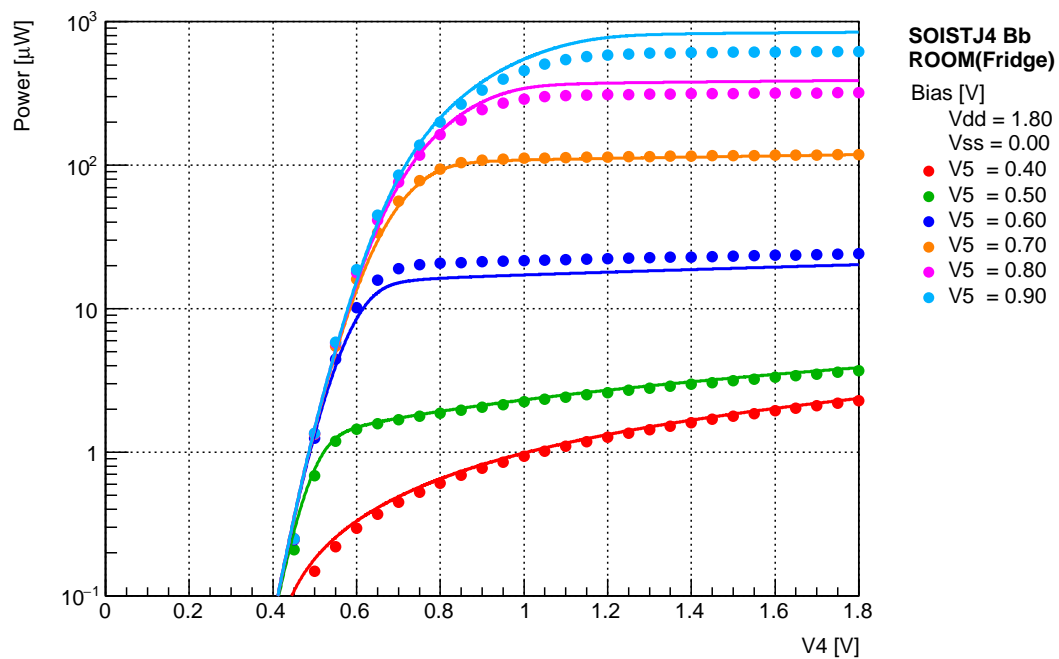


図 5.9: SOI-STJ4 B バッファ段 消費電力 (冷凍機配線時)

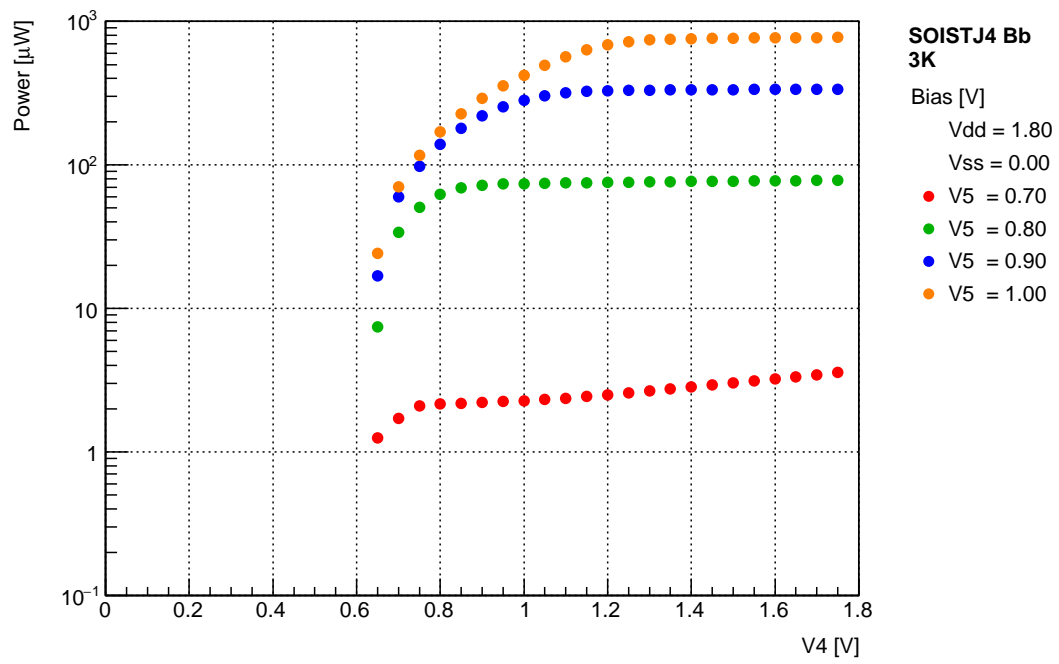


図 5.10: SOI-STJ4 B バッファ段 消費電力 (3K)

5.3.3 周波数特性

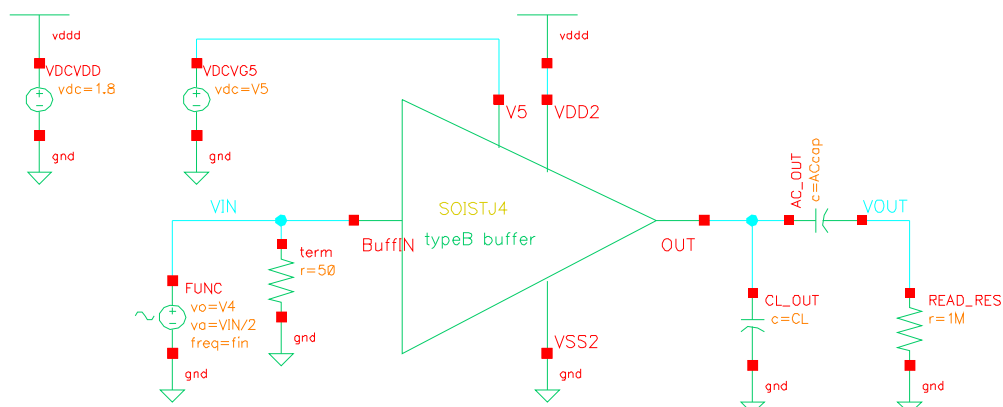


図 5.11: SOI-STJ4 B バッファ段 周波数特性 測定回路

増幅回路全体の利得の周波数特性は主にバッファ段で決定される．そこで，入力信号の周波数に対するバッファ段の応答を調べた．シミュレーション及び測定回路図を図 5.11 に示す．

入力端子 *BuffIN* にファンクションジェネレータで生成した正弦波を入力し，その周波数を走査しながら出力波形を測定した．入力正弦波は，振幅が peak to peak で 10mV であり，オフセット電圧 V_4 を持つ．入出力波形はオシロスコープ (入力インピーダンス $1\text{M}\Omega$ ，AC 結合，512 回平均) で読み取り，それぞれの peak to peak の値を取得した．利得は出力波形の peak to peak 値を入力波形の peak to peak 値で割ることで算出した．

この測定を入力の直流電圧 V_4 とバイアス電圧 V_5 を変え行った．ドレイン端子 V_{DD2} には 1.80V を印加し固定，ソース端子 V_{SS2} は接地 (0V) した．

室温時

室温時の測定結果を図 5.12，5.13 に示す．

図 5.12 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 100Hz，バイアス電圧 $V_4 = 0.60\text{V}$ ， $V_5 = 0.50\text{V}$ の時の波形で，512 回平均を取ってある．

図 5.13 は利得の周波数特性を表す．横軸が入力信号の周波数，縦軸が利得を表し， V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．シミュレーションは入出力の負荷容量を 30pF と仮定して AC 解析を行った．

図 5.13 は $V_4 = 0.60\text{V}$ のときの結果である．これより， $V_5 = 0.40\text{V}$ を除き，おおよそ測定値とシミュレーション値は一致していることが見て取れる．この時， $V_5 = 0.50\text{V}$ で性能は最大となり，利得 ~ 0.9 で 10kHz まで 30pF 程度の負荷容量下でも動作出来ることが分かった．

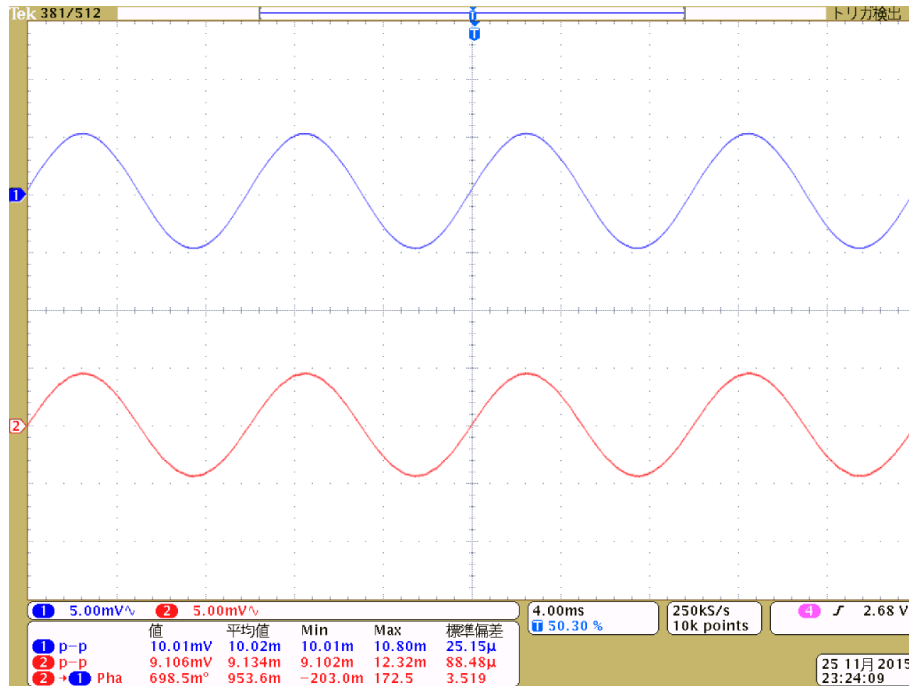


図 5.12: SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (室温時, $f_{in} = 100\text{Hz}$, $V_4 = 0.60\text{V}$, $V_5 = 0.50\text{V}$)

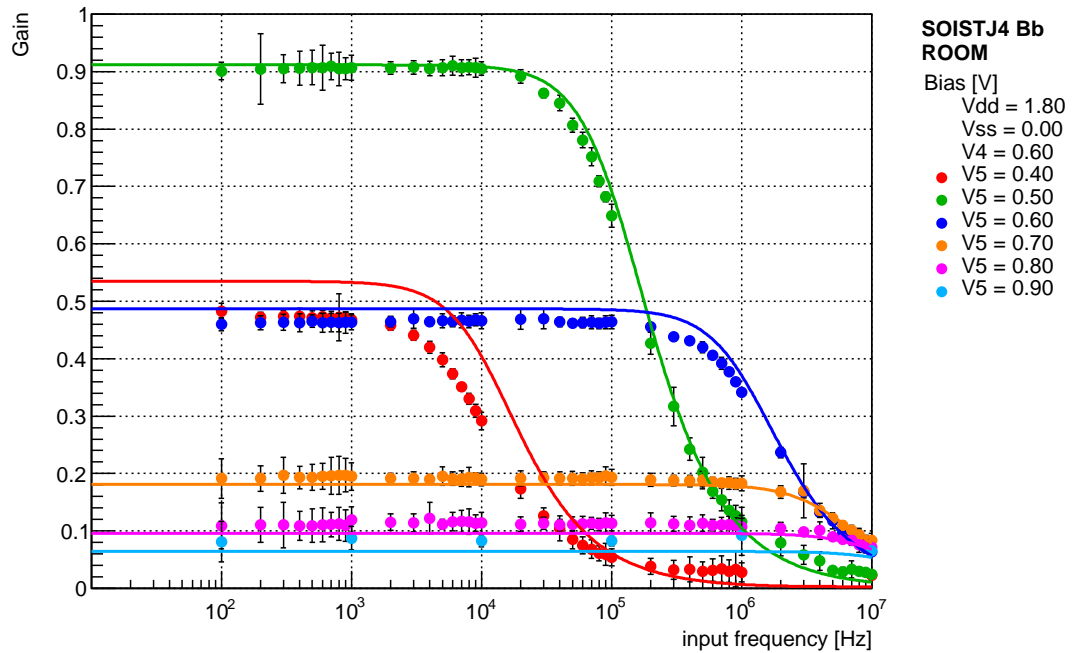


図 5.13: SOI-STJ4 B バッファ段 周波数特性 (室温時, $V_4 = 0.60\text{V}$)

冷凍機配線時

冷凍機配線時の測定結果を図 5.14 から図 5.17 に示す．

図 5.14 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 100Hz，バイアス電圧 $V_4 = 0.60\text{V}$ ， $V_5 = 0.50\text{V}$ の時の波形で，512 回平均を取ってある．

図 5.15 から図 5.17 は利得の周波数特性を表す．横軸が入力信号の周波数，縦軸が利得を表し， V_5 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．シミュレーションは出入力の負荷容量を 500pF と仮定して AC 解析を行った．

図 5.15 は $V_4 = 0.60\text{V}$ の時の結果である．これは，室温時の結果 (5.13) と同じバイアス条件であるが，冷凍機の負荷容量分，周波数特性が悪化していることが分かる．また，室温時と同様，概ね測定値とシミュレーション値は一致する．

図 5.16，図 5.17 はそれぞれ， $V_4 = 0.60\text{V}$ ， 1.00V の時の結果である．この時，周波数特性は室温時と同様か，それ以上までに回復することが分かる．また， $V_4 = 0.80\text{V}$ の時は，測定値とシミュレーション値は概ね一致するが， $V_4 = 1.00\text{V}$ の時，差異は大きくなる．

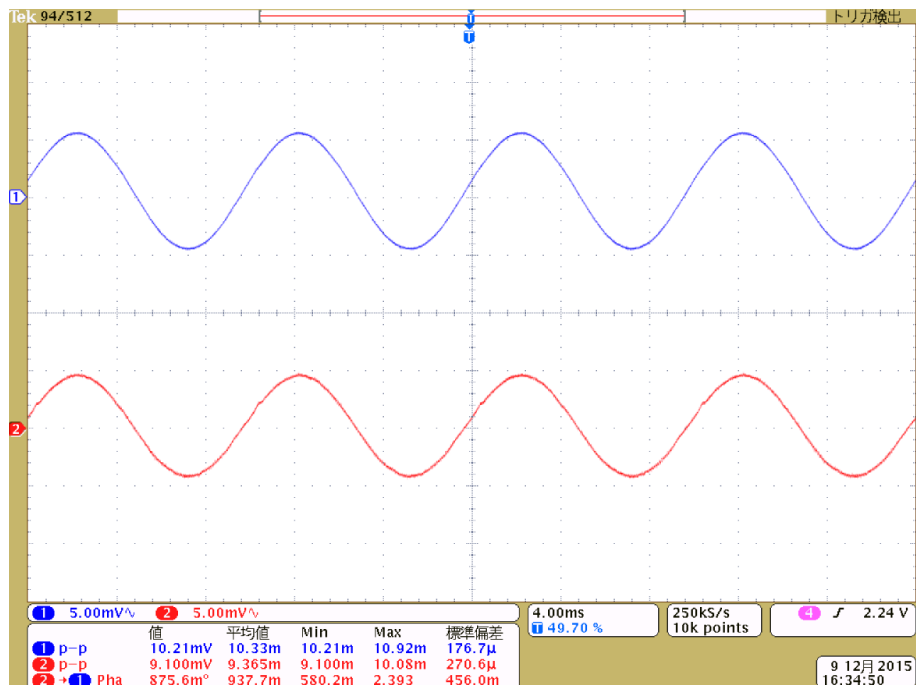


図 5.14: SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_4 = 0.60\text{V}$, $V_5 = 0.50\text{V}$)

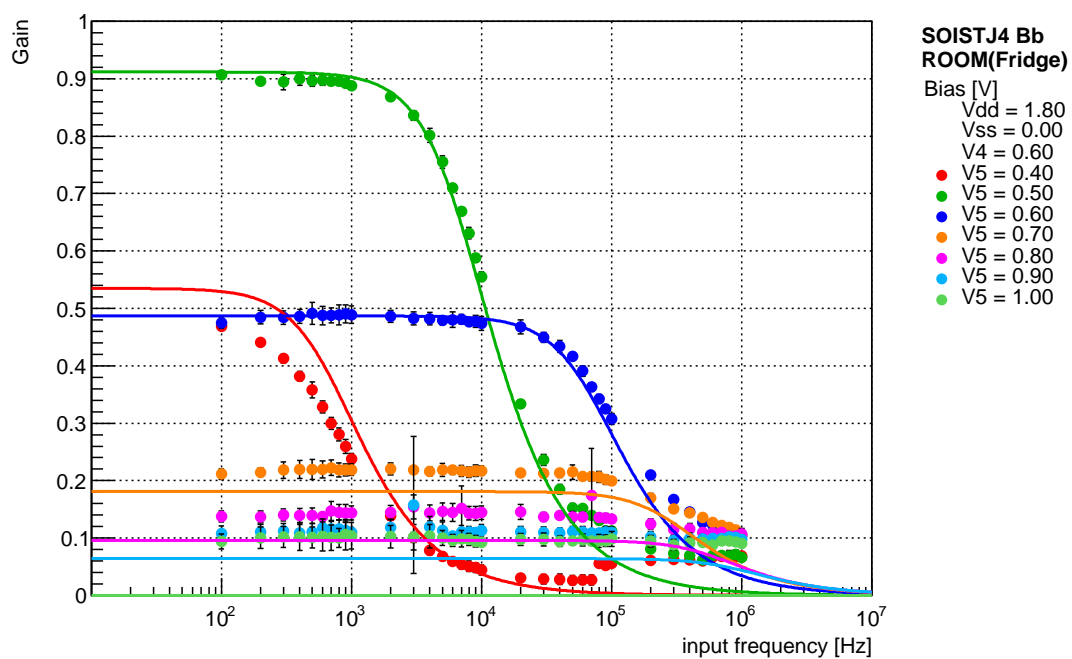


図 5.15: SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 0.60$ V)

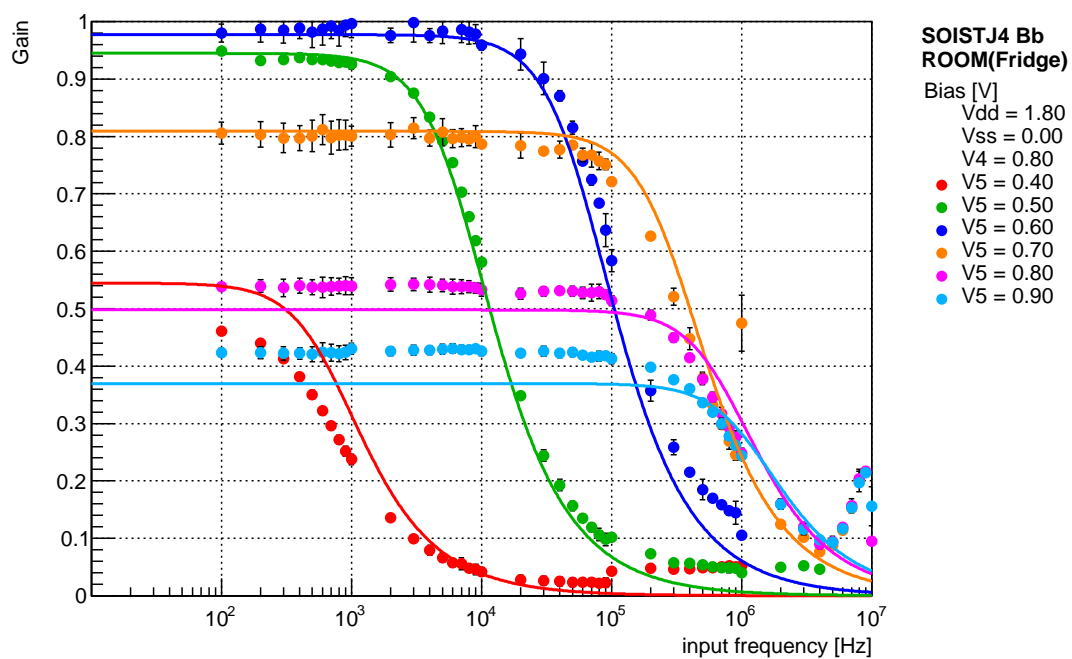


図 5.16: SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 0.80$ V)

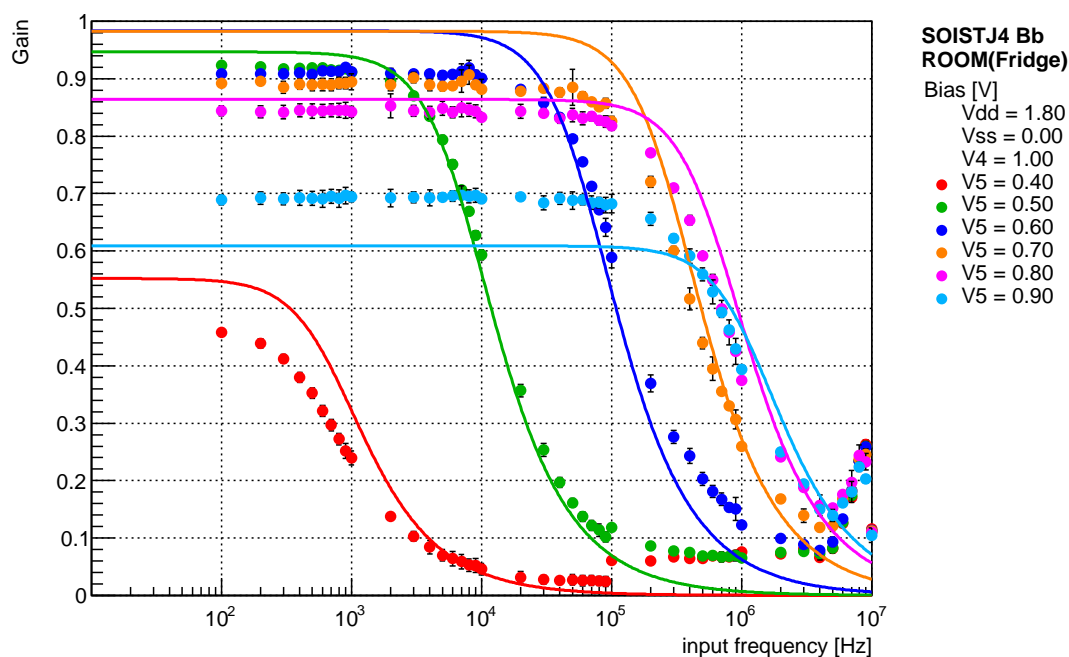


図 5.17: SOI-STJ4 B バッファ段 周波数特性 (冷凍機配線時, $V_4 = 1.00\text{V}$)

極低温時

動作温度 3K 時の測定結果を図 5.18 から図 5.23 に示す。

図 5.18 は入力波形 (青) と出力波形 (赤) である。図は入力周波数 100Hz, バイアス電圧 $V_4 = 1.40\text{V}$, $V_5 = 1.00\text{V}$ の時の波形で, 512 回平均を取ってある。

図 5.19 から図 5.23 は利得の周波数特性を表す。横軸が入力信号の周波数, 縦軸が利得を表し, V_5 ごとにプロットしてある。

図 5.19 は $V_4 = 0.70\text{V}$ での結果である。この時, いずれのバイアス電圧でも利得は小さい。消費電力の測定 (図 5.10) から分かるように, MOSFET は飽和領域で動作していない。したがって, 使用には不適切である。

図 5.20 は $V_4 = 1.00\text{V}$ での結果である。 $V_5 = 0.90\text{V}$ の時, 利得 0.88 で 50kHz 程度まで動作可能であることが分かる。しかし, この時も $V_5 \geq 0.90\text{V}$ では MOSFET は飽和領域で動作していない。また, 周波数特性に構造が見えるため, やはり使用には不適切と思われる。

図 5.21, 図 5.22, 図 5.23 はそれぞれ, $V_4 = 1.20\text{V}$, 1.40V , 1.60V での結果である。 $V_4 \geq 1.40\text{V}$ となると V_4 による特性の変化はほとんど見られなくなり, V_5 による利得の変化も小さくなる。 $V_4 \geq 1.40\text{V}$ では, $V_5 = 0.70\text{V}$ で 5kHz 程度, $V_5 = 0.80\text{V}$ で 50kHz 程度, $V_5 = 1.00$ では 100kHz 程度まで動作可能で, 各バイアス条件での利得にほとんど差はなく 0.88 倍ほどである。また, $V_5 \geq 1.00\text{V}$ としても, それ以上の高周波数への応答は見込めない。

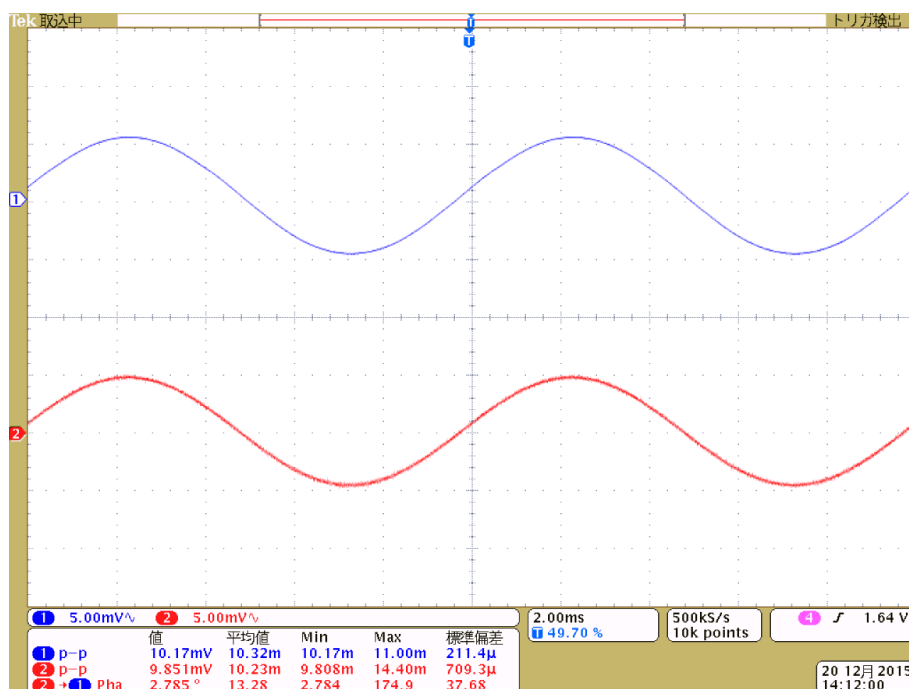


図 5.18: SOI-STJ4 B バッファ段 入力信号 (青) と出力信号 (赤) (3K, $f_{in} = 100\text{Hz}$, $V_4 = 1.40\text{V}$, $V_5 = 1.00\text{V}$)

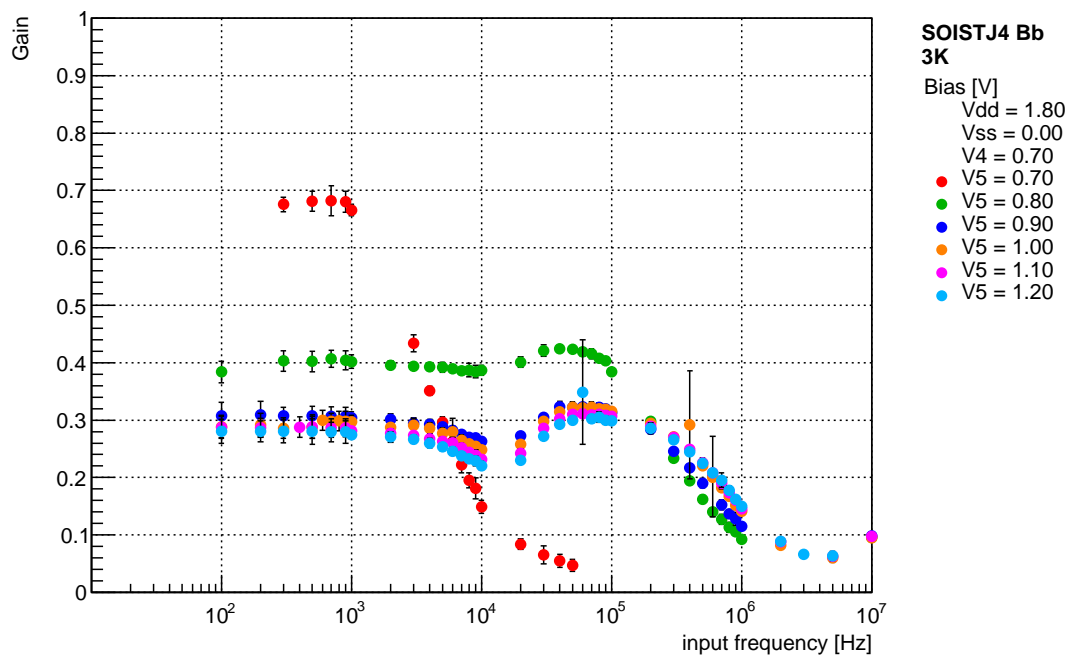


図 5.19: SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 0.70\text{V}$)

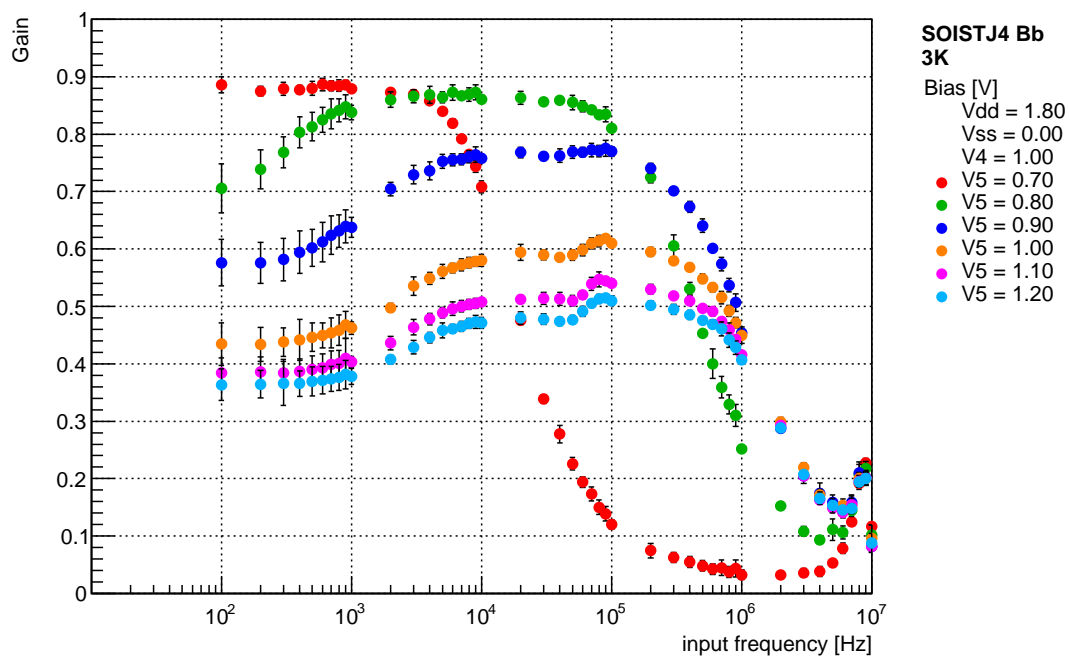


図 5.20: SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.00\text{V}$)

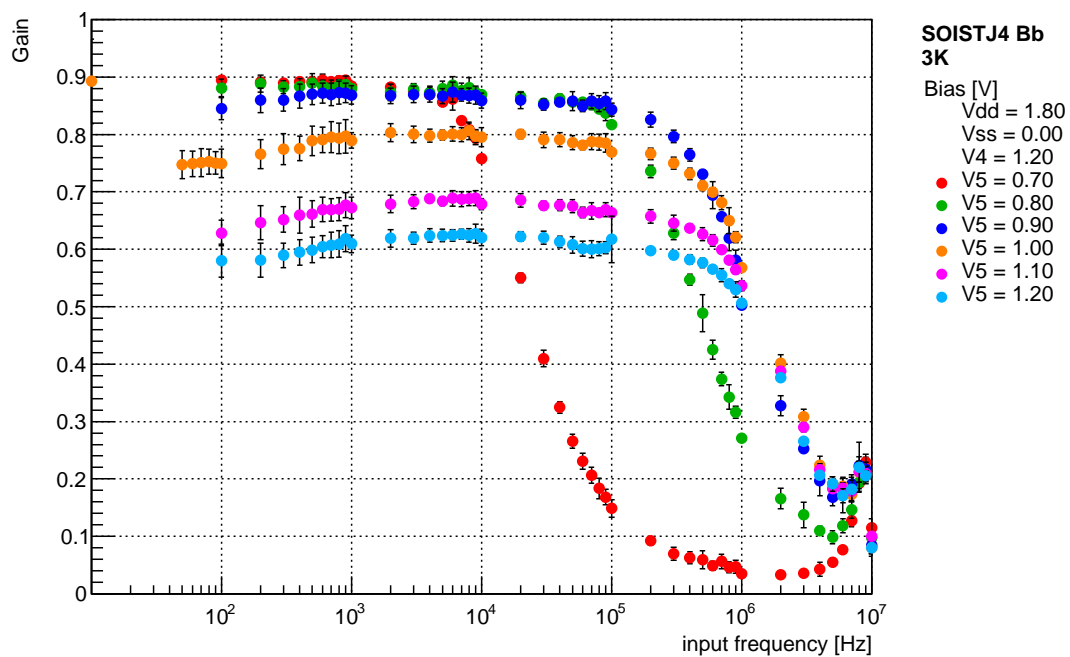


図 5.21: SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.20\text{V}$)

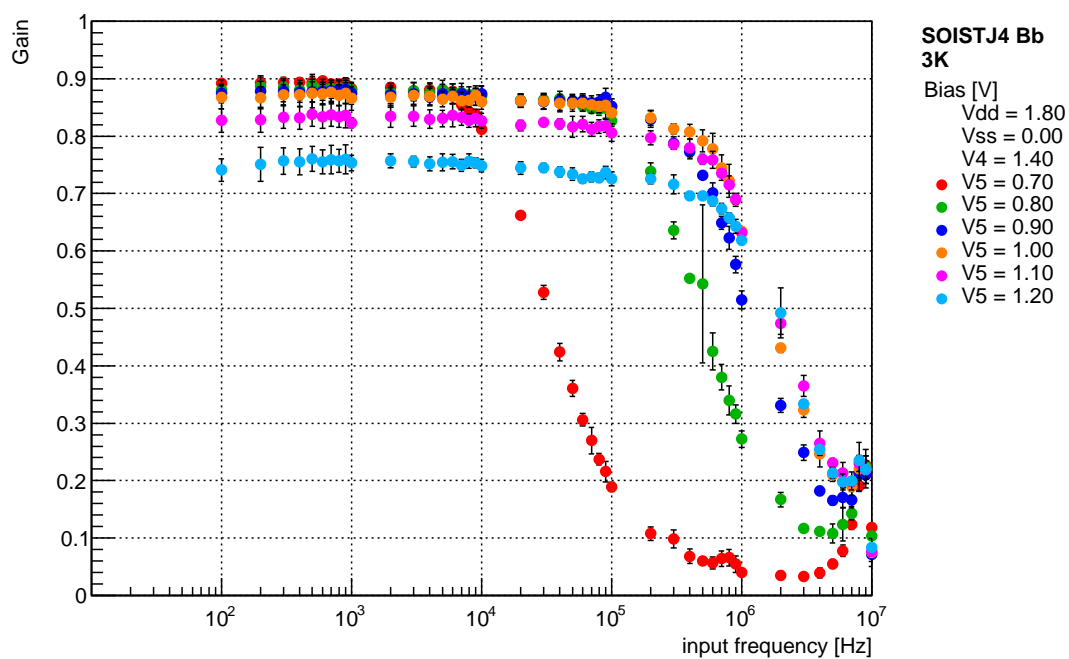


図 5.22: SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.40\text{V}$)

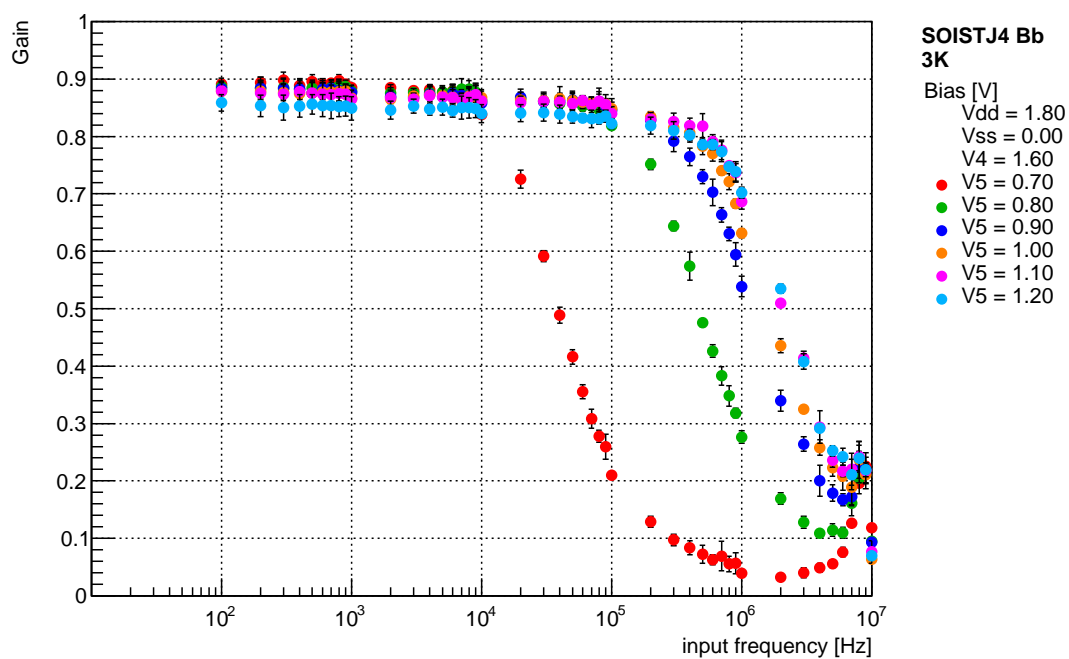


図 5.23: SOI-STJ4 B バッファ段 周波数特性 (3K, $V_4 = 1.60\text{V}$)

5.4 増幅段の性能評価

パターン B の増幅段回路を用いて，増幅段単体の基本性能の測定・評価を行った．

5.4.1 入出力端子の待機電圧

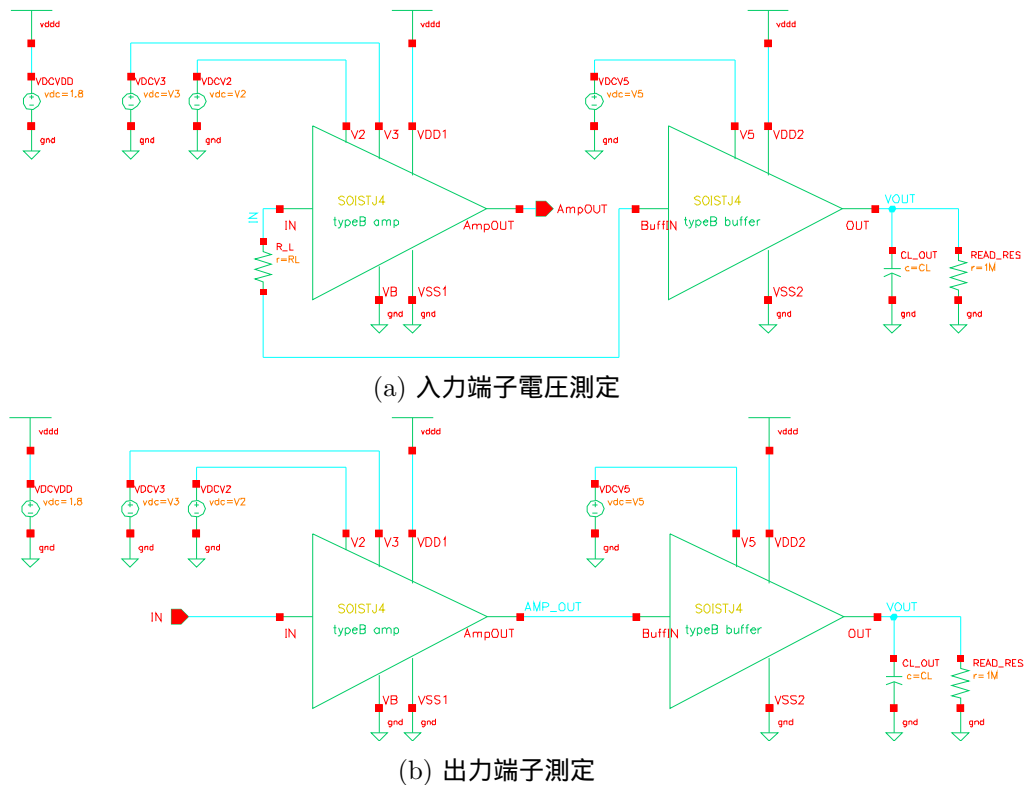


図 5.24: SOI-STJ4 B 増幅段 入出力端子電圧 測定回路

増幅段出力端子の電圧は，そのままバッファ段入力の電圧となるため，回路の周波数特性に大きく関与する．そこで，各バイアス電圧印加時の増幅段入出力端子の直流電圧値を調べた．

ただし，バッファ段の直流電圧に対する入力インピーダンスは $G\Omega$ オーダーと非常に高い．対して，オシロスコープ等の入力インピーダンスは高々 $10M\Omega$ であり，直接アンプ段出力電圧を測定してもバッファ段接続時と同じ値は得られない．そこで，バッファ段を高インピーダンスの”プローブ”として用いる．

シミュレーション及び測定回路を図 5.24a，5.24b に示す．順に，増幅段の入力端子電圧，出力端子電圧の測定回路である．増幅段の被測定端子をバッファ段入力に繋ぎ，バッファ段の出力を測定する．バッファ段の直流電圧特性は節 5.3.1 での測定で既に分かっているため，測定結果を直流電圧特性から換算し増幅段の被測定端子電圧を推定する．バッファ段の直流電圧特性は測定点を 3 次のスプライン曲線でフィッティングしたものを用いた．

増幅段のバイアス電圧 $V2$ ， $V3$ は走査し，各値でのバッファ段出力電圧を測定した．ドレイン端子 $VDD1$ には $1.80V$ を印加し固定，ソース端子 $VSS1$ ，及び $M3$ ボディ端子 VB は接地 ($0V$) した．バッファ段のバイアス電圧もある値に固定した．出力電圧はオシロスコープ (入力インピーダンス $1M\Omega$ ，DC 結合，512 回平均) で読み取った．

室温時

室温時の測定結果を図 5.26 から図 5.29 に示す。

図 5.26，図 5.27 はバッファ段出力の測定結果である。順に，被測定端子が入力端子，出力端子のものである。縦軸がバッファ段出力，横軸が増幅段バイアス電圧 V_2 で，同じく増幅段のバイアス電圧 V_3 ごとにプロットしてある。点が測定点，線がシミュレーション値を表す。後段に接続したバッファ段はバイアス電圧 $V_{DD2} = 1.80V$ ， $V_{SS2} = GND(0V)$ ， $V_5 = 0.50V$ で駆動させた。

図 5.25 は後段に接続したバッファ段の直流電圧特性である。点が測定点，黒線がシミュレーション値，青線がフィッティング曲線を表す。このフィッティング曲線を用いて図 5.26，図 5.27 のバッファ段出力電圧を増幅段入出力端子の電圧に変換した。その結果を図 5.28，図 5.29 に示す。順に，被測定端子が入力端子，出力端子のものである。縦軸が被測定端子電圧，横軸が増幅段バイアス電圧 V_2 で，同じく増幅段のバイアス電圧 V_3 ごとにプロットしてある。点が測定点，線がシミュレーション値を表す。ただし， $V_4 \leq 0.40V$ に相当する領域では，バッファの出力電圧がゼロとなり，この変換は意味をなさない。ゆえに，この領域の変換値は以下の議論の範疇に含めないこととする。

$V_3 \geq 1.10V$ では，シミュレーションと同様， V_3 による入出力端子電圧の変化はほとんど見られず，測定値もシミュレーションとほぼ一致する。しかし， V_3 が小さくなるほど，端子電圧は不安定となり，平衡状態へ落ち着くまでの時間が長くなる。 $V_3 \leq 1.00V$ では，その緩和時間が極端に長くなり，端子電圧はシミュレーション値から大きく外れる。これは， V_3 が小さくなり M_3 の抵抗値が極端に大きくなるためと考えられる。

以上のことから， $V_3 \leq 1.00V$ のバイアス条件は動作に不適切であると言える。

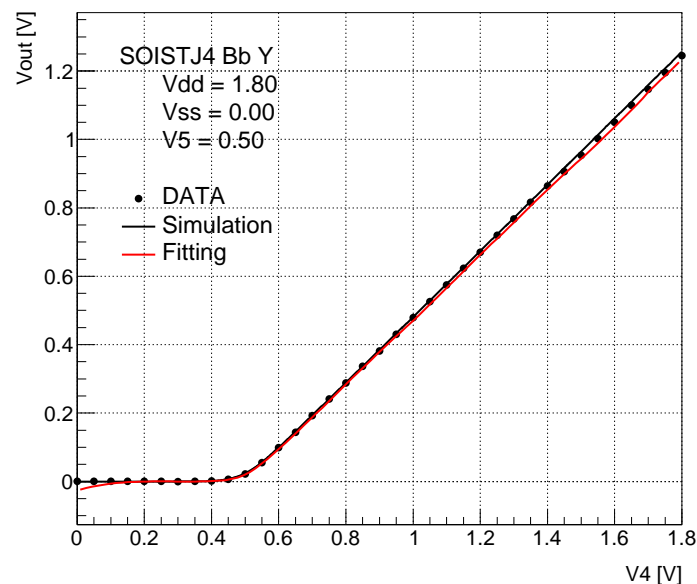


図 5.25: SOI-STJ4 B 増幅段 入力端子電圧測定 プローブ用バッファ段 直流電圧特性

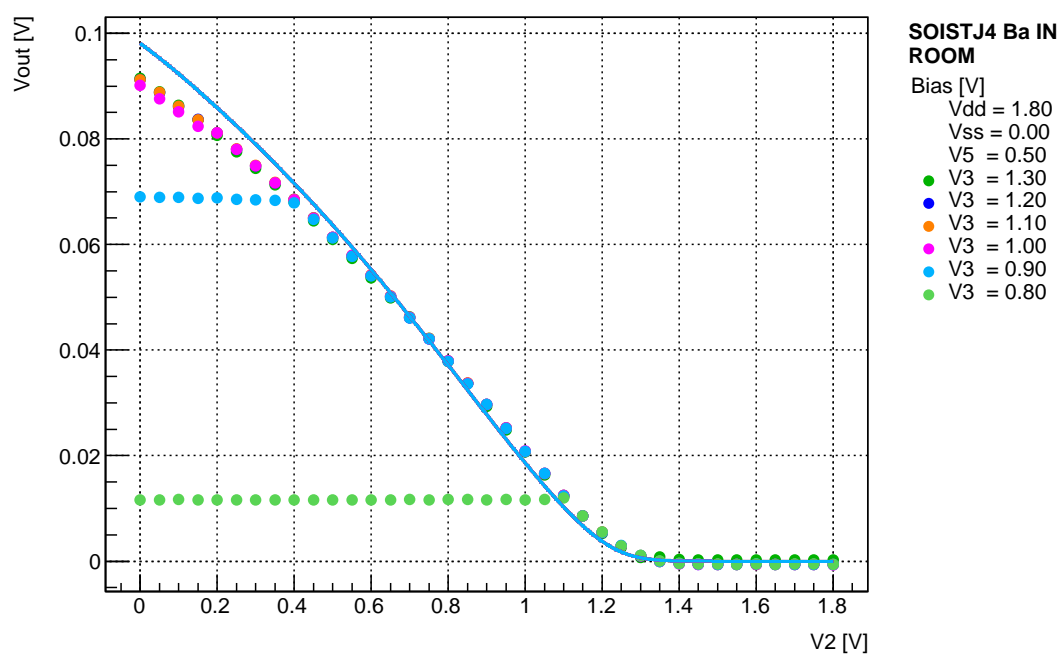


図 5.26: SOI-STJ4 B 増幅段 入力端子電圧測定 バッファ段出力 (室温)

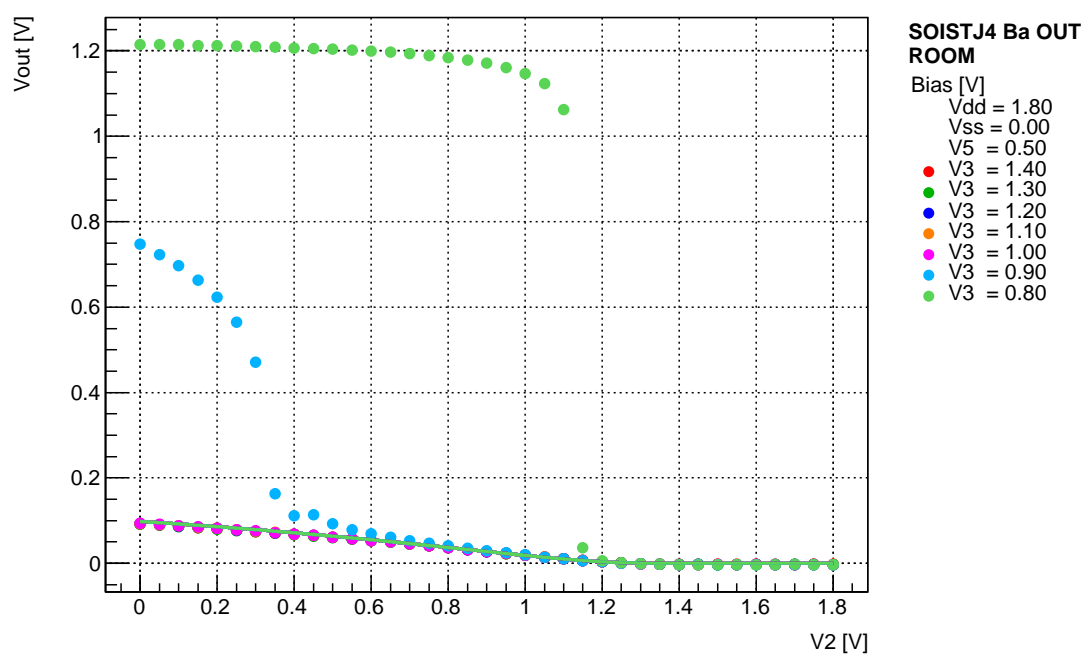


図 5.27: SOI-STJ4 B 増幅段 出力端子電圧測定 バッファ段出力 (室温)

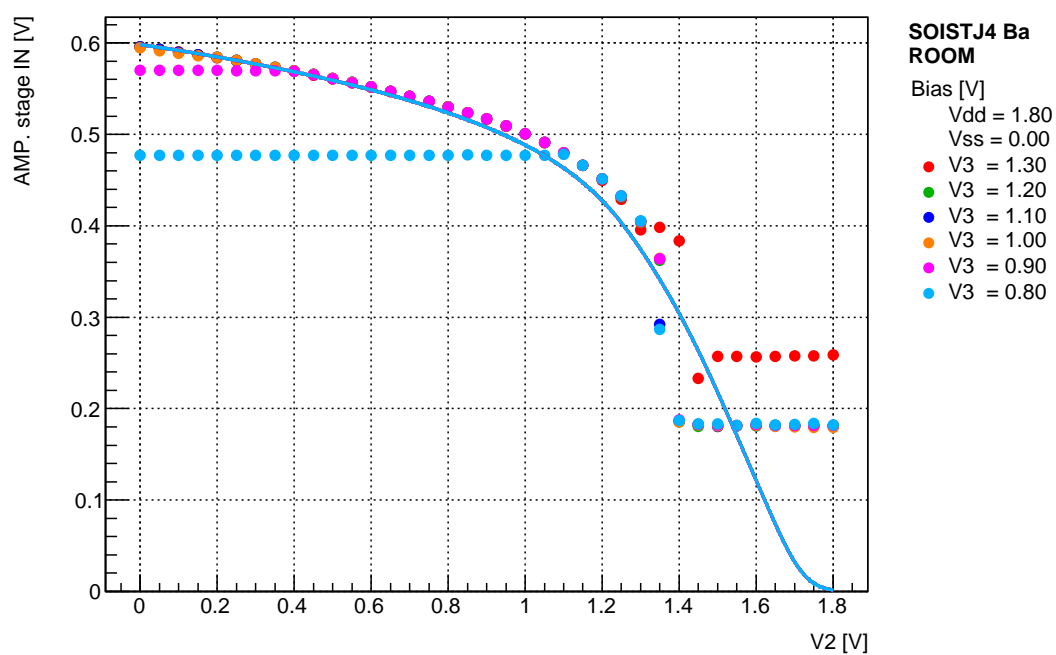


図 5.28: SOI-STJ4 B 増幅段 入力端子電圧 (室温)

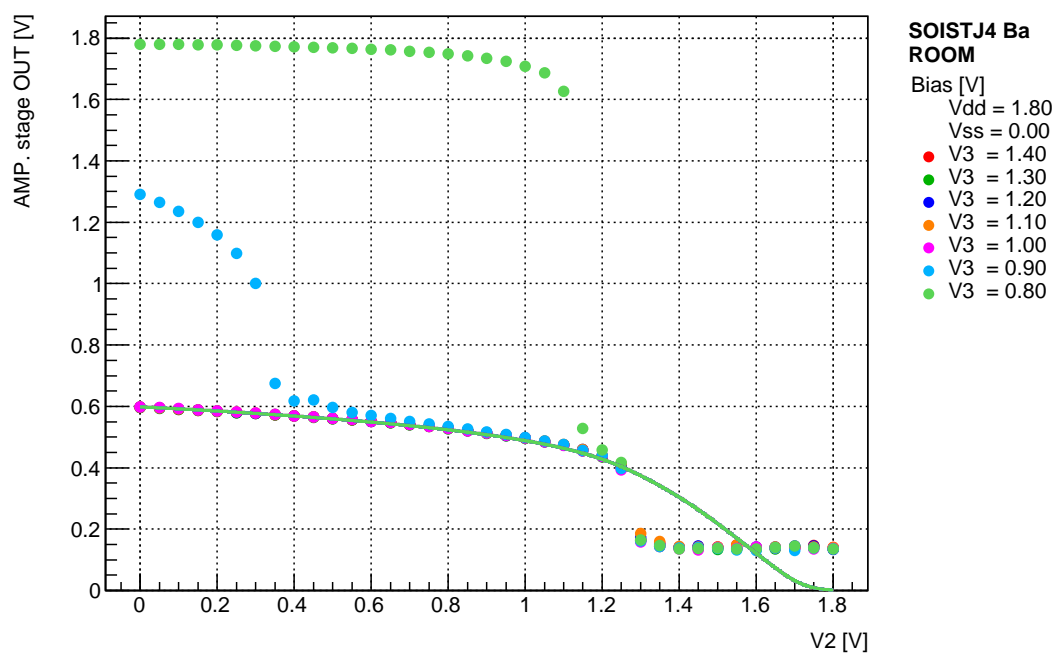


図 5.29: SOI-STJ4 B 増幅段 出力端子電圧 (室温)

極低温時

冷凍機配線時の測定結果を図 5.31 から図 5.34 に示す .

図 5.31，図 5.32 はバッファ段出力の測定結果である．順に，被測定端子が入力端子，出力端子のものである．縦軸がバッファ段出力，横軸が増幅段バイアス電圧 V_2 で，同じく増幅段のバイアス電圧 V_3 ごとにプロットしてある．点が測定点，線がシミュレーション値を表す．後段に接続したバッファ段は冷凍機外のアルミ製測定ボックスに設置し，バイアス電圧 $V_{DD2} = 1.80V$ ， $V_{SS2} = GND(0V)$ ， $V_5 = 0.5V$ で駆動させた．ただし， $V_4 \leq 0.40V$ に相当する領域では，バッファの出力電圧がゼロとなり，この変換は意味をなさない．ゆえに，この領域の変換値は以下の議論の範疇に含めないこととする．

図 5.30 は後段に接続したバッファ段の直流電圧特性である．これは，室温時に用いた素子とは異なるものを用いた．点が測定点，黒線がシミュレーション値，青線がフィッティング曲線を表す．このフィッティング曲線を用いて図 5.31，図 5.32 のバッファ段出力電圧を増幅段入出力端子の電圧に変換した．その結果を図 5.33，図 5.34 に示す．順に，被測定端子が入力端子，出力端子のものである．縦軸が被測定端子電圧，横軸が増幅段バイアス電圧 V_2 で，同じく増幅段のバイアス電圧 V_3 ごとにプロットしてある．点が測定点，線がシミュレーション値を表す．

室温時と同様， $V_3 \geq 1.55V$ では V_3 による入出力端子電圧の変化はほとんど見られず， $V_3 \leq 1.40V$ では動作が不安定となる．ただし，室温時に比べ，電圧値は全体的に $0.20V$ 程度上昇し，安定な動作に必要なバイアス電圧 V_3 も大きくなった．

以上より，3K で増幅段を駆動させる場合，バイアス電圧は $V_3 \geq 1.50V$ に設定する必要があると分かった．

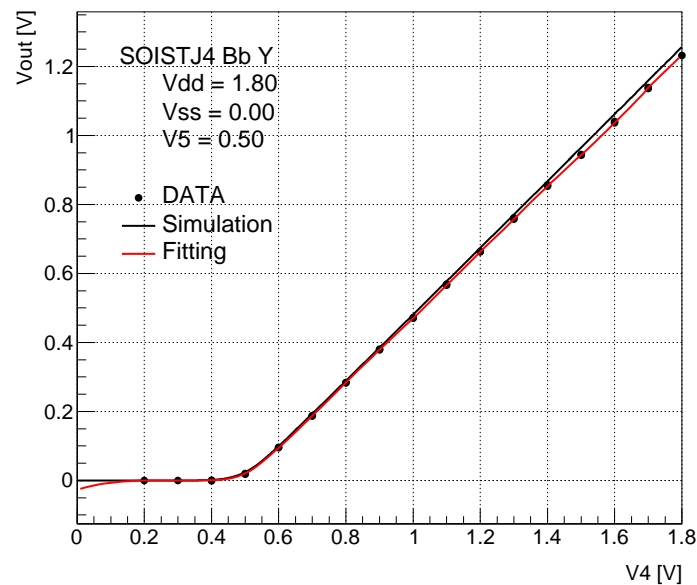


図 5.30: SOI-STJ4 B 増幅段 入力端子電圧測定 プローブ用バッファ段 直流電圧特性

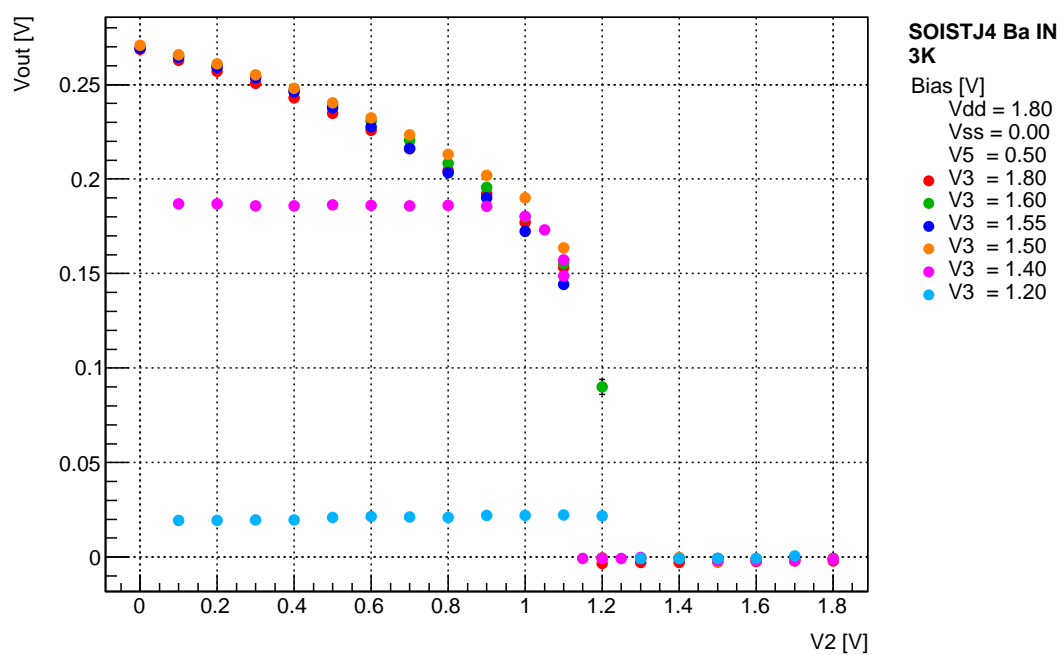


図 5.31: SOI-STJ4 B 増幅段 入力端子電圧測定 バッファ段出力 (3K)

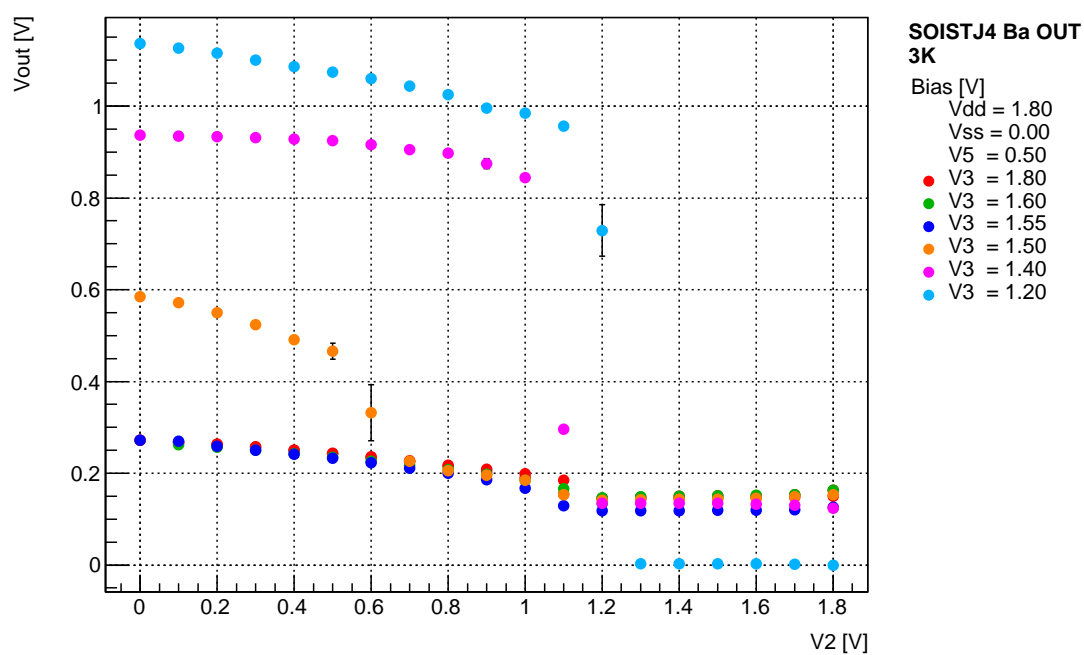


図 5.32: SOI-STJ4 B 増幅段 出力端子電圧測定 バッファ段出力 (3K)

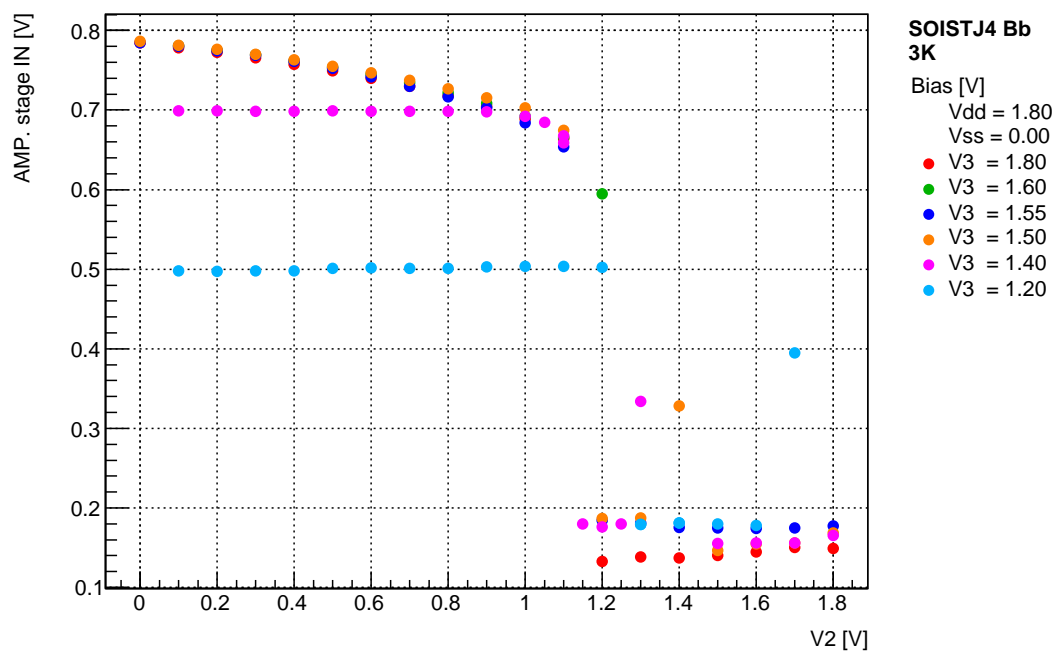


図 5.33: SOI-STJ4 B 増幅段 入力端子電圧測定 (3K)

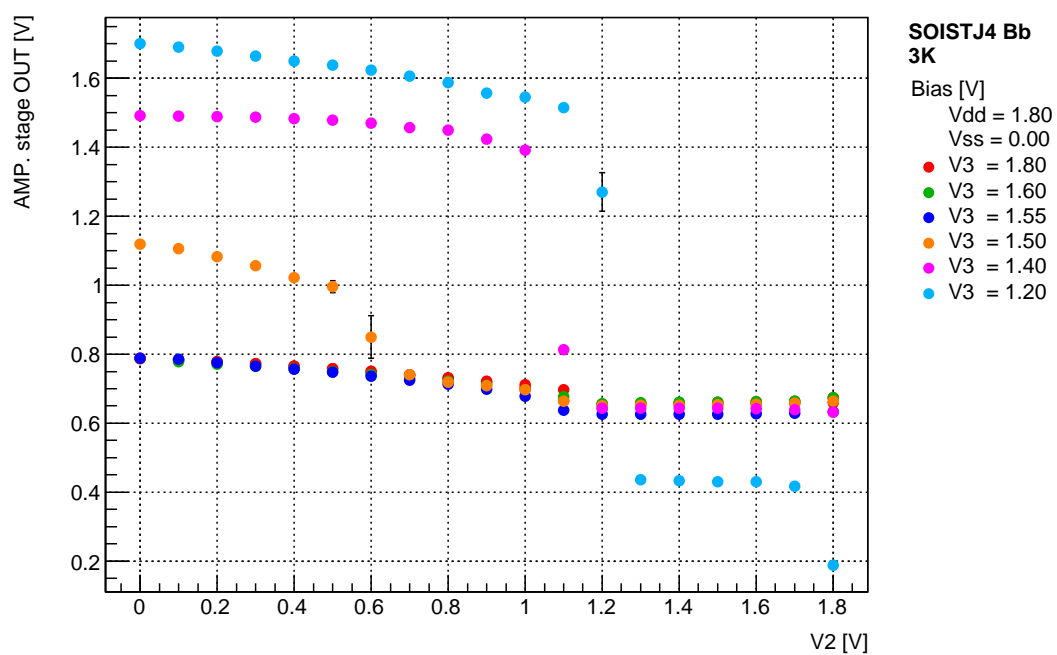


図 5.34: SOI-STJ4 B 増幅段 出力端子電圧測定 (3K)

5.4.2 消費電力

バッファ段の時 (節 5.3.2) と同様，各バイアス電圧印加時に各端子を流れる電流値を測定し，消費電力を算出した．電流値は先述の入出力端子電圧特性測定 (節 5.4.1) 時に取得した．

消費電力は端子間を流れる電流値とその間の電圧差との積で算出した．増幅段において電流が流れるのは，主にドレイン端子 V_{DD1} からソース端子 V_{SS1} までの 1 経路のみである．したがって，ドレイン端子の電流値 $I_{V_{DD1}}$ とドレイン端子-ソース端子間電圧 1.80V の積をバッファ段の消費電力とした．他の端子を流れる電流は高々 pA のオーダーであるため考慮しない．

室温時

室温時の測定結果を図 5.35 に示す．縦軸が消費電力，横軸がバイアス電圧 V_2 を表し，バイアス電圧 V_3 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．シミュレーションは入出力の負荷容量を 30pF と仮定して DC 解析を行った．

待機電圧の測定結果からも分かるよう， V_3 による変化はほとんどないことが見て取れる．また，室温時の測定ではあるが，いずれのバイアス電圧においても，冷凍機の最低温ステージの冷却能力 $100\mu\text{W}$ を下回る．

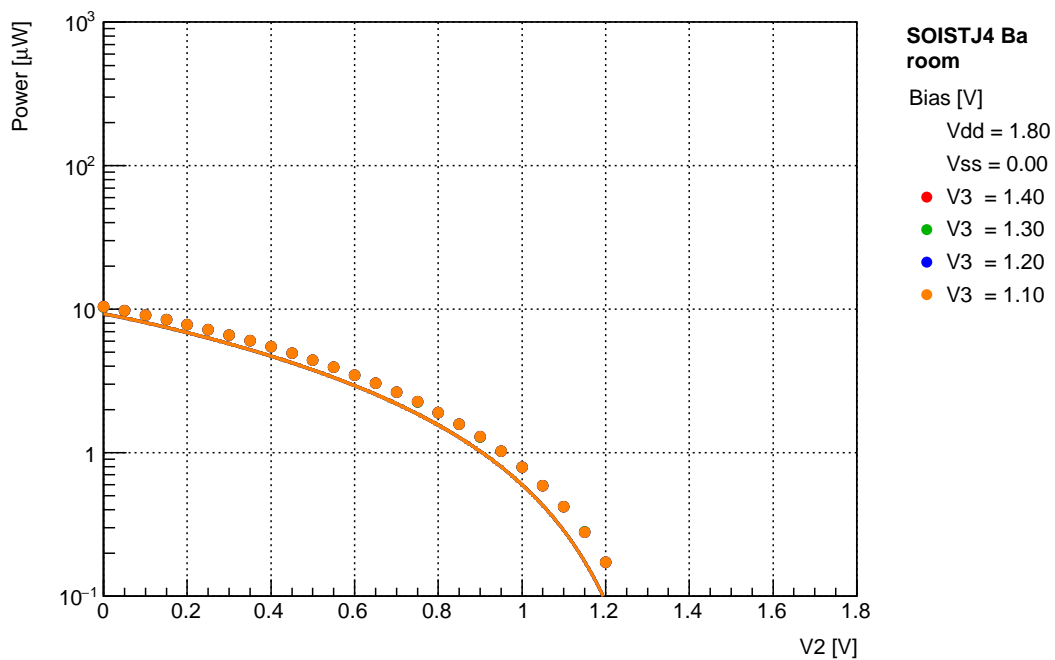


図 5.35: SOI-STJ4 B 増幅段 消費電力 (室温)

極低温時

動作温度 3K 時の測定結果を図 5.36 に示す．縦軸が消費電力，横軸がバイアス電圧 V_2 を表し，バイアス電圧 V_3 ごとにプロットしてある．また，点は測定点を表す．

室温時と同様， V_3 による変化はほとんどないことが見て取れる．室温時と比較して全体的に 10% 程度，電流値の増加が伺える．しかしながら，バイアス電圧を調節すれば，室温時と同程度

までには消費電力を抑えられる．また，調節せずとも，冷凍機の冷却能力 $100\mu\text{W}$ は下回り，最低温ステージでの動作が可能であると言える．

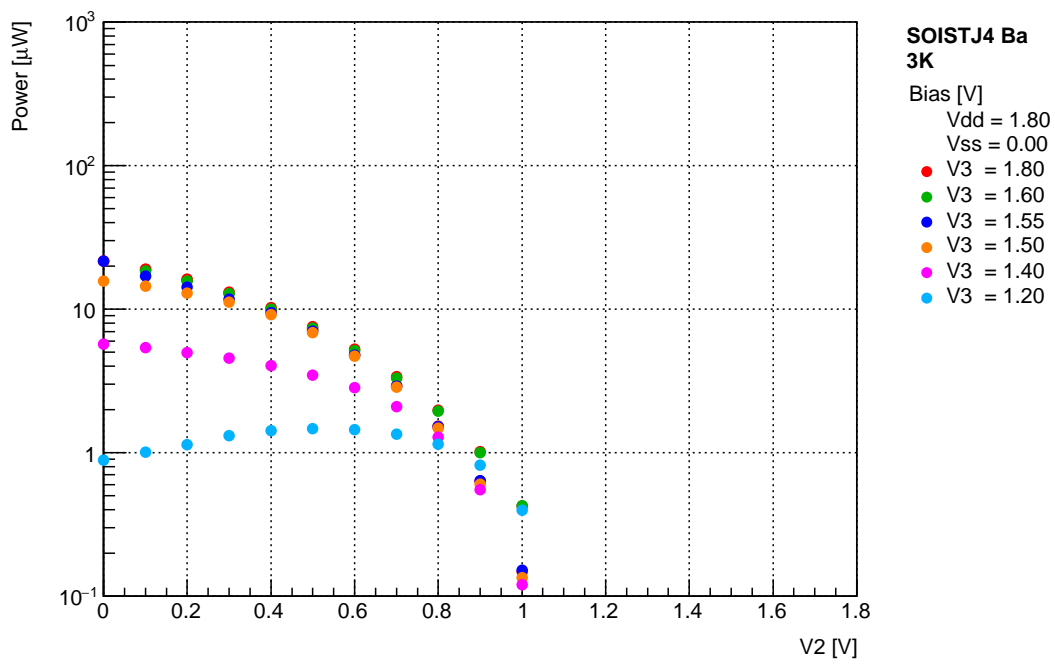


図 5.36: SOI-STJ4 B 増幅段 消費電力 (3K)

5.4.3 利得のバイアス依存性

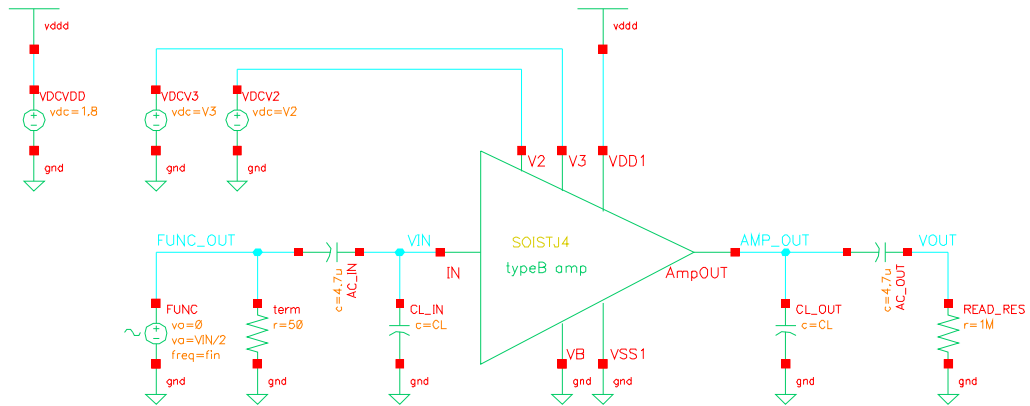


図 5.37: SOI-STJ4 B 増幅段 利得 測定回路

SOI-STJ4 増幅回路の利得は主に増幅段で決定される．そこで，印加するバイアス電圧によって増幅段の利得がどのように変化するかを調べた．シミュレーション及び測定回路図を図 5.37 に示す．

入力端子 IN にファンクションジェネレータで生成した正弦波を入力し，バイアス電圧 $V2, V3$ を走査しながら出力波形を測定した．ドレイン端子 $VDD1$ には $1.80V$ を印加し固定，ソース端子 $VSS1$ 及び $M3$ ボディ端子 VB はは接地 ($0V$) した．入力正弦波の振幅は出力が飽和しないように peak to peak で $1mV$ とした．また，入力周波数はカットオフ周波数を超えない範囲で設定する．ファンクションジェネレータと入力端子間は $4.7\mu F$ のキャパシタンスで区切り，AC 的に接続した．入出力波形はオシロスコープ (入力インピーダンス $1M\Omega$ ，AC 結合，512 回平均) で読み取り，それぞれの peak to peak の値を取得した．利得は出力波形の peak to peak 値を入力波形の peak to peak 値で割ることで算出した．

室温時

室温時の測定結果を図 5.38 から図 5.39 に示す．

図 5.38 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 $100Hz$ ，バイアス電圧 $V2 = 0.15V$ ， $V3 = 1.20V$ の時の波形で，512 回平均を取ってある．

図 5.39 は利得のバイアス電圧依存性を表す．縦軸が利得，横軸がバイアス電圧 $V2$ を表し，バイアス電圧 $V3$ ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．測定時の入力周波数はカットオフ周波数を超えない範囲で $100Hz$ とした．シミュレーションは出入力の負荷容量を $30pF$ と仮定し過渡解析を行った．

$V3, V2$ が小さくなるほど利得は大きくなる傾向が見て取れる．これは，次のような描像で理解できる．

- $V3$ が大きくなるほど， $M3$ の抵抗値は小さくなり，入力信号が $M3$ に逃げてしまう．ただし，先述したように $V3$ が小さすぎると $M3$ の抵抗値が大きくなり，電位の安定に時間が掛かるようになる．
- $V2$ が大きいほど $M2$ のゲート-ソース電圧は小さくなり，動作が飽和領域から外れる．

測定点の中では $V2 = 0.20\text{V}$, $V3 = 1.10\text{V}$ で利得が ~ 70 倍と最大となった .

また , $V2$ に対する応答はシミュレーションとほぼ一致するものの , $V3$ に対する変化は大きく異なり , 実測値は $V3$ が 10% 程度大きいとした時のシミュレーション値と一致するように見受けられる . さらに , シミュレーションでは $V3$ が 1.20V 以下で利得に変化がほぼなくなるのに対し , 実測では $V3 = 1.10\text{V}$ では , シミュレーション値よりも大きな値となった .

以上のことから , 増幅段の設計値と実測値は $V3$ の値に対し大きな差異があるものと考えられる .

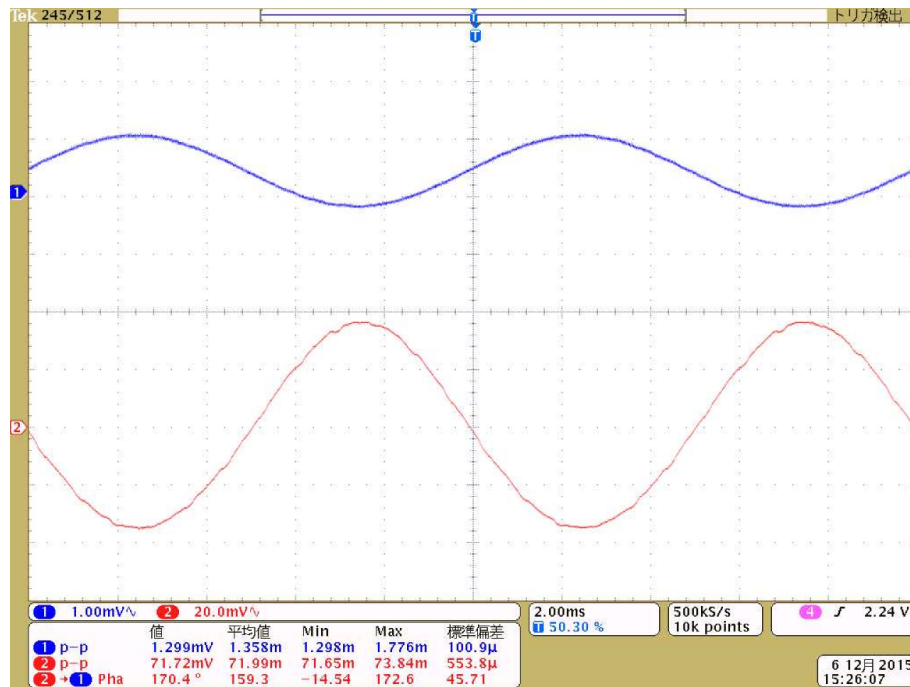


図 5.38: SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (室温, $f_{in} = 100\text{Hz}$, $V2 = 0.15\text{V}$, $V3 = 1.20\text{V}$)

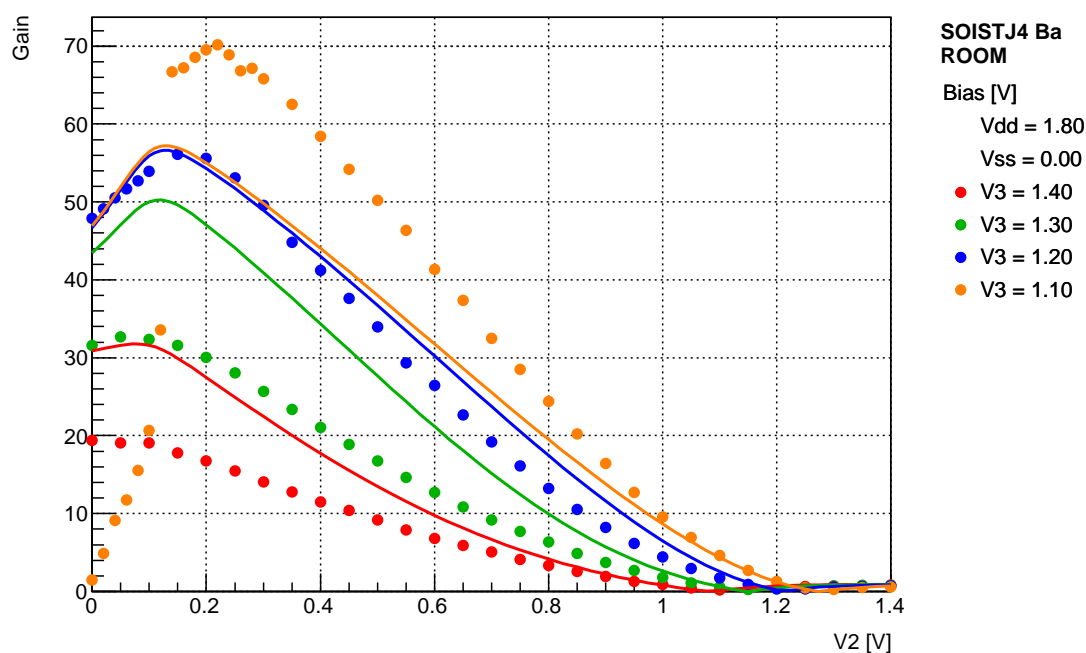


図 5.39: SOI-STJ4 B 増幅段 利得のバイアス電圧依存性 (室温)

冷凍機配線時

室温時の測定結果を図 5.40 から図 5.41 に示す。

図 5.40 は入力波形 (青) と出力波形 (赤) である。図は入力周波数 100Hz, バイアス電圧 $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$ の時の波形で, 512 回平均を取ってある。

図 5.41 は利得のバイアス電圧依存性を表す。縦軸が利得, 横軸がバイアス電圧 V_2 を表し, バイアス電圧 V_3 ごとにプロットしてある。また, 点は測定点, 線はシミュレーション結果を表す。測定時の入力周波数はカットオフ周波数を超えない範囲で 50Hz とした。シミュレーションは出入力の負荷容量を 500pF と仮定し過渡解析を行った。

室温時と同様, 実測値は V_3 が 10% 程度大きいとした時のシミュレーション値と一致するように見受けられる。また, 室温時の同じバイアス条件の測定値と比べ, 利得は小さくなっており, 最大値は $V_2 = 0.25\text{V}$, $V_3 = 1.10\text{V}$ で ~ 53 倍である。

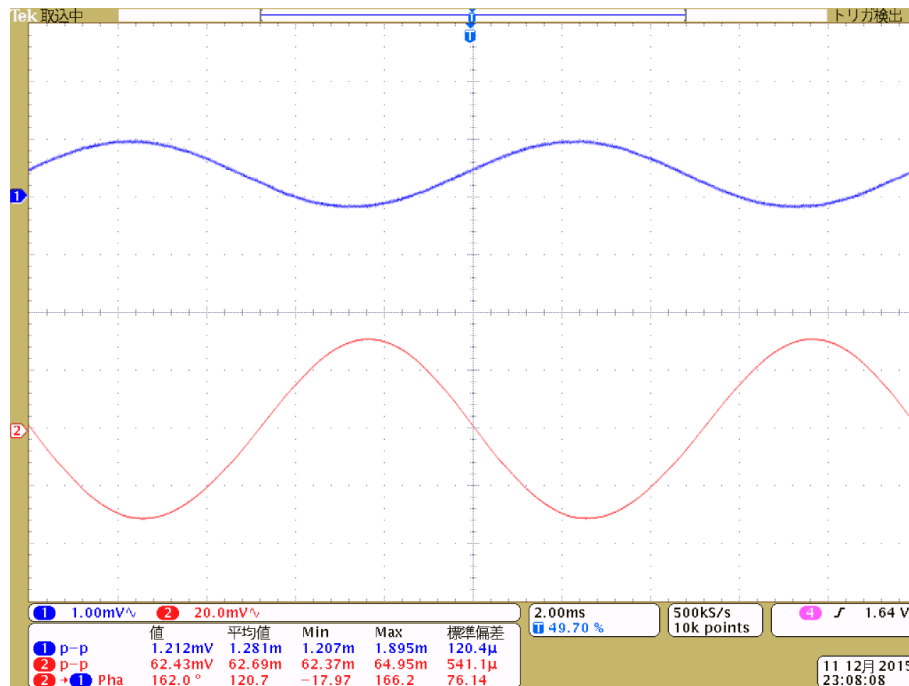


図 5.40: SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)

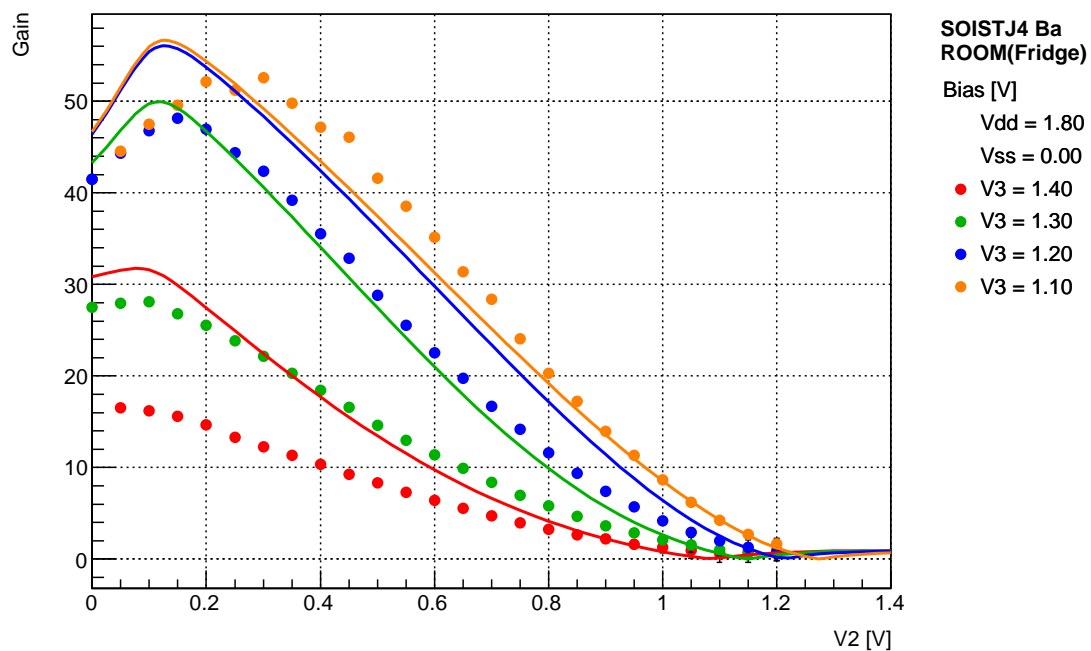


図 5.41: SOI-STJ4 B 増幅段 利得のバイアス電圧依存性

極低温時

室温時の測定結果を図 5.42 から図 5.43 に示す．

図 5.42 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 100Hz，バイアス電圧 $V_2 = 0.40\text{V}$ ， $V_3 = 1.55\text{V}$ の時の波形で，512 回平均を取ってある．

図 5.43 は利得のバイアス電圧依存性を表す．縦軸が利得，横軸がバイアス電圧 V_2 を表し，バイアス電圧 V_3 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．測定時の入力周波数はカットオフ周波数を超えない範囲で 50Hz とした．シミュレーションは出入力の負荷容量を 500pF と仮定し過渡解析を行った．

バイアス電圧 V_2 ， V_3 に対する利得の変化は室温時と同様であることが見て取れる．すなわち， V_2 ， V_3 が小さくなるほど利得が増加し，ある所で極大となる．ただし，室温時とくらべ極大となる電圧値が増加している．

また，利得は $(V_3, V_2) = (1.60\text{V}, 0.35\text{V})$ ， $(1.55\text{V}, 0.40\text{V})$ ， $(1.50\text{V}, 0.55\text{V})$ で極大となり，それぞれ， ~ 49 倍， ~ 60 倍， ~ 58 倍となった．

以上より，バイアス電圧さえ調節すれば，室温時と同等の利得が得られることが分かった．

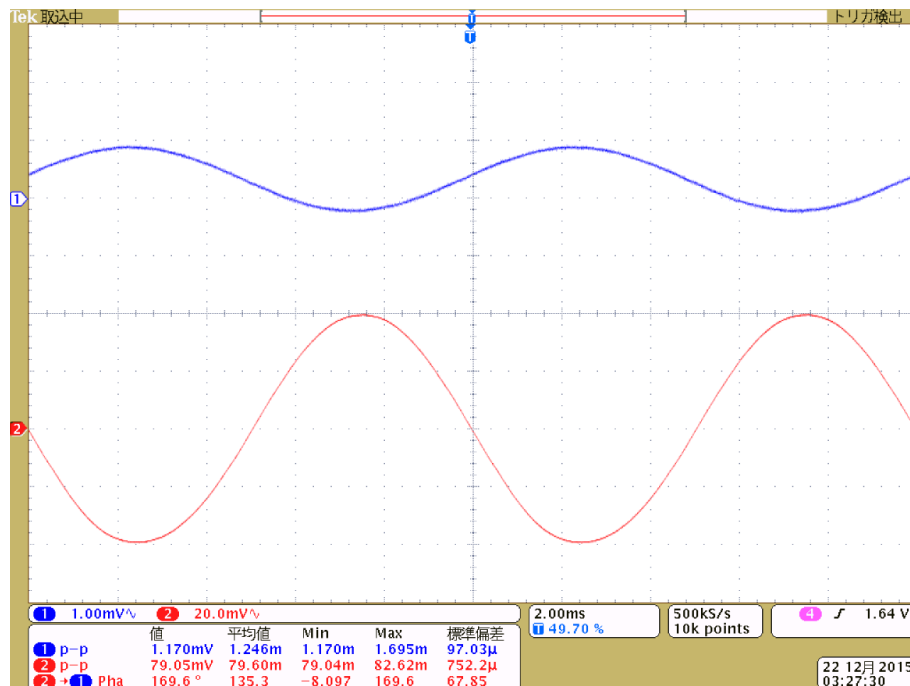


図 5.42: SOI-STJ4 B 増幅段 入力信号 (青) と出力信号 (赤) (3K , $f_{in} = 100\text{Hz}$, $V_2 = 0.40\text{V}$, $V_3 = 1.55\text{V}$)

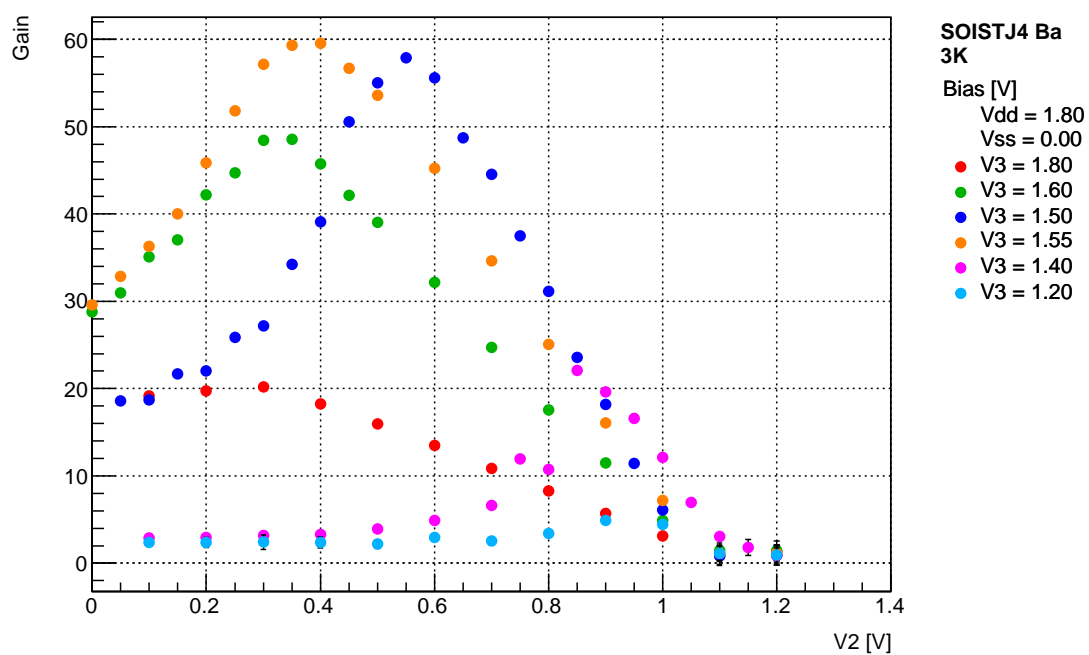


図 5.43: SOI-STJ4 B 増幅段 利得のバイアス電圧依存性 (3K)

5.4.4 周波数特性

入力信号の周波数に対する増幅段の応答を調べた．シミュレーション及び測定回路図は利得のバイアス依存性の測定の時と同じ (図 5.37) である．

入力端子 IN にファンクションジェネレータで生成した正弦波を入力し，その周波数を走査しながら出力波形を測定した．入力正弦波の振幅は出力が飽和しないように peak to peak で 1mV とした．ファンクションジェネレータと入力端子間は $4.7\mu\text{F}$ のキャパシタンスで区切り，AC 的に接続した．入出力波形はオシロスコープ (入力インピーダンス $1\text{M}\Omega$ ，AC 結合，512 回平均) で読み取り，それぞれの peak to peak の値を取得した．利得は出力波形の peak to peak 値を入力波形の peak to peak 値で割ることで算出した．

増幅段のバイアス電圧は，利得のバイアス電圧依存性の結果 (節 5.4.3) から利得が極大となる数点を選び，設定した．

室温時

室温時の測定結果を 5.44 に示す．縦軸が利得，横軸が入力周波数で，バイアス電圧ごとにプロットしてある．点が測定点，線がシミュレーション値を表す．バイアス電圧は，図 5.39 から， $(V_3, V_2) = (1.30\text{V}, 0.10\text{V}), (1.20\text{V}, 0.15\text{V}), (1.10\text{V}, 0.20\text{V})$ の 3 点を選択し，測定を行った．シミュレーションでの負荷容量値は 30pF を仮定した．

利得のバイアス電圧依存性の測定からも分かるよう，同じバイアス条件下での利得はシミュレーション大きく異なる．周波数に対する依存性はシミュレーションとほぼ一致し，いずれのバイアス条件でも負荷容量 30pF に対して 1kHz 程度までしか応答しないことが見て取れる．

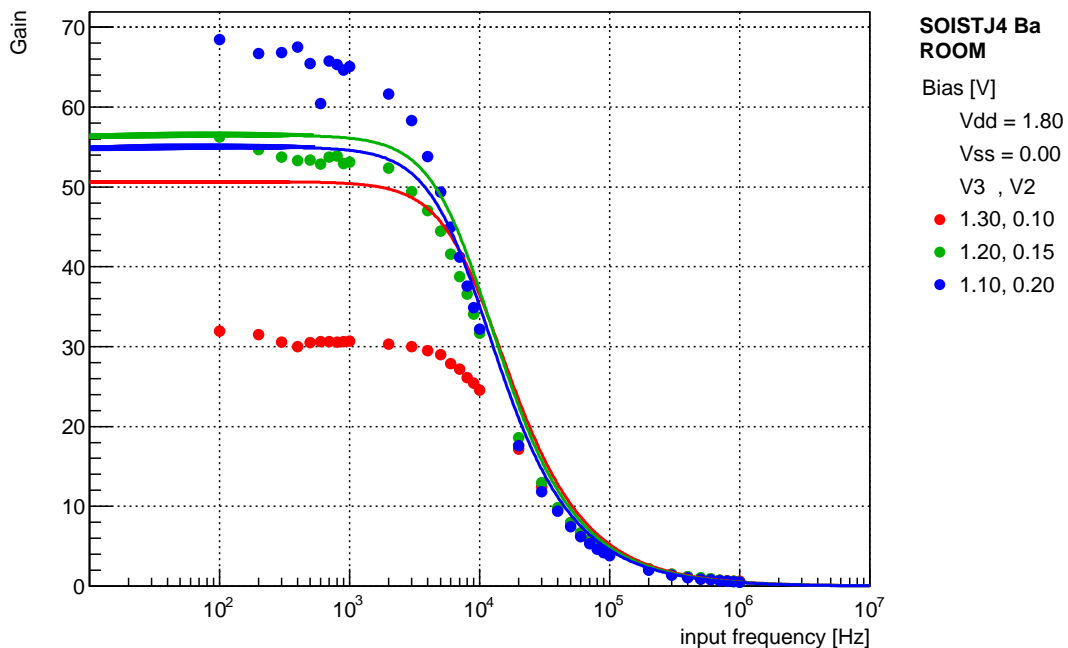


図 5.44: SOI-STJ4 B 周波数依存性 (室温)

冷凍機配線時

冷凍機配線時の測定結果を 5.45 に示す．縦軸が利得，横軸が入力周波数で，バイアス電圧ごとにプロットしてある．点が測定点，線がシミュレーション値を表す．バイアス電圧は，図 5.41 から， $(V3, V2) = (1.30\text{V}, 0.10\text{V})$ ， $(1.20\text{V}, 0.15\text{V})$ ， $(1.10\text{V}, 0.20\text{V})$ の 3 点を選択し，測定を行った．シミュレーションでの負荷容量値は 500pF を仮定した．

室温時と同様，同じバイアス条件下での利得はシミュレーション大きく異なり，周波数に対する依存性はシミュレーションとほぼ一致する．室温時と比べ，冷凍機の負荷容量分，周波数特性は悪化し， 500pF に対して 100Hz 程度までの信号にしか応答しないことが見て取れる．したがって，STJ 検出器の信号を増幅しようとした場合，冷凍機内にバッファ段を設置することは必須であると言える．

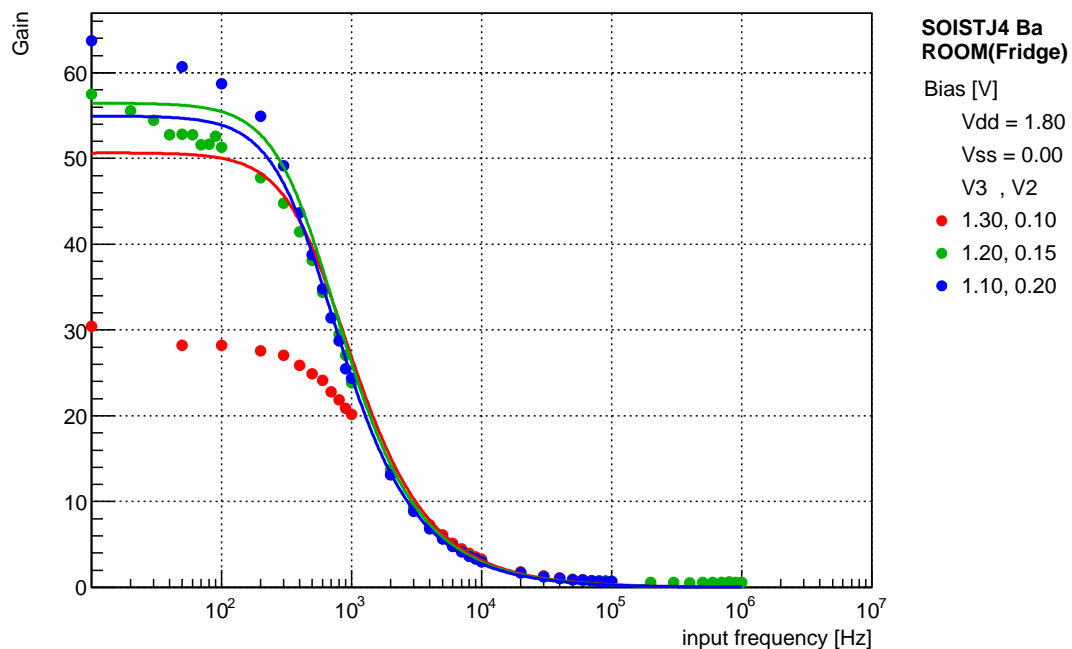


図 5.45: SOI-STJ4 B 増幅段 周波数依存性 (冷凍機内室温)

極低温時

動作温度 3K 時の測定結果を 5.46 に示す．縦軸が利得，横軸が入力周波数で，バイアス電圧ごとにプロットしてある．点が測定点，線がシミュレーション値を表す．バイアス電圧は，図 5.43 から， $(V3, V2) = (1.60\text{V}, 0.35\text{V})$ ， $(1.55\text{V}, 0.40\text{V})$ ， $(1.50\text{V}, 0.55\text{V})$ の 3 点を選択し，測定を行った．

冷凍機配線時と同様，いずれのバイアス条件下でも 100Hz 程度までの信号にしか応答を示さないことが見て取れる．ただし，冷凍機配線時と比べた周波数特性の悪化は見受けられず，冷却することでの性能劣化は小さいと言える．

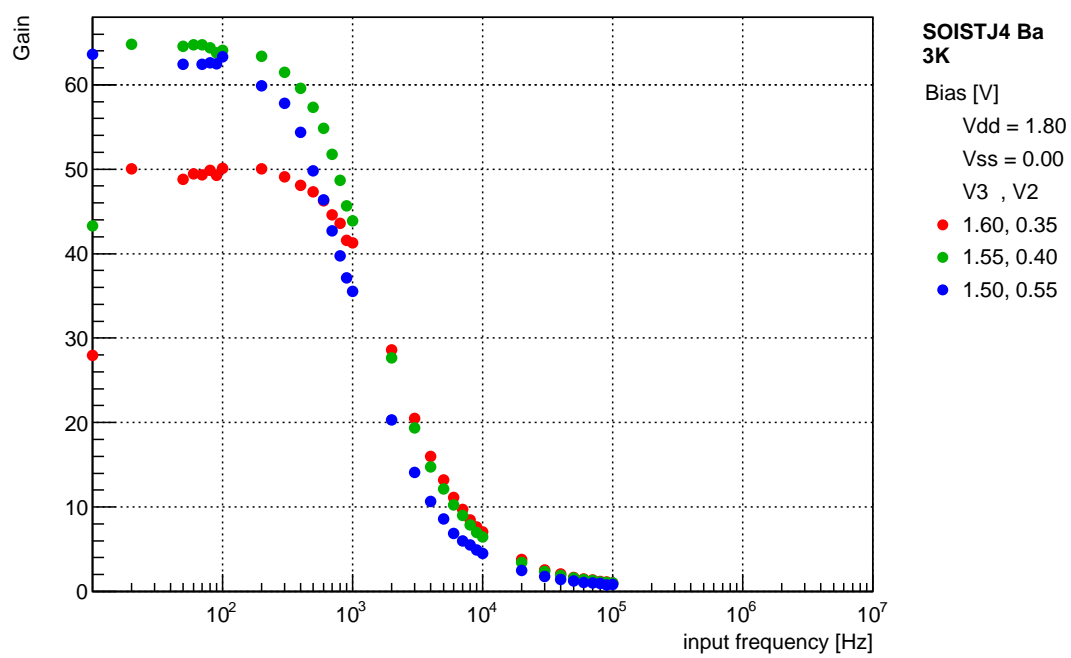


図 5.46: SOI-STJ4 B 増幅段 周波数特性 (3K)

5.5 増幅段・バッファ段一体型回路の性能評価

前節，前々節と，パターン B の素子を用いてバッファ段，増幅段，それぞれ単体での性能評価を行った．本節では，その結果を踏まえ，増幅段・バッファ段が一体となったパターン A について，同様に性能評価を行う．

5.5.1 待機電圧

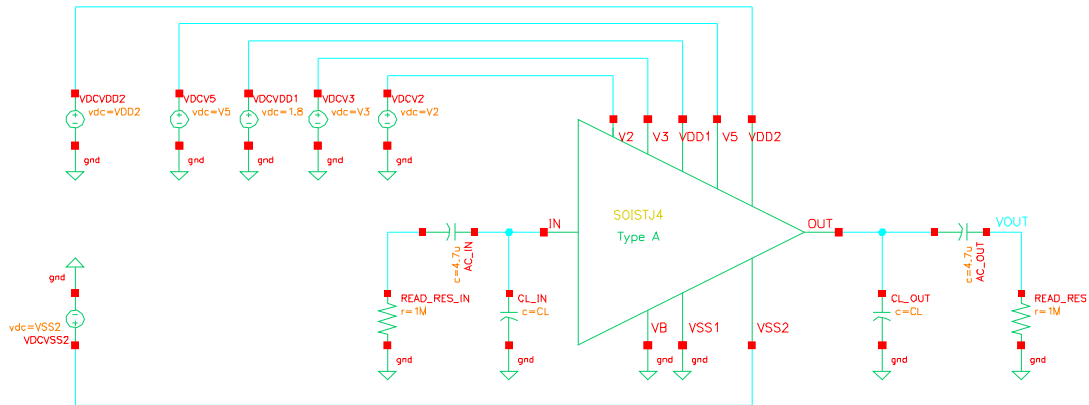


図 5.47: SOI-STJ4 A 待機電圧 測定回路

節 5.4.1 と同様，増幅段の出力端子の直流電圧が印加するバイアス電圧によってどのように変化するかを調べた．測定回路を図 5.47 に示す．

バッファ段のバイアス電圧は固定し，増幅段のバイアス電圧 $V2$, $V3$ を走査させ，各値でのバッファ段出力電圧を測定した．増幅段のドレイン端子 $VDD1$ には $1.80V$ を印加し固定，ソース端子 $VSS1$, 及び $M3$ ボディ端子 VB は接地 ($0V$) した．バッファ段の出力特性は節 5.3.1 と同じになると仮定し，その結果を用いてバッファ段出力電圧を増幅段出力電圧に換算した．換算に用いるバッファ段直流電圧特性には，測定点を 3 次のスプライン曲線でフィットしたものを用いた．出力電圧はオシロスコープ (入力インピーダンス $1M\Omega$, DC 結合，512 回平均) で読み取った．

室温時

室温時の測定結果を図 5.48 に示す．縦軸がバッファ段出力端子の直流電圧，横軸が増幅段バイアス $V2$ を表し，同じく増幅段のバイアスの $V3$ ごとにプロットしている．バッファ段のバイアスは $VDD2 = 1.80V$, $VSS2 = 0V(GND)$, $V5 = 0.50V$ で固定した．

節 5.3.1 の測定で得たバッファ段直流電圧特性 (図 5.25) を用いて図 5.48 のバッファ段出力を増幅段出力に変換した．その結果を図 5.49 に示す．縦軸が増幅段出力電圧，横軸が増幅段バイアス $V2$ を表し，同じく増幅段のバイアスの $V3$ ごとにプロットしている．増幅段単体の性能評価の時と同様， $V4 \leq 0.40V$ に相当する領域ではバッファの出力電圧がゼロとなり，この変換は意味をなさなくなるため議論に含めない．

これより，測定値は増幅段単体で測定した場合 (図 5.27，図 5.29) とほぼ一致することが見て取れる．また，単体での測定時と同様， $V3 \leq 1.00V$ では電圧値が安定せず，動作には不適切である

ことも分かる．以上より，増幅段とバッファ段を一体としたことによる直流電圧値の変化はないことが確認できた．

冷凍機配線時

冷凍機配線時の測定結果を図 5.51 に示す．縦軸がバッファ段出力端子の直流電圧，横軸が増幅段バイアス V_2 を表し，同じく増幅段のバイアスの V_3 ごとにプロットしている．バッファ段のバイアスは $V_{DD2} = 1.80\text{V}$ ， $V_{SS2} = 0\text{V}(GND)$ ， $V_5 = 0.50\text{V}$ で固定した．

節 5.3.1 の測定で得たバッファ段直流電圧特性 (図 5.50) を用いて図 5.51 のバッファ段出力を増幅段出力に変換した．図 5.50 は，動作温度 3K，バイアス電圧 $V_5 = 0.50\text{V}$ 時のバッファ段直流電圧特性である．点は測定点，青線がフィッティング曲線を表す．このフィッティング曲線を用いて図 5.51 のバッファ段出力を増幅段出力に変換した．その結果を図 5.52 に示す．縦軸が増幅段出力電圧，横軸が増幅段バイアス V_2 を表し，同じく増幅段のバイアスの V_3 ごとにプロットしている．増幅段単体の性能評価の時と同様， $V_4 \leq 0.40\text{V}$ に相当する領域ではバッファの出力電圧がゼロとなり，この変換は意味をなさなくなるため議論に含めない．

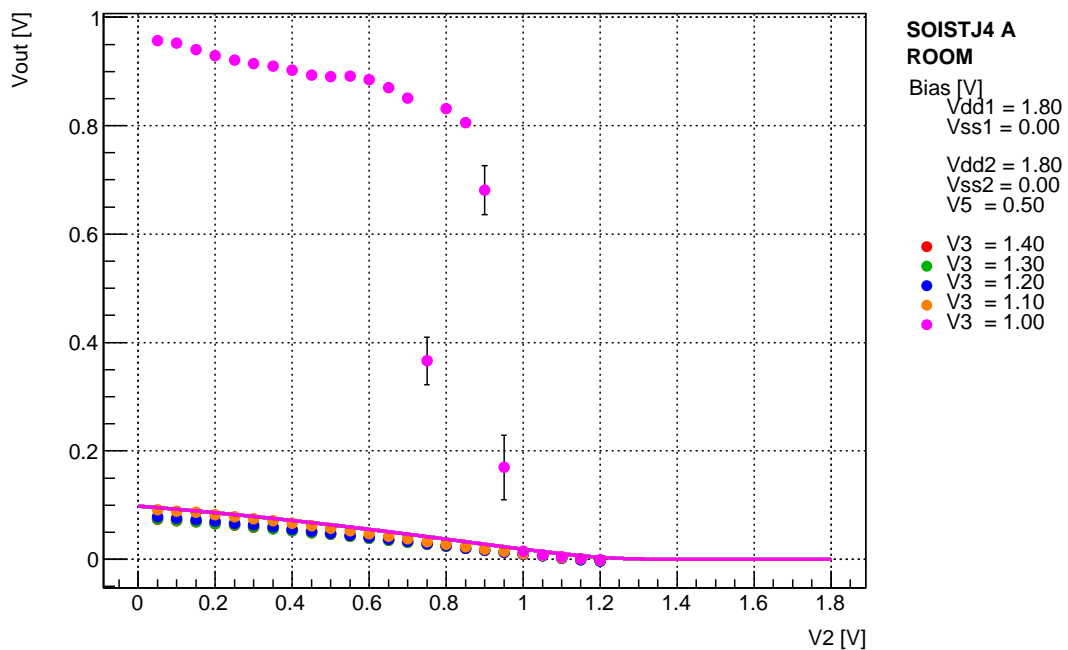


図 5.48: SOI-STJ4 A 出力端子電圧 (室温)

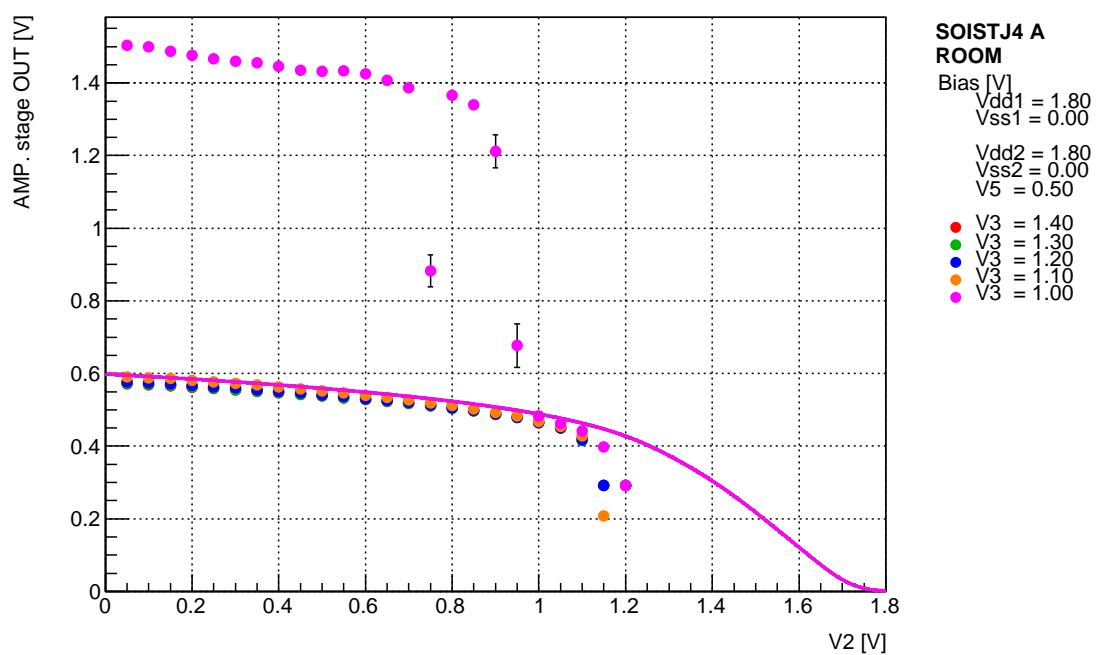


図 5.49: SOI-STJ4 A 増幅段出力端子電圧 (室温)

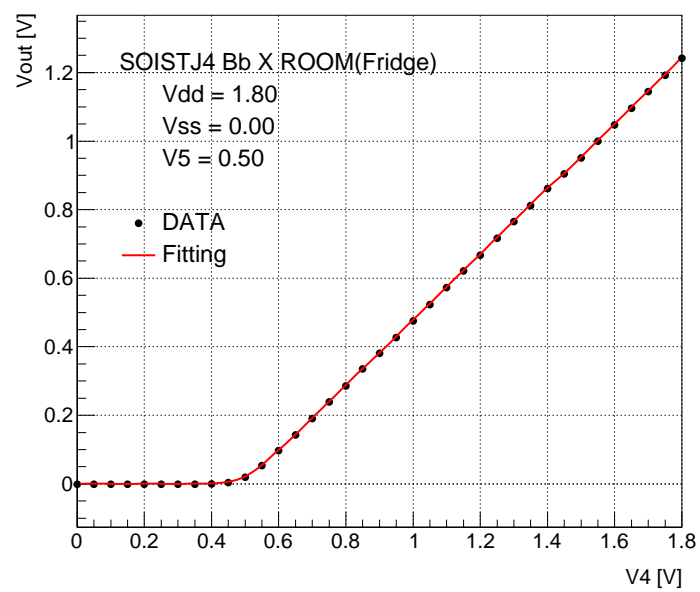


図 5.50: SOI-STJ4 バッファ段 直流電圧特性 (冷凍機配線時, $V5 = 0.50V$)

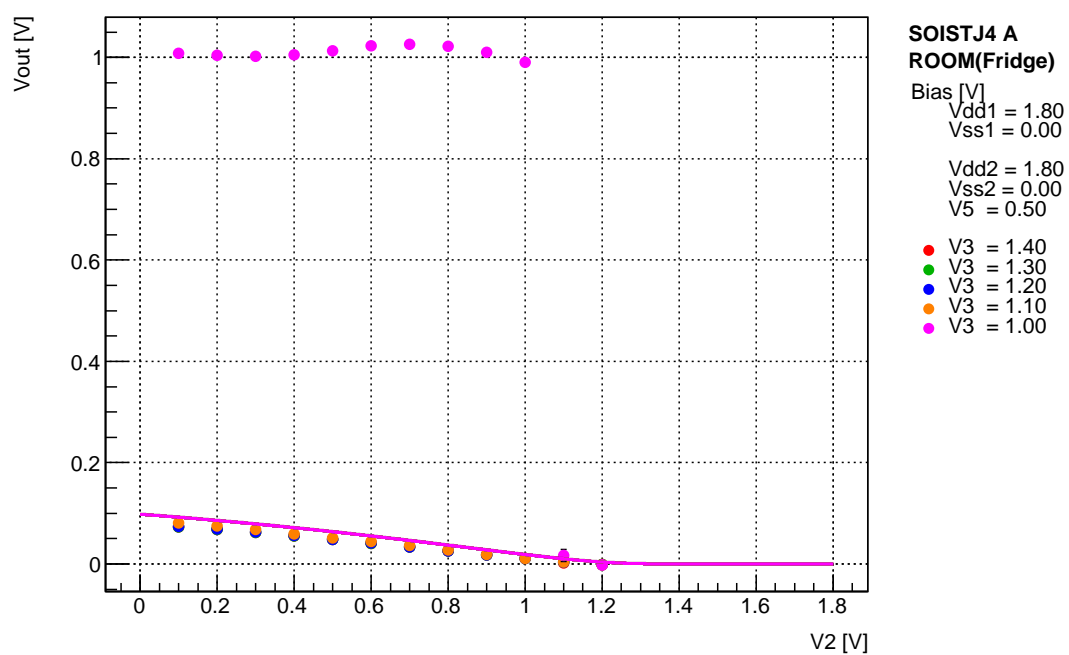


図 5.51: SOI-STJ4 A 出力端子電圧 (冷凍機配線時)

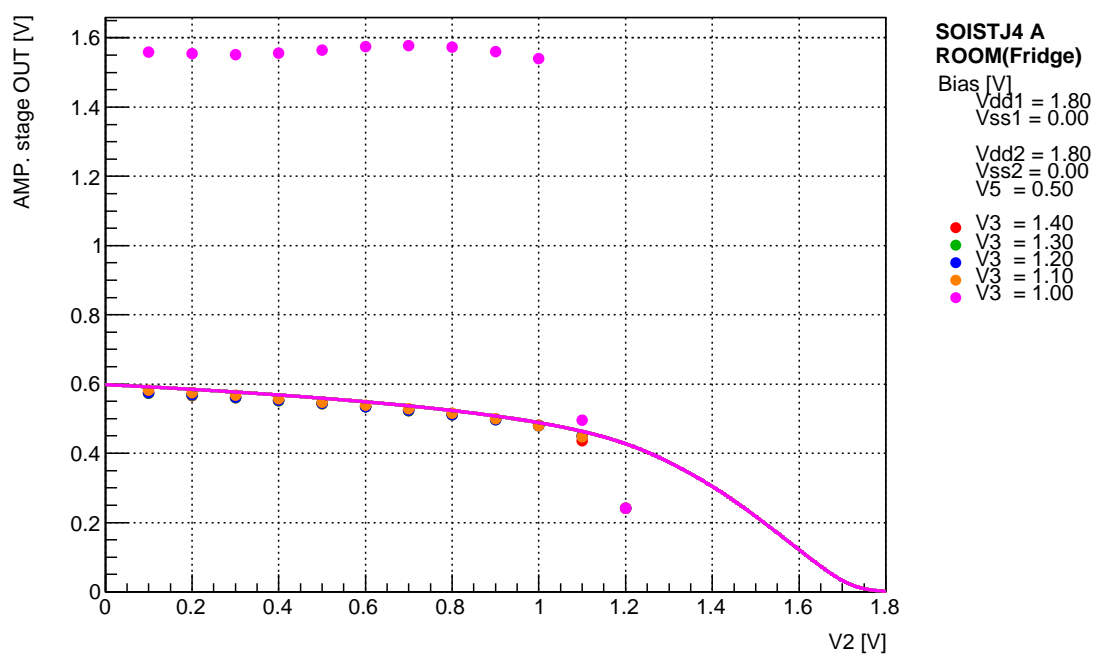


図 5.52: SOI-STJ4 A 増幅段出力端子電圧 (冷凍機配線時)

極低温時

動作温度 3K 時の測定結果を図 5.53 に示す．縦軸がバッファ段出力端子の直流電圧，横軸が増幅段バイアス V_2 を表し，同じく増幅段のバイアスの V_3 ごとにプロットしている．バッファ段のバイアスは $V_{DD2} = 1.80\text{V}$ ， $V_{SS2} = 0\text{V}(GND)$ ， $V_5 = 0.70\text{V}$ で固定した．

節 5.3.1 の測定で得たバッファ段直流電圧特性 (図 5.54) を用いて図 5.53 のバッファ段出力を増幅段出力に変換した．図 5.54 は，動作温度 3K，バイアス電圧 $V_5 = 0.70\text{V}$ 時のバッファ段直流電圧特性である．点は測定点，青線がフィッティング曲線を表す．このフィッティング曲線を用いて図 5.53 のバッファ段出力を増幅段出力に変換した．その結果を図 5.55 に示す．縦軸が増幅段出力電圧，横軸が増幅段バイアス V_2 を表し，同じく増幅段のバイアスの V_3 ごとにプロットしている．増幅段単体の性能評価の時と同様， $V_4 \leq 0.60\text{V}$ に相当する領域ではバッファの出力電圧がゼロとなり，この変換は意味をなさなくなるため議論に含めない．

以上より，室温時と同様， $V_3 \geq 1.55\text{V}$ では増幅段単体での測定値とほぼ一致し，増幅段とバッファ段を一体としたことによる直流電圧値の変化がないことが確認できる．一方で， $V_3 \leq 1.50\text{V}$ では増幅段単体での結果とは一致せず， $V_3 = 1.50\text{V}$ の時で増幅段出力電圧値は $\sim 100\text{mV}$ 程度低くなっている．

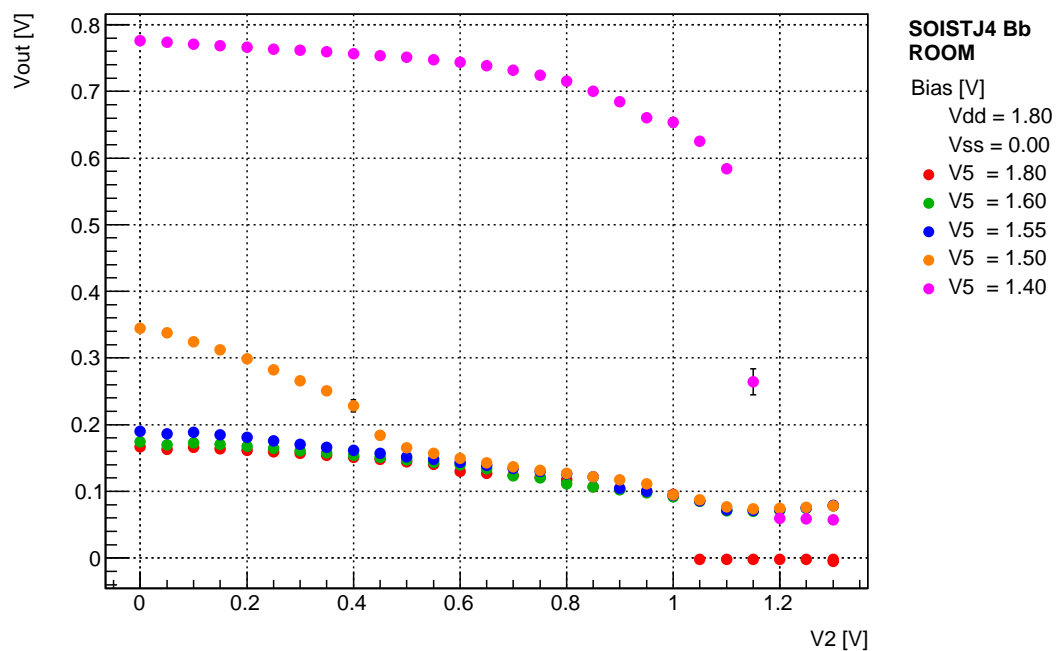


図 5.53: SOI-STJ4 A 増幅段 入出力特性 (3K)

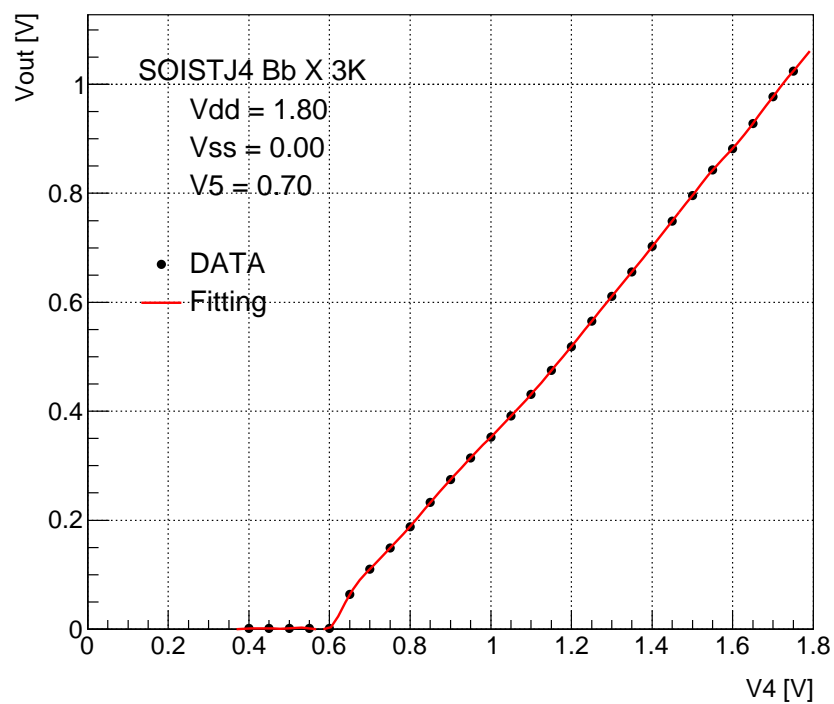


図 5.54: SOI-STJ4 バッファ段 直流電圧特性 (3K , V5 = 0.70V)

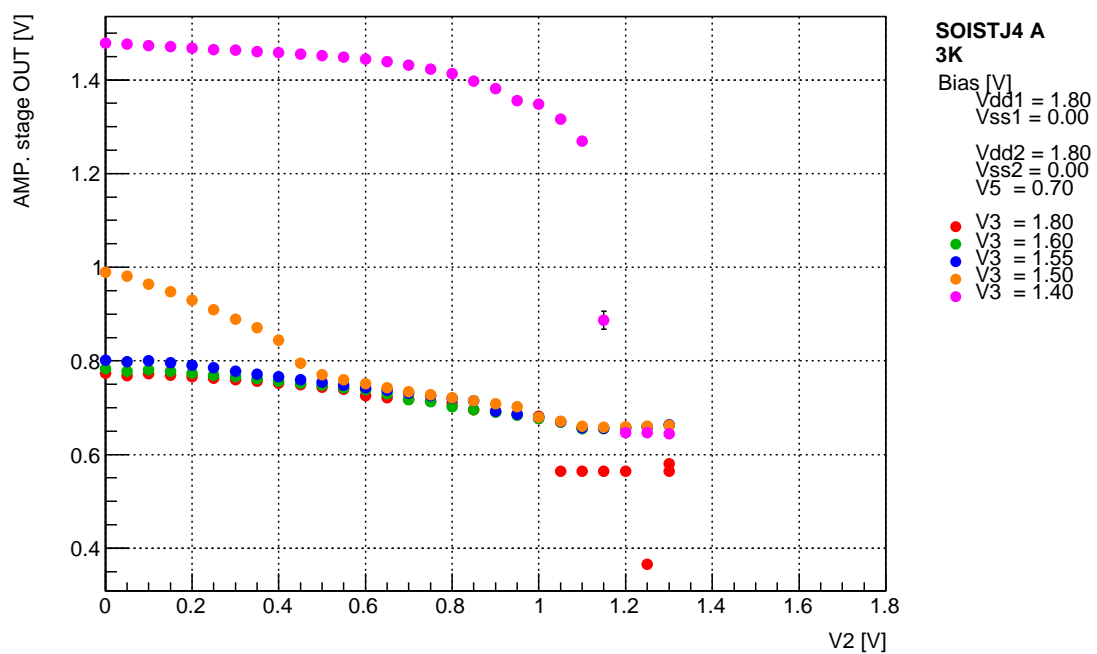


図 5.55: SOI-STJ4 A 増幅段出力端子電圧 (3K)

5.5.2 利得のバイアス依存性

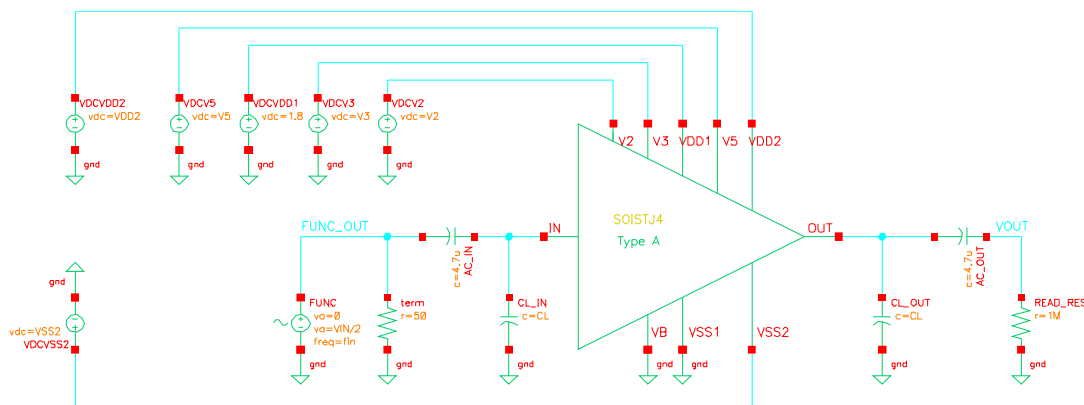


図 5.56: SOI-STJ4 A 増幅率 測定回路

節 5.4.3 と同様に、印加するバイアス電圧によって回路の利得がどのように変化するかを調べた。シミュレーション及び測定回路図を図 5.56 に示す。

先述した通り、回路全体の利得は主に増幅段に印加するバイアスで決まる。したがって、バッファ段のバイアス電圧は固定し、増幅段のバイアス電圧のみを走査し、利得の変化を測定する。バッファ段のバイアス電圧は、バッファ段の周波数特性(節 5.3.3)、増幅段の出力端子電圧(節 5.4.1)の結果を踏まえ、増幅段のバイアス走査に対しバッファ段の利得がほぼ変化しないような値に設定する。

入力端子 IN にファンクションジェネレータで生成した正弦波を入力し、バイアス電圧 V_2, V_3 を走査しながら出力波形を測定した。増幅段のドレイン端子 V_{DD1} には $1.80V$ を印加し固定、ソース端子 V_{SS1} 及び M_3 ボディ端子 VB はは接地 ($0V$) した。バッファ段のバイアス電圧はある値に固定した。入力正弦波の振幅は出力が飽和しないように peak to peak で $1mV$ とした。また、入力周波数はカットオフ周波数を超えない範囲で設定する。ファンクションジェネレータと入力端子間は $4.7\mu F$ のキャパシタンスで区切り、AC 的に接続した。入出力波形はオシロスコープ (入力インピーダンス $1M\Omega$, AC 結合, 512 回平均) で読み取り、それぞれの peak to peak の値を取得した。利得は出力波形の peak to peak 値を入力波形の peak to peak 値で割ることで算出した。

室温時

室温時の測定結果を図 5.57 から図 5.58 に示す．バッファ段のバイアス電圧は $V_{DD2} = 1.80V$, $V_{SS2} = GND(0V)$, $V_5 = 0.50V$ に固定して測定を行った．

図 5.57 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 100Hz，バイアス電圧 $V_2 = 0.15\text{V}$ ， $V_3 = 1.20\text{V}$ の時の波形で，512 回平均を取ってある．

図 5.58 は利得のバイアス電圧依存性を表す．縦軸が利得，横軸がバイアス電圧 V_2 を表し，バイアス電圧 V_3 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．測定時の入力周波数はカットオフ周波数を超えない範囲で 100Hz とした．シミュレーションは出入力の負荷容量を 30pF と仮定し過渡解析を行った．

単体で測定した時と比べ、利得が増加しているのが見て取れる。これは、バッファ段により回路の出力インピーダンスが下がったためと考えられる。また、バイアス電圧に対し、利得は単体時の測定の時と同様に変化していることも確認できる。しかしながら、シミュレーションとは一致せず、バイアス電圧によっては倍以上の利得が観測された。

冷凍機配線時

冷凍機配線時の測定結果を図 5.59 から図 5.60 に示す。バッファ段のバイアス電圧は $V_{DD2} = 1.80\text{V}$, $V_{SS2} = GND(0\text{V})$, $V_5 = 0.50\text{V}$ に固定して測定を行った。

図 5.59 は入力波形 (青) と出力波形 (赤) である。図は入力周波数 100Hz , バイアス電圧 $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$ の時の波形で、512 回平均を取ってある。

図 5.60 は利得のバイアス電圧依存性を表す。縦軸が利得、横軸がバイアス電圧 V_2 を表し、バイアス電圧 V_3 ごとにプロットしてある。また、点は測定点、線はシミュレーション結果を表す。測定時の入力周波数はカットオフ周波数を超えない範囲で 100Hz とした。シミュレーションは出入力の負荷容量を 30pF と仮定し過渡解析を行った。また、入力周波数はカットオフ周波数を超えないように 100Hz とした。

結果は室温時とほぼ一致していることが確認できる。 $V_3 = 1.00\text{V}$ 時の利得は室温時に比べ大きくなっているが、先述したように安定に動作しないバイアス条件であるためと考えられる。室温時と同様、シミュレーション値とは一致せず、倍以上の利得が観測された。

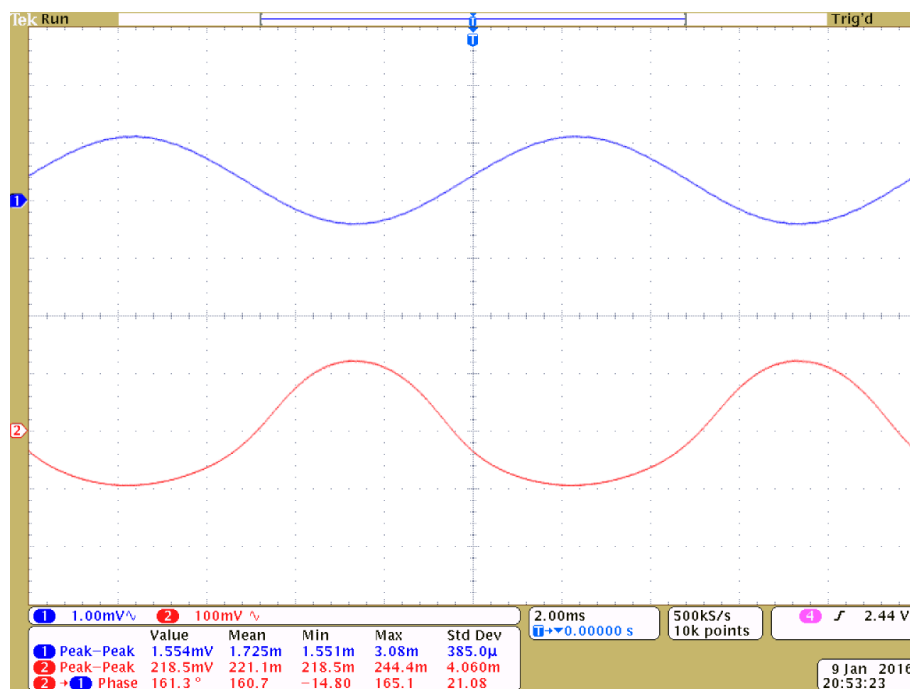


図 5.57: SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (室温, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)

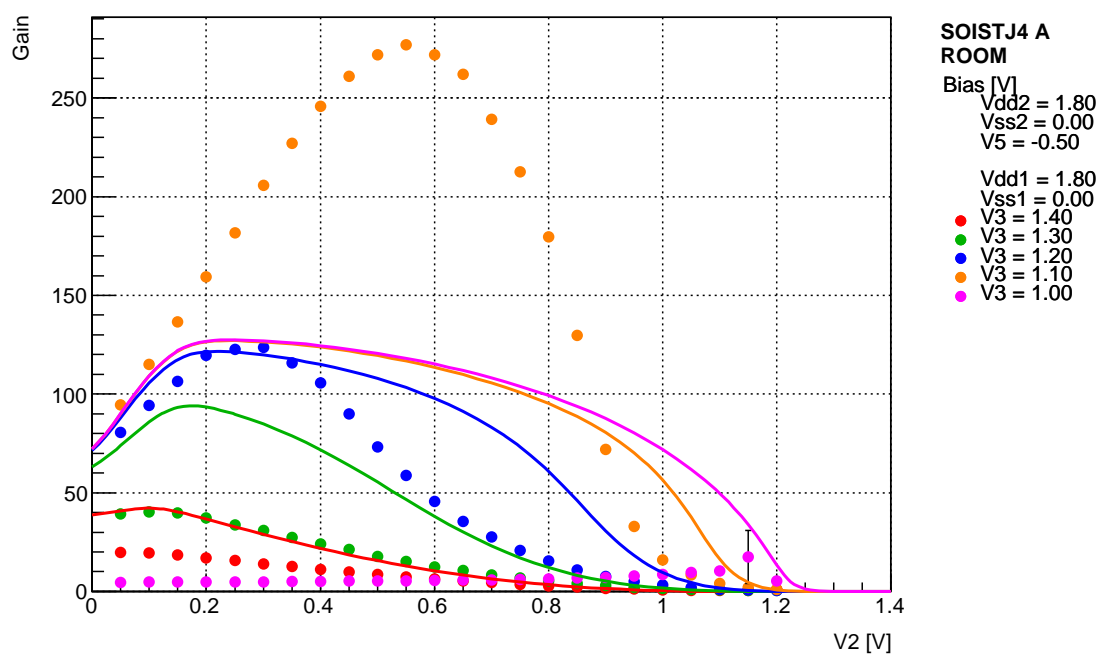


図 5.58: SOI-STJ4 A 利得のバイアス電圧依存性 (室温)

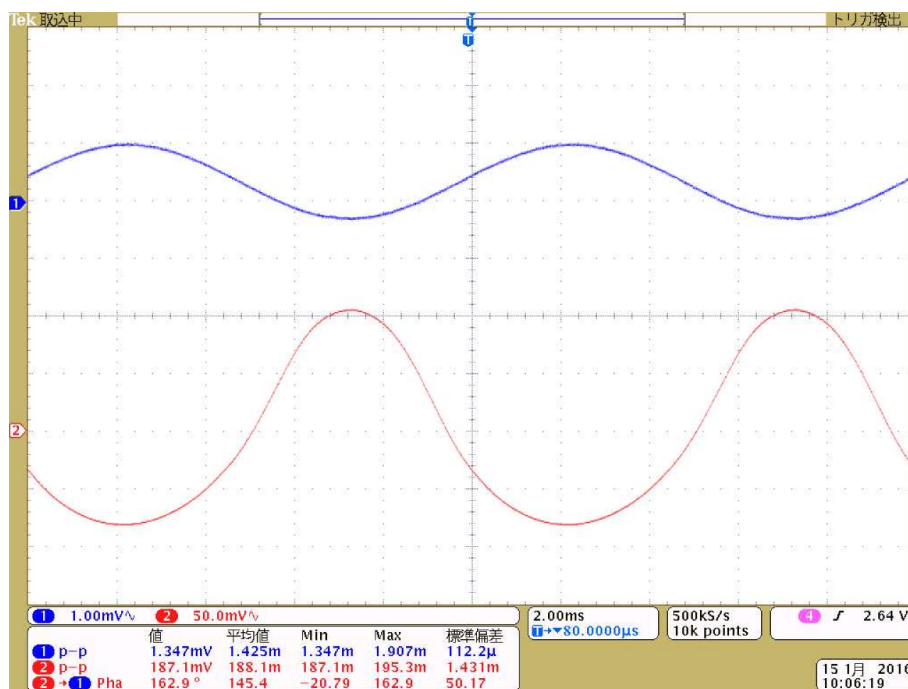


図 5.59: SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (冷凍機配線時, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)

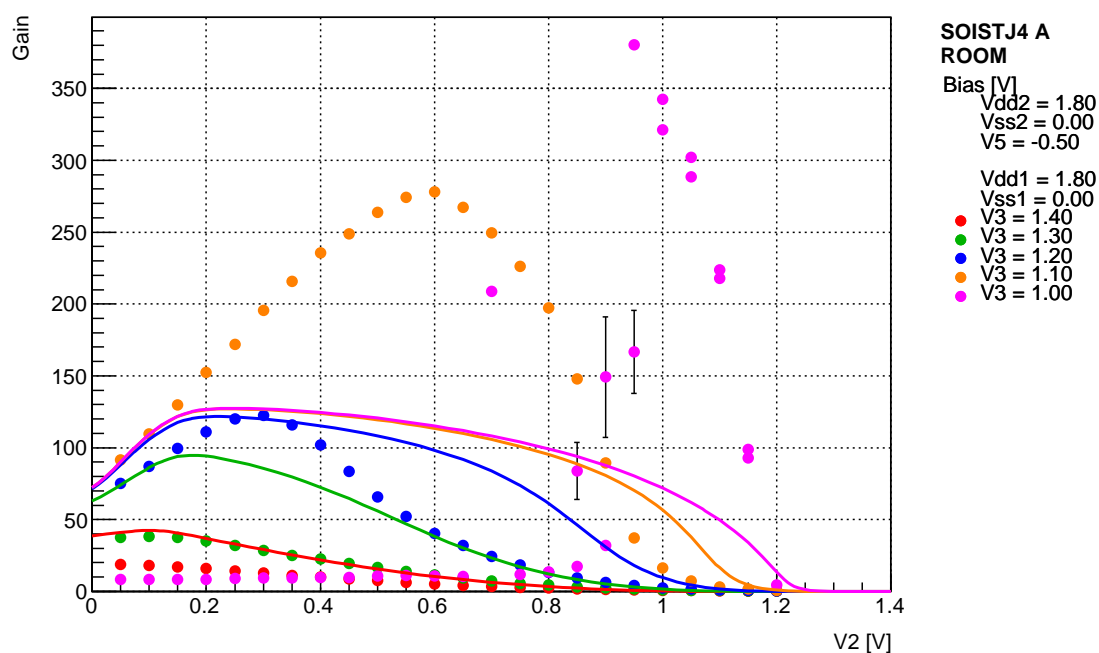


図 5.60: SOI-STJ4 A 利得のバイアス電圧依存性 (冷凍機配線時)

極低温時

動作温度 3K 時の測定結果を図 5.61 から図 5.62 に示す．バッファ段のバイアス電圧は $V_{DD2} = 1.10V$, $V_{SS2} = -0.70V$, $V_5 = 0.30V$ に固定して測定を行った．

図 5.61 は入力波形 (青) と出力波形 (赤) である．図は入力周波数 100Hz , バイアス電圧 $V_2 = V$, $V_3 = V$ の時の波形で , 512 回平均を取ってある．

図 5.62 は利得のバイアス電圧依存性を表す．縦軸が利得 , 横軸がバイアス電圧 V_2 を表し , バイアス電圧 V_3 ごとにプロットしてある．測定時の入力周波数はカットオフ周波数を超えない範囲で 100Hz とした．また , 入力周波数はカットオフ周波数を超えないように 100Hz とした．

室温時と同様 , 単体での測定と比べ利得が増加しているのが見て取れる．また , バイアス電圧に対する利得の変化も単体での測定時と同じであり , 利得が最大となる V_2 の値も一致する．安定動作しない $V_3 = 1.40V$ を除くと , $(V_2, V_3) = (0.35V, 1.60V)$, $(0.40V, 1.55V)$, $(0.55V, 1.50)$ の時 , 利得は極大となりそれぞれ ~ 52 倍 , ~ 81 倍 , ~ 105 倍となった．

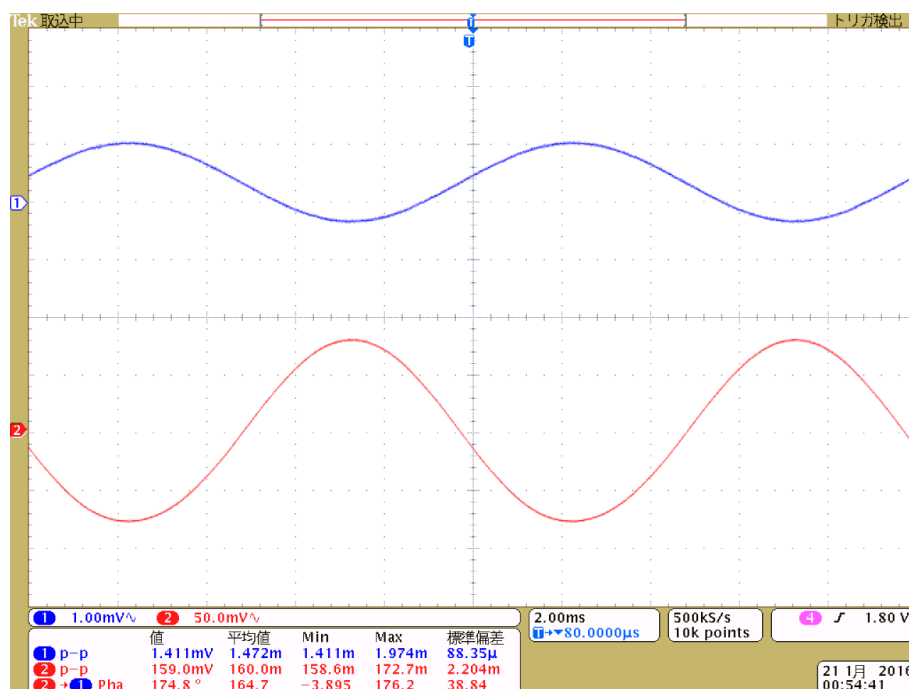


図 5.61: SOI-STJ4 A 入力信号 (青) と出力信号 (赤) (3K, $f_{in} = 100\text{Hz}$, $V_2 = 0.15\text{V}$, $V_3 = 1.20\text{V}$)

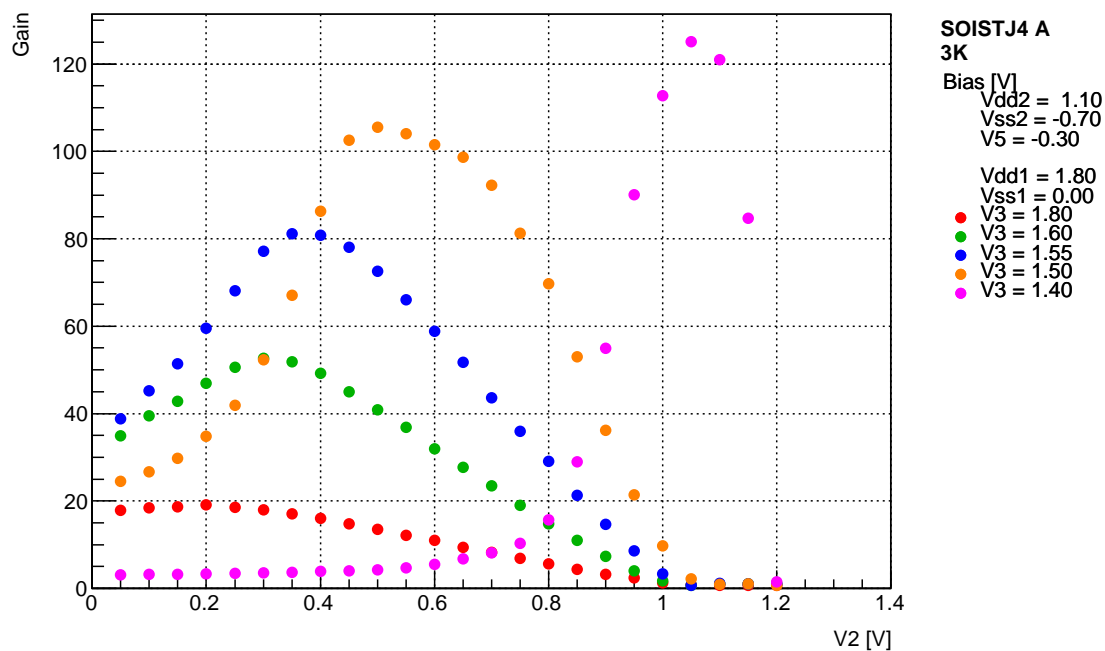


図 5.62: SOI-STJ4 A 利得のバイアス電圧依存性 (3K)

5.5.3 周波数特性

節 5.3.3 や節 5.4.4 と同様に，入力周波数に対する回路の応答を調べた．シミュレーション及び測定回路図は前節と同じ (図 5.56) である．

先述した通り，回路全体の周波数特性は主にバッファ段に印加するバイアスで決まる．したがって，増幅段のバイアス電圧は固定し，バッファ段のバイアス電圧のみを変化させ，周波数を走査させた時の応答を測定する．増幅段のバイアス電圧は前節 5.5.2 の結果から，利得が最大となるものを用いる．

入力端子 IN にファンクションジェネレータで生成した正弦波を入力し，その周波数を走査しながら出力波形を測定した．入力正弦波の振幅は出力が飽和しないように peak to peak で 1mV とした．ファンクションジェネレータと入力端子間は $4.7\mu\text{F}$ のキャパシタンスで区切り，AC 的に接続した．入出力波形はオシロスコープ (入力インピーダンス $1\text{M}\Omega$ ，AC 結合，512 回平均) で読み取り，それぞれの peak to peak の値を取得した．利得は出力波形の peak to peak 値を入力波形の peak to peak 値で割ることで算出した．

この測定をバッファ段のバイアス電圧を変えて，繰り返し行った．ただし，バッファ段入力端子のバイアスは，単体での測定時の様に直接与えることは出来ない．そこで，入力端子電圧は，アンプ段出力端子電圧 (節 5.4.1 や節 5.5.1) の結果も併せ，端子 $VDD2$ ， $VSS2$ の電圧を変えることで調節した．なお，いずれの場合も端子 $VDD2$ - $VSS2$ 間電圧は 1.80V とした．

室温時

室温時の測定結果を図 5.63 から図 5.64 に示す．横軸が入力信号の周波数，縦軸が利得を表し，バッファ段バイアス $V5$ ごとにプロットしてある．増幅段のバイアス電圧は $VDD1 = 1.80\text{V}$ ， $VDD1 = GND(0\text{V})$ ， $V2 = 0.25\text{V}$ ， $V3 = 1.20\text{V}$ とした．待機電圧値の測定から，この時の増幅段出力電圧は $\sim 0.59\text{V}$ と推定できる．

図 5.63 から図 5.64 は，順に $VDD2 = 1.80\text{V}$ ， 1.60V ， 1.40V のものである．増幅段出力電圧が $\sim 0.59\text{V}$ であるから，これらはバッファ段単体での測定 (節 5.3.3) における $V4 = 0.60\text{V}$ ， 0.80V ， 1.00V 時とほぼ同じバイアス条件となる．それらの結果と比較すると，同様の周波数依存性を示していることが確認できる．以上より，増幅段とバッファ段を一体にしたことによる周波数特性の変化はないと言える．

冷凍機配線時

冷凍機配線時の測定結果を図 5.66，図 5.67 に示す．横軸が入力信号の周波数，縦軸が利得を表し，バッファ段バイアス $V5$ ごとにプロットしてある．増幅段のバイアス電圧は $VDD1 = 1.80\text{V}$ ， $VDD1 = GND(0\text{V})$ ， $V2 = 0.25\text{V}$ ， $V3 = 1.20\text{V}$ とした．待機電圧値の測定から，この時の増幅段出力電圧は $\sim 0.59\text{V}$ と推定できる．

図 5.66，図 5.67 は，順に $VDD2 = 1.80\text{V}$ ， 1.40V のものである．増幅段出力電圧が $\sim 0.59\text{V}$ である，これらはバッファ段単体での測定 (節 5.3.3) における $V4 = 0.60\text{V}$ ， 1.00V 時とほぼ同じバイアス条件となる．

室温時や単体測定時の結果とは異なり， 10kHz ， 100kHz 付近にピークの様な特性異常が見られた．室温時には確認出来なかったため，これは冷凍機配線の容量やインダクタンスが原因と考えられる (付録 A 参照)．

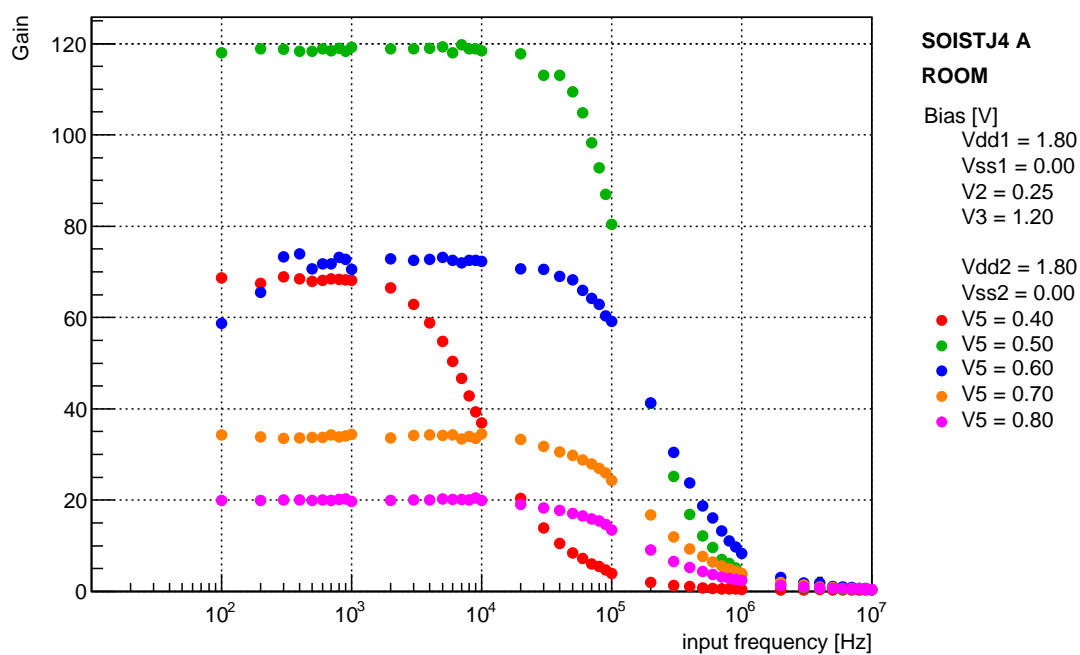


図 5.63: SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.80V$)

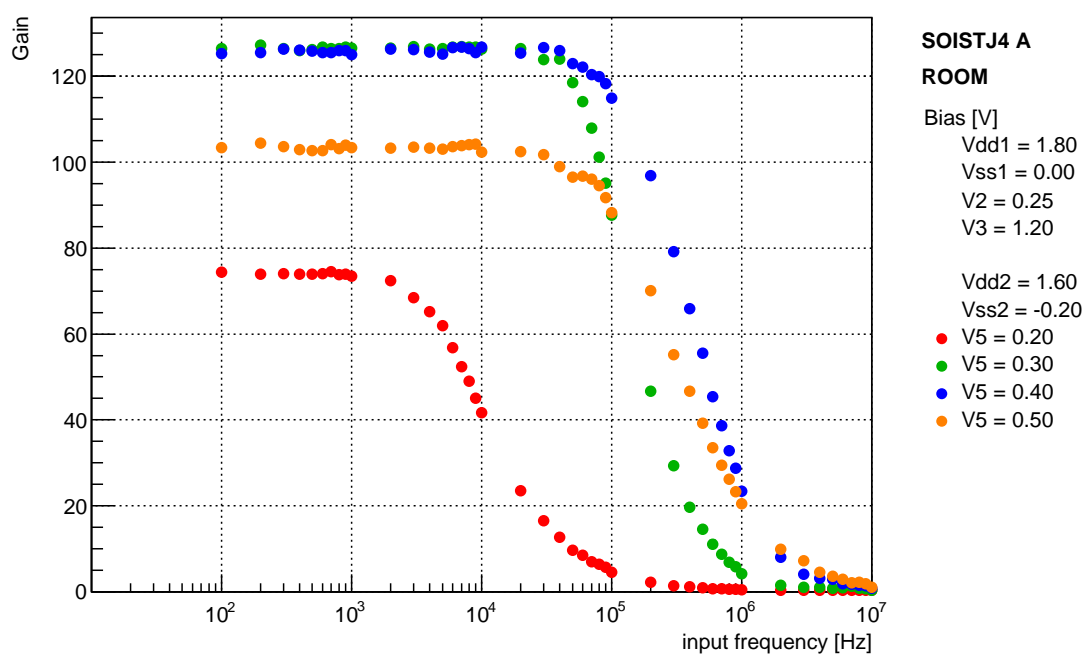


図 5.64: SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.60V$)

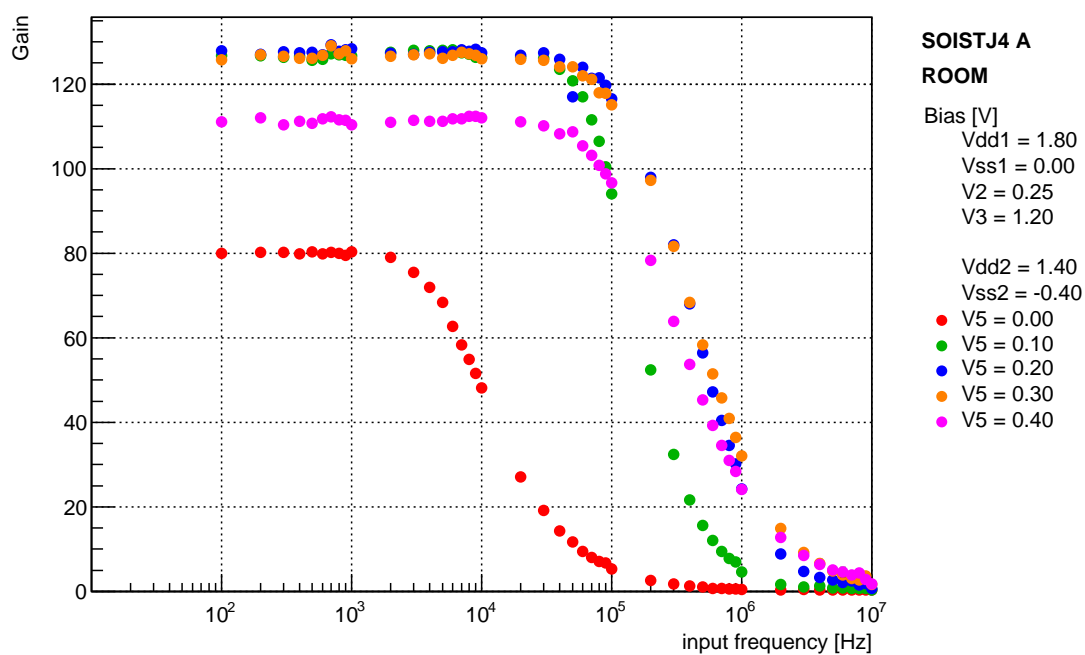


図 5.65: SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.40V$)

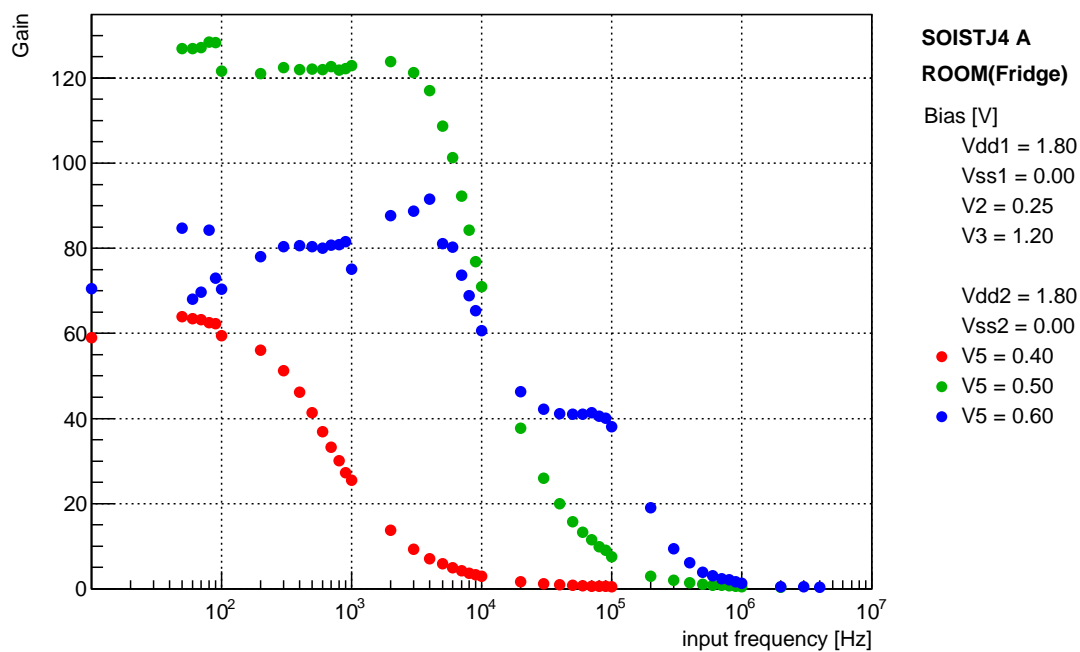


図 5.66: SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.80V$)

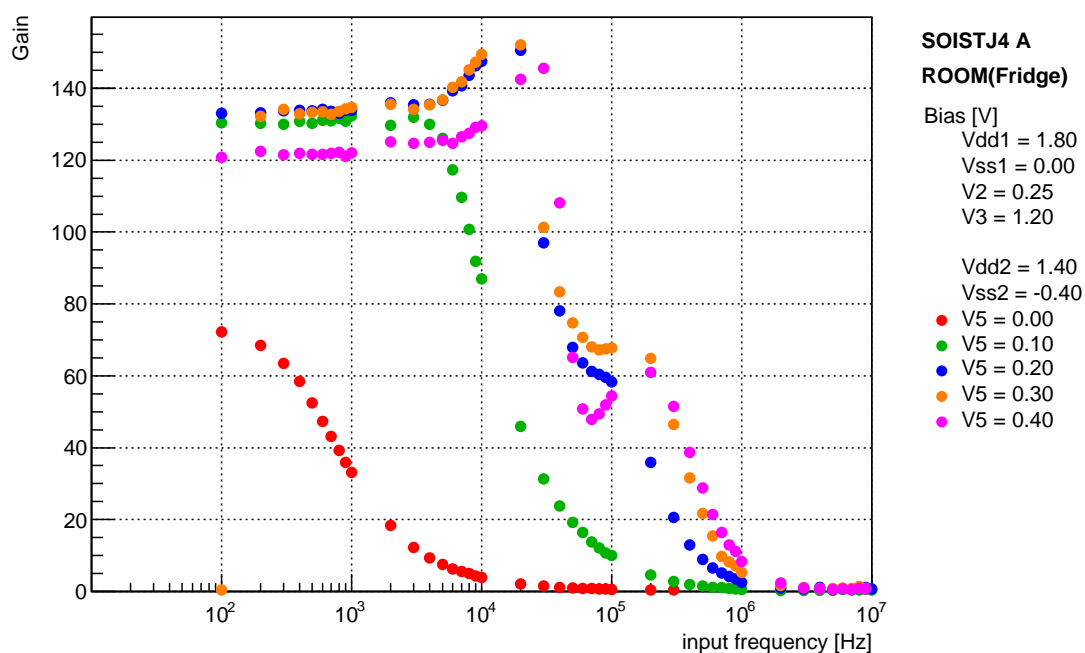


図 5.67: SOI-STJ4 A 周波数特性 (室温, $V_{dd} = 1.40\text{V}$)

極低温時

動作温度 3K 時の測定結果を図 5.68 から図 5.71 に示す．横軸が入力信号の周波数，縦軸が利得を表し，バッファ段バイアス V_5 ごとにプロットしてある．増幅段のバイアス電圧は $V_{DD1} = 1.80\text{V}$ ， $V_{DD1} = GND(0\text{V})$ ， $V_2 = 0.55\text{V}$ ， $V_3 = 1.50\text{V}$ とした．待機電圧値の測定から，この時の増幅段出力電圧は $\sim 0.76\text{V}$ と推定できる．

図 5.68 から図 5.71 は，順に $V_{DD2} = 1.80\text{V}$ ， 1.50V ， 1.10V ， 0.90 のものである．増幅段出力電圧が $\sim 0.76\text{V}$ であるから，これらはバッファ段単体での測定（節 5.3.3）における $V_4 = 0.70\text{V}$ ， 1.00V ， 1.40V ， 1.60V 時とほぼ同じバイアス条件となる．

冷凍機配線時と同様， 30kHz ， 300kHz 付近にピークのような特性異常が見られた．室温時には確認出来なかったため，これは冷凍機配線の容量やインダクタンスが原因と考えられる．

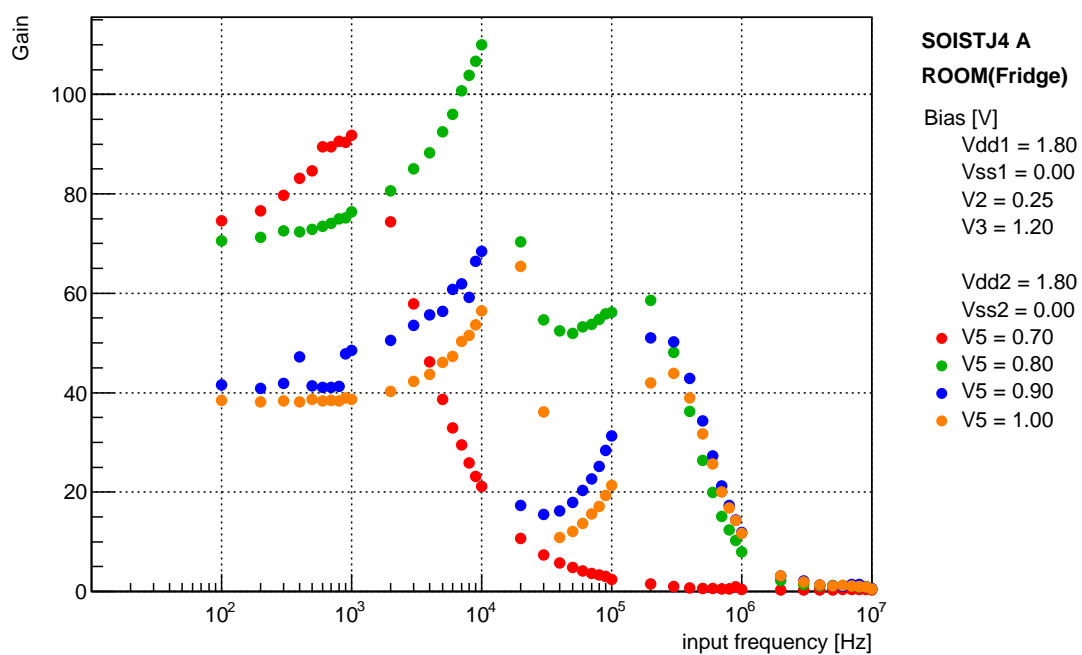


図 5.68: SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.80V$)

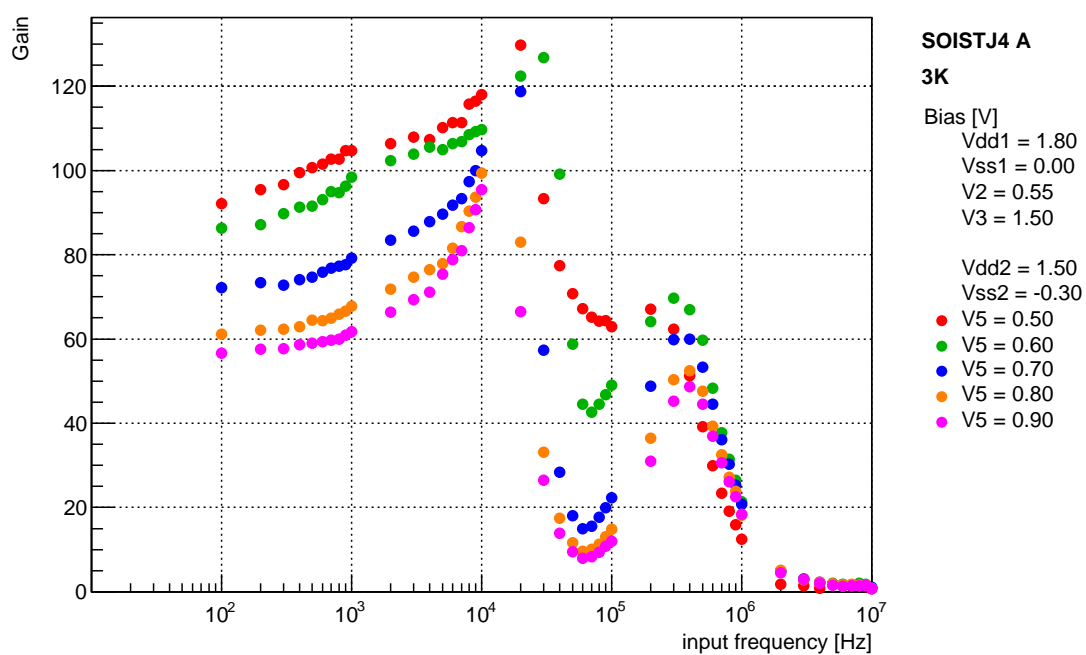


図 5.69: SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.50V$)

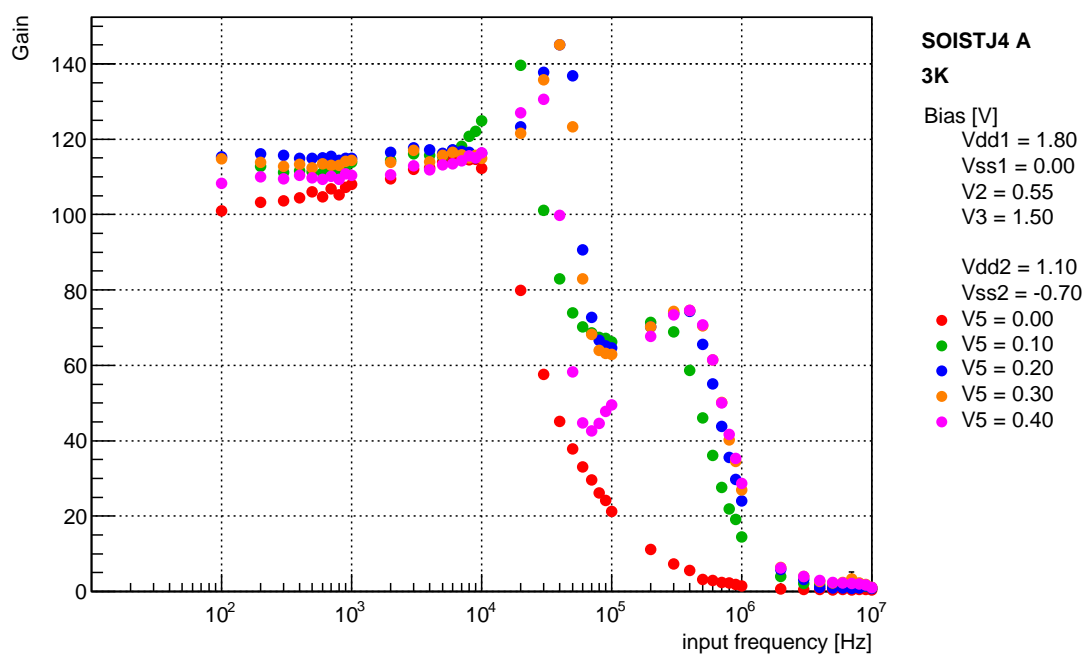


図 5.70: SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 1.10V$)

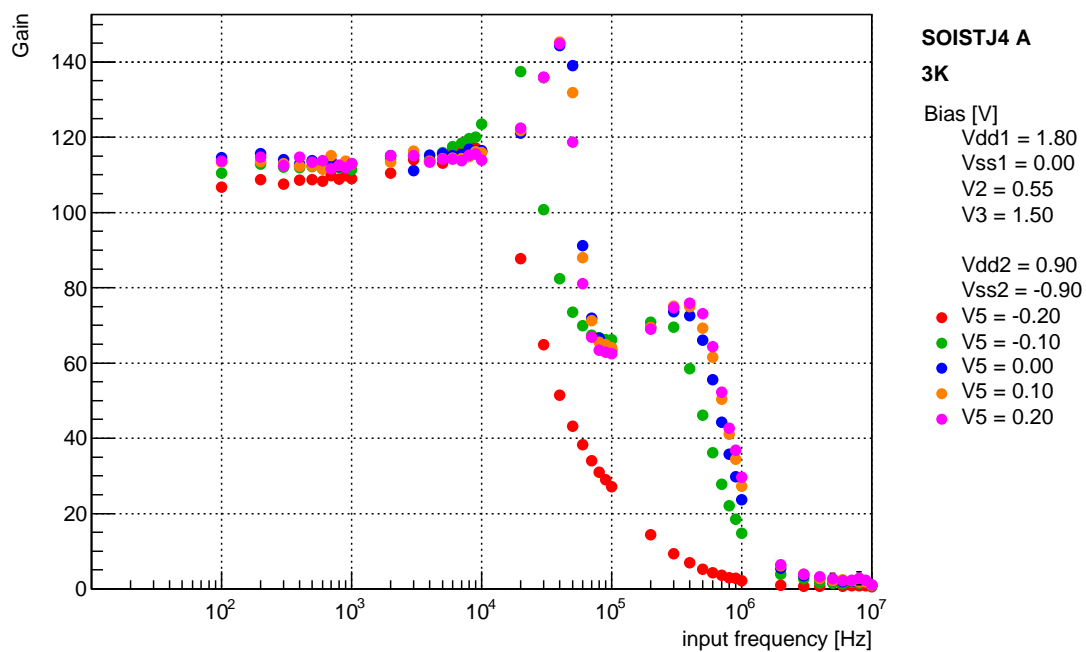


図 5.71: SOI-STJ4 A 周波数特性 (3K, $V_{dd} = 0.90V$)

5.5.4 パルス応答

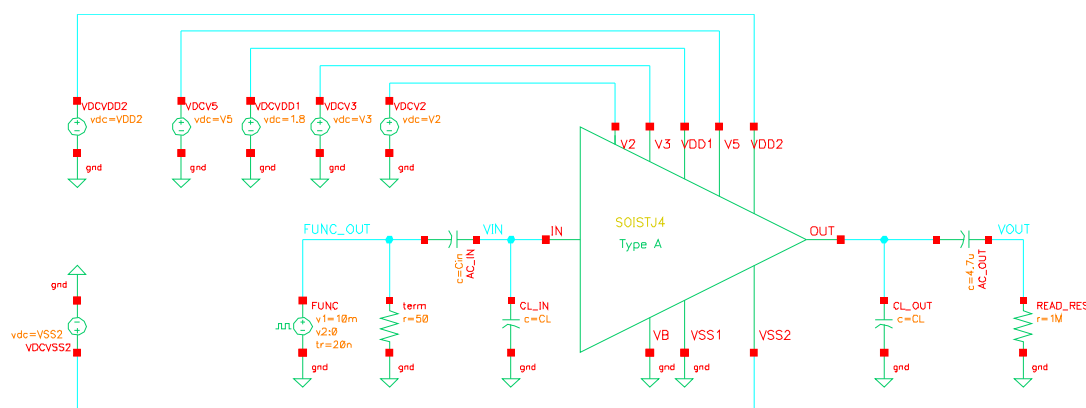


図 5.72: SOI-STJ4 A パルス応答 測定回路

Nb/Al-STJ 検出器の信号を模した模擬信号パルス波を回路に入力し，その応答を調べた．測定回路図を 5.72 に示す．

模擬信号は矩形波をコンデンサで微分することで生成する．入力矩形波は，振幅が peak to peak で 10mV，幅が 25ms，周期が 50ms(20Hz)，立ち上がり時間が 20ns となるように設定した．また，模擬信号の時定数はコンデンサの静電容量と後段の入力インピーダンスで決定される．この容量 C_{in} の値を変えることで模擬信号の時定数を調節した．ただし，冷凍機内へ入射する際は，大きな冷凍機配線容量が存在するため時定数はある値で頭打ちされる．

各バイアス電圧は前節までの結果より，増幅回路の性能が総合的に最大となる点を設定し測定を行った．入出力波形はオシロスコープ（入力インピーダンス $1M\Omega$ ，AC 結合，512 回平均）で読みだした．以下，信号幅 τ を，信号の立ち上がりから電圧値がピーク電圧 V_p の $1/e$ となるまでの時間と定義し評価を行った．

室温時

室温時の測定結果を図 5.73 に示す．図は入力矩形波（緑）と入力模擬信号（青），出力波形（赤）を表す．入力コンデンサ容量は $C_{in} = 100\text{pF}$ ，バイアス電圧は $VDD1 = 1.80\text{V}$ ， $VSS2 = GND(0\text{V})$ ， $V2 = 0.25\text{V}$ ， $V3 = 1.20\text{V}$ ， $VB = GND(0\text{V})$ ， $VDD2 = 1.40\text{V}$ ， $VSS2 = -0.40\text{V}$ ， $V5 = 0.50\text{V}$ で測定を行った．

この時，入力模擬信号はピーク電圧 6.5mV，信号幅 $2.0\mu\text{s}$ となった．この信号は回路で増幅され，ピーク電圧 185mV，時定数 $3.3\mu\text{s}$ の出力信号で確認された．したがって，このバイアス条件では，最大ピーク電圧値で 30 倍程の増幅が得られるが，応答は 2 倍程遅くなる．

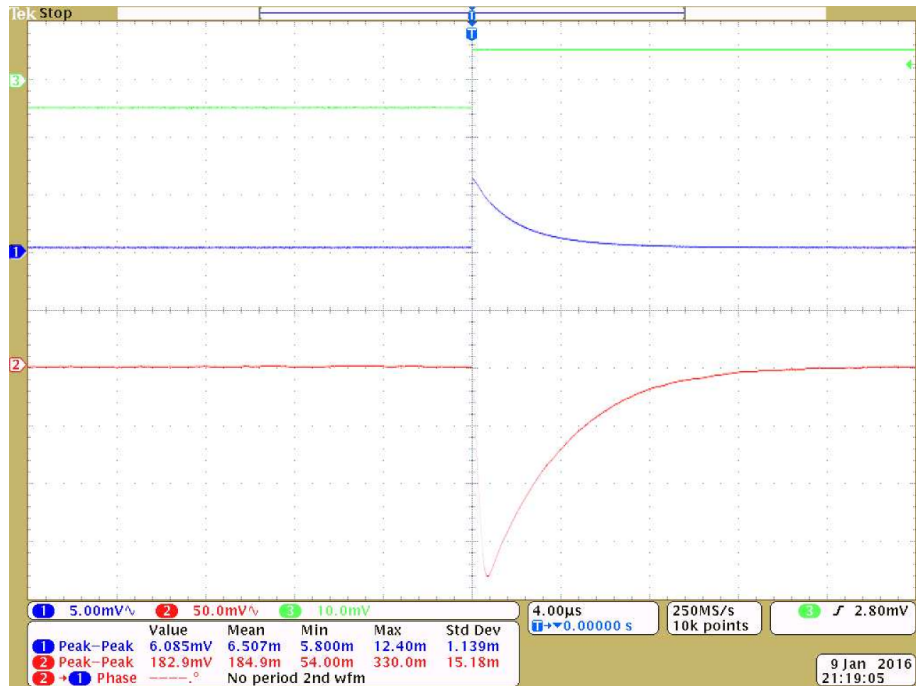


図 5.73: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力模擬信号 (青) と出力信号 (赤) (室温)

冷凍機配線時

冷凍機配線時の測定結果を図 5.74 に示す．図は入力矩形波 (緑) と入力模擬信号 (青) , 出力波形 (赤) を表す．入力コンデンサ容量は $C_{in} = 1000\text{pF}$, バイアス電圧は $V_{DD1} = 1.80\text{V}$, $V_{SS2} = GND(0\text{V})$, $V_2 = 0.25\text{V}$, $V_3 = 1.20\text{V}$, $V_B = GND(0\text{V})$, $V_{DD2} = 1.40\text{V}$, $V_{SS2} = -0.40\text{V}$, $V_5 = 0.50\text{V}$ で測定を行った．

この時, 入力模擬信号はピーク電圧 3.5mV , 信号幅 $12.0\mu\text{s}$ となった．冷凍機配線の容量により入力信号幅が頭打ちとなったため, 室温時より入力コンデンサの容量は大きくした．その分, ピーク電圧値も大きくなっている．この信号は回路で増幅され, ピーク電圧 209mV , 信号幅 $46.8\mu\text{s}$ の出力信号で確認された．利得は 16 倍程度と室温時よりも小さくなっている．これは, 冷凍機内に配線したことで図 5.67 の様な特性異常が見られたためと考えられる．応答は 2 倍程遅くなっており, 室温時と一致する．

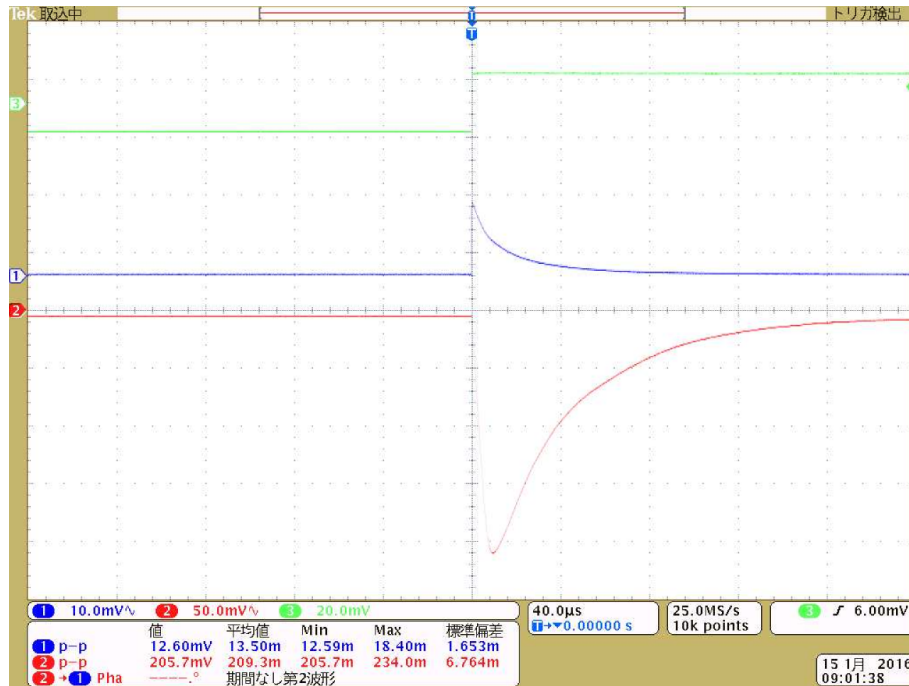


図 5.74: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (冷凍機配線時)

極低温時

極低温時の測定結果を図 5.75 から図 5.81 に示す．いずれの図も入力矩形波 (緑) と入力模擬信号 (青) , 出力波形 (赤) を表す．入力コンデンサ容量は $C_{in} = 1000\text{pF}$ で測定を行った．

図 5.75 から図 5.77 までは動作温度 3K 時 , 図 5.78 から図 5.81 までは素子を 300mK まで冷却した時の測定結果である．それぞれ , 消費電力の異なるバイアス条件数点で測定を行った．増幅段のバイアス電圧はいずれの場合も同じで $V_{DD1} = 1.80\text{V}$, $V_{SS2} = GND(0\text{V})$, $V_2 = 0.55\text{V}$, $V_3 = 1.50\text{V}$, $V_B = GND(0\text{V})$ とした．バッファ段のバイアス電圧はドレイン端子電圧 , 及びソース端子電圧が共通で $V_{DD2} = 1.10\text{V}$, $V_{SS2} = -0.70\text{V}$ とした．バイアス電圧 V_5 のみを変化させ測定を行った．

表 5.2 に各バイアス条件と , その時の消費電力等の測定値をまとめる．

測定結果	$V_5[\text{V}]$	$ID1[\mu\text{A}]$	$ID2[\mu\text{A}]$	$P[\mu\text{W}]$	$T[\text{K}]$	$V_p[\text{mV}]$	$\tau[\mu\text{s}]$
図 5.75	0.00	3.29	1.19	8.06	~ 3	51.5	607
図 5.76	0.10	3.30	51.1	103	~ 3	153	82.0
図 5.77	0.30	3.30	472	856	~ 3	170	45.2
図 5.78	0.00	3.15	1.71	8.75	~ 0.315	102	521
図 5.79	0.10	3.21	55.1	105	~ 0.368	164	116
図 5.80	0.20	3.24	219	400	≤ 0.490	162	67.0
図 5.81	0.30	3.27	471	854	≥ 0.515	152	60.0

表 5.2: SOI-STJA パルス応答 (極低温時) バイアス条件と測定値

3K 時の測定では、いずれのバイアス条件でも消費電力は冷凍機の冷却能力を下回り、温度の温度上昇は見られなかった。

一方、300mK 時での測定では、バイアス条件によっては温度の上昇が確認された。V5 = 0.00V の時は温度上昇は確認されず、冷凍機の最低到達温度 0.315K で一定となった。V5 = 0.10V では、最低温度の 0.315K からは上昇し 0.368K になったものの、そこからの温度上昇は確認されなかった。V5 ≥ 0.20V では測定中常に温度の上昇が確認された。

入力波形はいずれのバイアス条件、温度でもほぼ同じで、ピーク電圧 ~ 6mV、信号幅 ~ 10μs となった。

出力波形は V5 の値が大きいほど応答速度が早くなり、その分ピーク電圧も高くなった。ただし、V5 ≥ 0.20V で波形に変化はほとんど見られず、ピーク電圧 ~ 150mV、信号幅 ~ 60μs 程度で観測された。また、温度による変化もほとんど見られなかった。



図 5.75: SOI-STJ4 A パルス応答 入力矩形波 (緑)、入力信号 (青) と出力信号 (赤)
(3K, VDD2 = 1.10V, V5 = 0.00V)

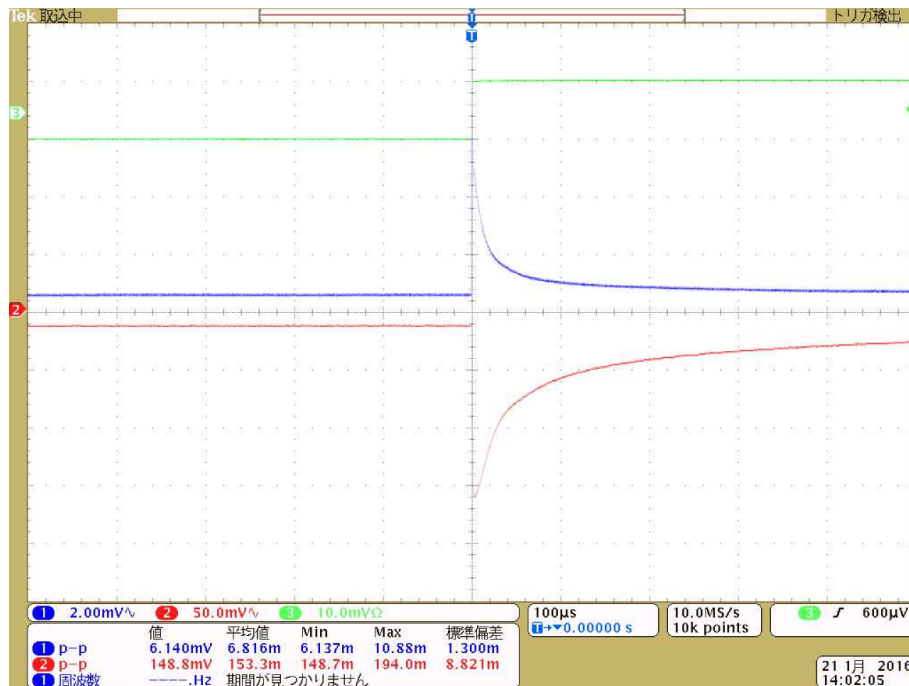


図 5.76: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (3K, $V_{DD2} = 1.10V$, $V_5 = 0.10V$)

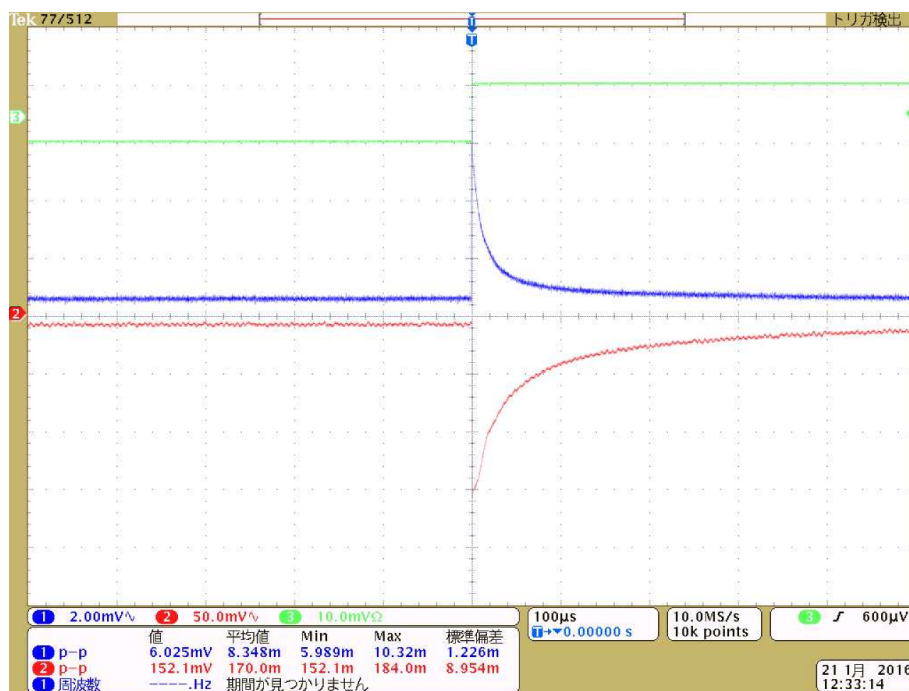


図 5.77: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (3K, $V_{DD2} = 1.10V$, $V_5 = 0.30V$)

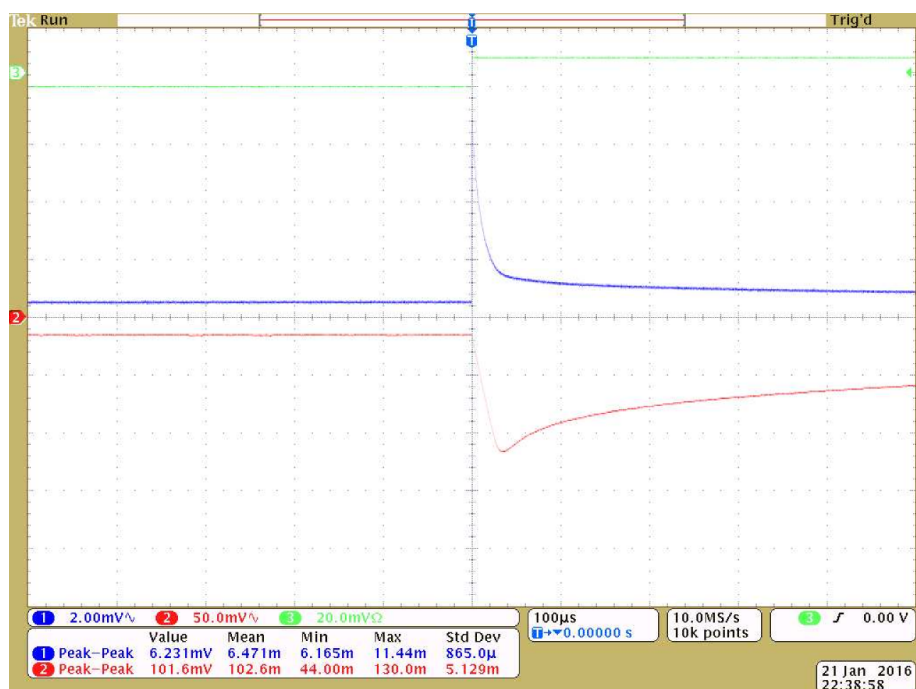


図 5.78: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10\text{V}$, $V_5 = 0.00\text{V}$)

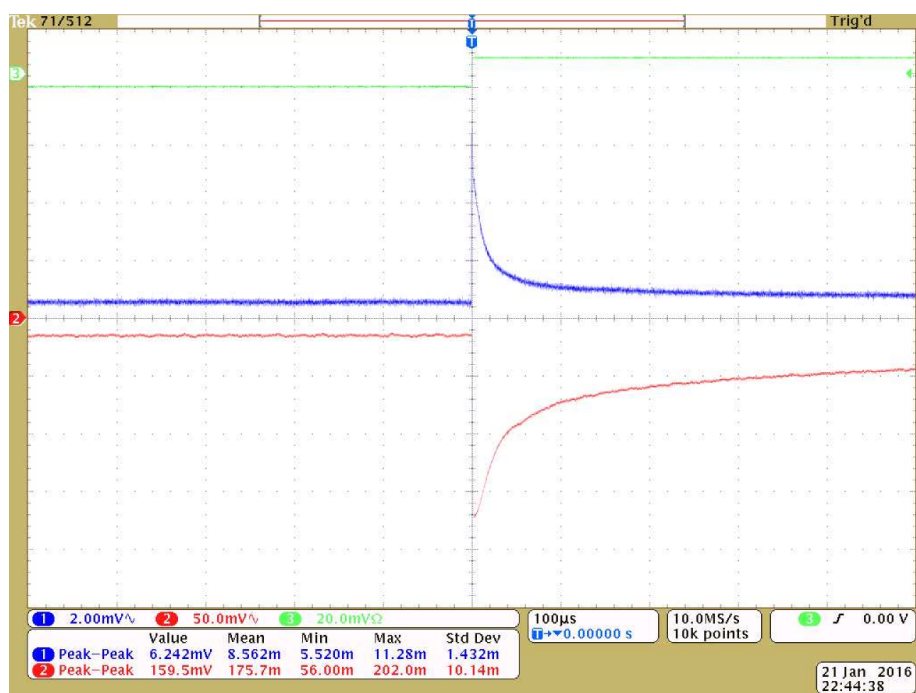


図 5.79: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10\text{V}$, $V_5 = 0.10\text{V}$)

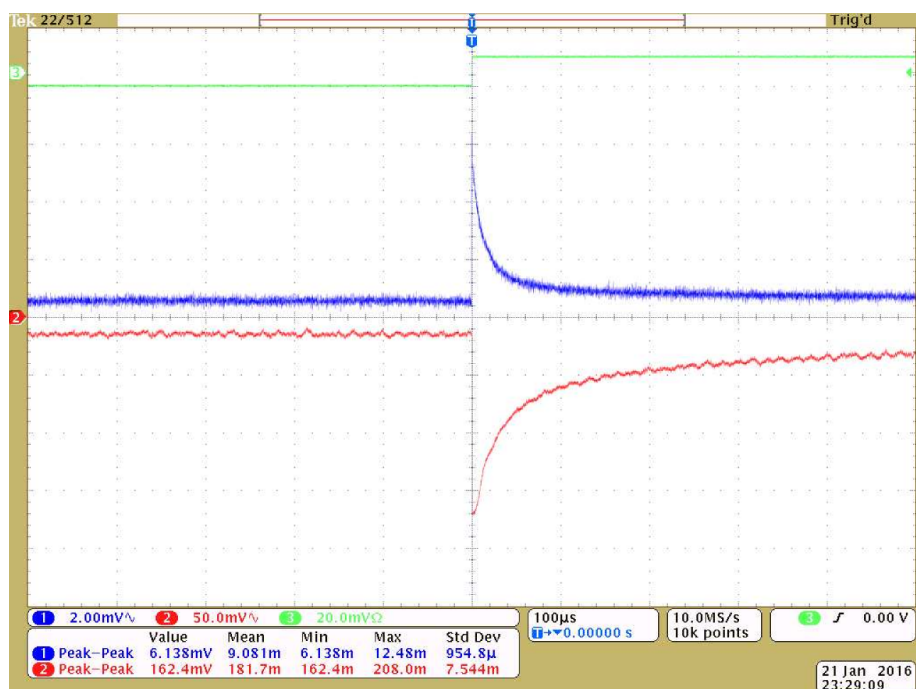


図 5.80: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10\text{V}$, $V_5 = 0.20\text{V}$)

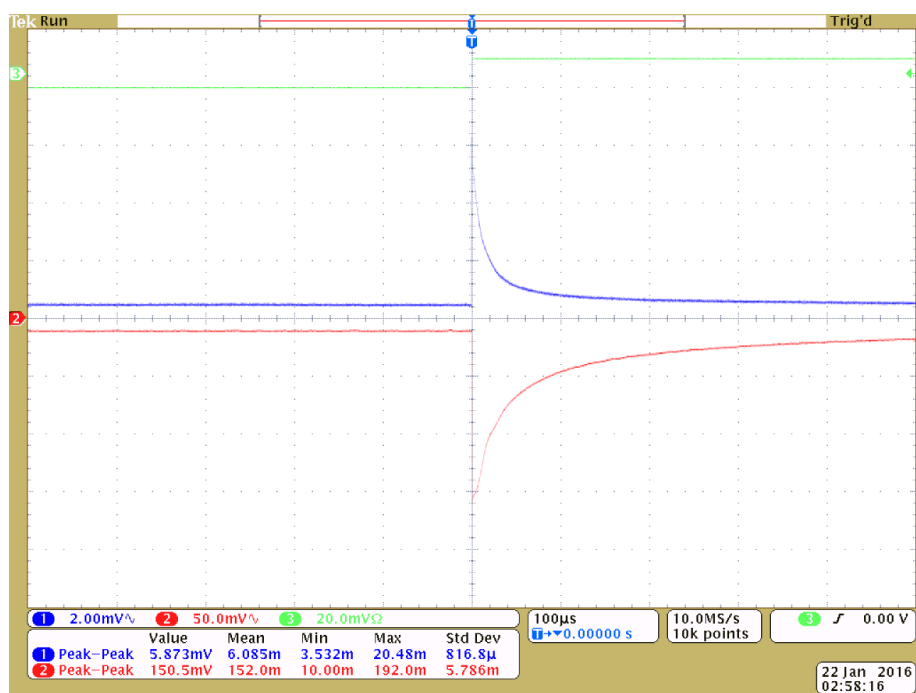


図 5.81: SOI-STJ4 A パルス応答 入力矩形波 (緑) , 入力信号 (青) と出力信号 (赤) (300mK, $V_{DD2} = 1.10\text{V}$, $V_5 = 0.30\text{V}$)

5.5.5 パルス波高分布

前節 5.5.4 の結果から入出力波形の波高分布を算出し，入出力端子での信号雑音比を求めた．

波高分布は，前節で得た信号波形を，ある時間幅で積分することで求めた．積分は信号のある区間とない区間で行い，ある区間の積分値を信号の波高，ない区間の積分値を雑音の波高として扱った．波形はオシロスコープ（入力インピーダンス $1\text{M}\Omega$ ，AC 結合，サンプリング）で読みだし，1000 サンプル分の波高積分値の分布を算出した．信号雑音比 (S/N) は波高分布から次の様に求めた．

$$S/N = \frac{(M_s - M_n)}{RMS_n} \quad (5.1)$$

ここで， M_s ， M_n はそれぞれ，信号波高分布，雑音波高分布の平均値である．また， RMS_n は雑音波高分布の二乗平均平方根を表す．

この波高分布を入力信号，出力信号，それぞれに対して求め，入出力間での信号雑音比の変化を調べた．

また，積分区間による信号雑音比の変化も求めた．以下，出力信号の信号雑音比が最大となる積分区間での波高分布を示す．

室温時

室温時の測定結果を図 5.82，図 5.83 に示す．入力コンデンサ容量は $C_{in} = 100\text{pF}$ ，バイアス電圧は $VDD1 = 1.80\text{V}$ ， $VSS2 = GND(0\text{V})$ ， $V2 = 0.25\text{V}$ ， $V3 = 1.20\text{V}$ ， $VB = GND(0\text{V})$ ， $VDD2 = 1.40\text{V}$ ， $VSS2 = -0.40\text{V}$ ， $V5 = 0.50\text{V}$ であり，これは前節と同じ条件である．

図 5.82 は信号雑音比と積分時間の関係を表す．縦軸が信号雑音比，横軸が積分時間を表す．積分の開始時間は信号区間が $0\mu\text{s}$ から，雑音区間が $-15\mu\text{s}$ からとした．青点が入力信号，赤点が出力信号の信号雑音比を表す．これより，出力信号の信号雑音比が最大となるのは，積分区間が $6\mu\text{s}$ となる時である．

図 5.83 は入出力波形と，その波高分布を表す．この図は出力波形の信号雑音比が最大となる上記の積分時間での波高分布である．図 5.83a は入力波形（青）と出力波形（赤），また積分区間を表す．横軸が時間，縦軸が電圧を表す．また，図 5.83b，図 5.83b はそれぞれ，入力波形，出力波形の波高分布である．横軸が波高積分値，縦軸が要素数を表す．

この結果，信号雑音比は入力波形で 45.1，出力波形で 34.1 となった．すなわち，信号雑音比は室温時，SOI-STJ4 増幅回路を介することでむしろ悪化することが確認できた．これは，室温測定時は読み出し配線が短く，その間で乗る雑音が増幅器で発生する雑音に比べ小さいためと考えられる．

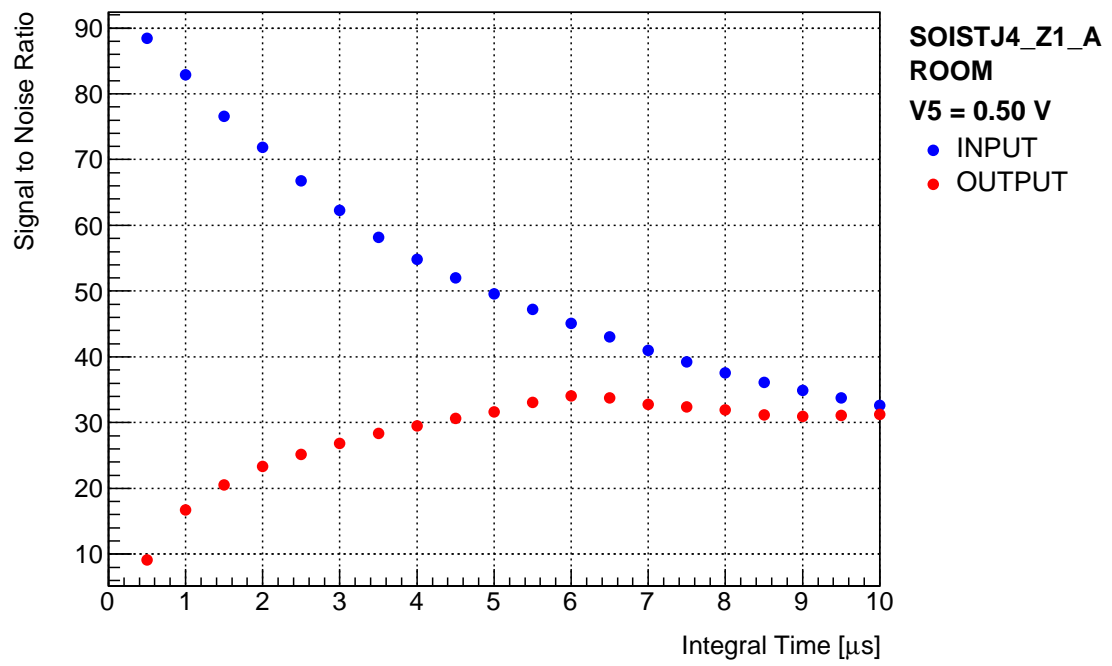
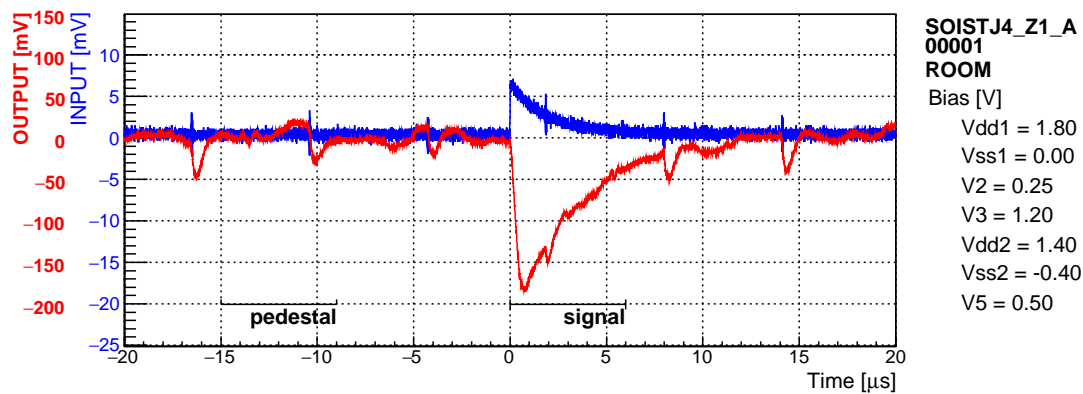
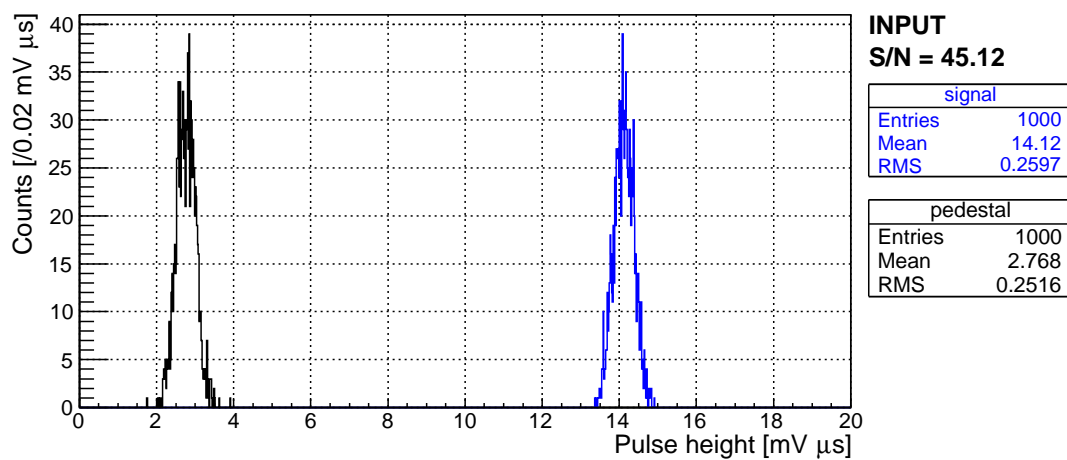


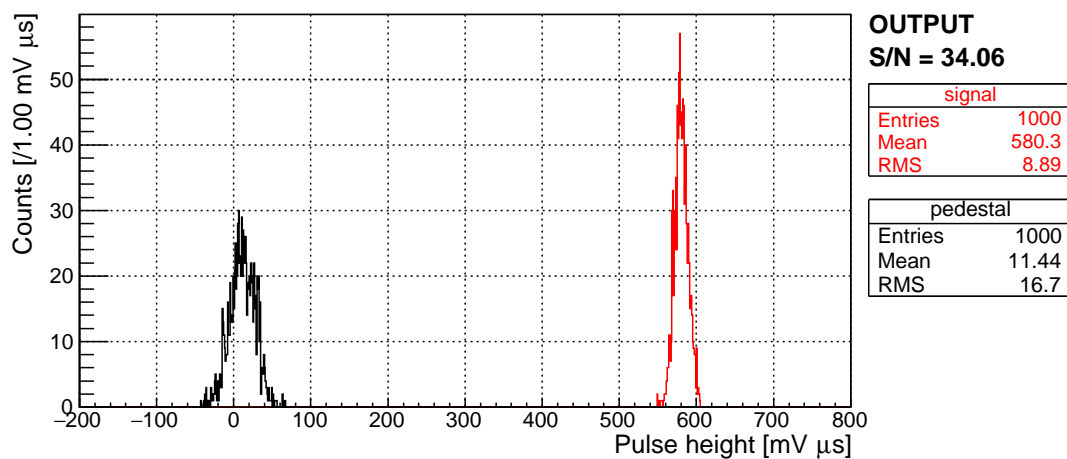
図 5.82: SOI-STJ4 A 信号雑音比の積分時間依存性 (室温)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($6\mu\text{s}$)



(b) 入力波形の波高分布 (青:信号, 黒:雑音)



(c) 出力波形の波高分布 (青:信号, 黒:雑音)

図 5.83: SOI-STJ4 A 波高分布 (室温時)

冷凍機配線時

冷凍機配線時の測定結果を図 5.84 , 図 5.85 に示す . 入力コンデンサ容量は $C_{in} = 1000\text{pF}$, バイアス電圧は $V_{DD1} = 1.80\text{V}$, $V_{SS2} = GND(0\text{V})$, $V_2 = 0.25\text{V}$, $V_3 = 1.20\text{V}$, $V_B = GND(0\text{V})$, $V_{DD2} = 1.40\text{V}$, $V_{SS2} = -0.40\text{V}$, $V_5 = 0.50\text{V}$ であり , これは前節と同じ条件である .

図 5.84 は室温時と同様 , 信号雑音比と積分時間の関係を表す . 積分の開始時間は信号区間が $0\mu\text{s}$ から , 雑音区間が $-150\mu\text{s}$ からとした . これより , 出力信号の信号雑音比が最大となるのは , 積分区間は $100\mu\text{s}$ のときである .

図 5.85 も室温時と同様 , 入出力波形と , その波高分布を表す . この図は出力波形の信号雑音比が最大となる上記の積分時間での波高分布である . 図 5.85a は入力波形 (青) と出力波形 (赤) , また , 図 5.85b , 図 5.85b はそれぞれ , 入力波形 , 出力波形の波高分布である .

この結果 , 信号雑音比は入力波形で 46.3 , 出力波形で 251 となった . すなわち , 冷凍機配線時には SOI-STJ4 回路を介することで信号雑音比が改善することが確認できる . したがって , 冷凍機内からの信号読み出しに SOI-STJ4 回路は有用であると言える .

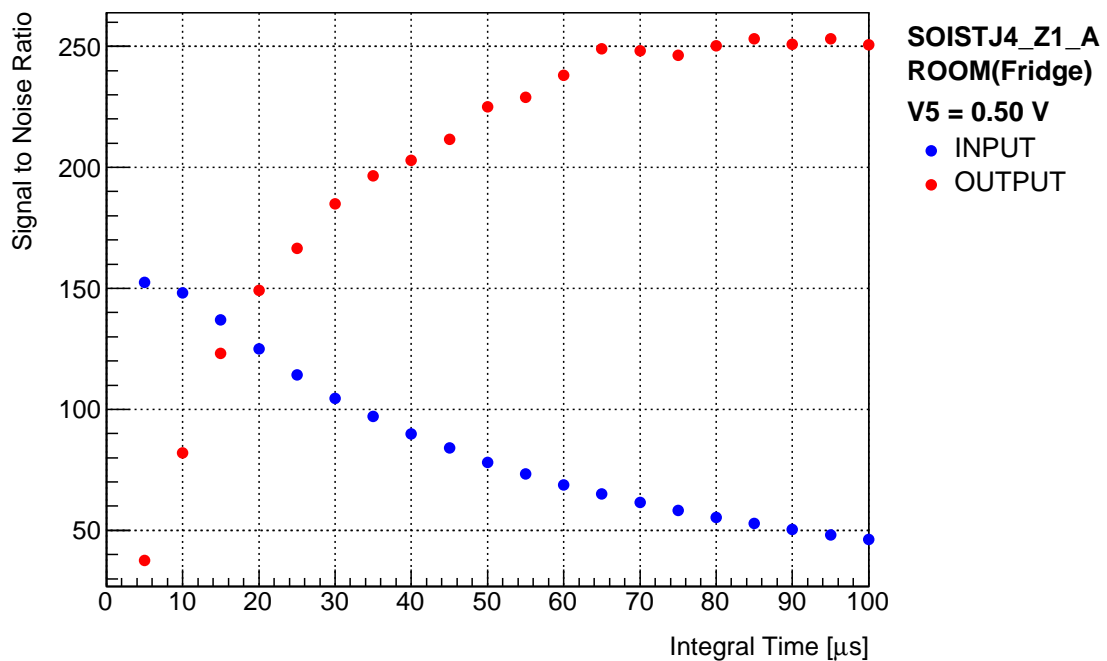
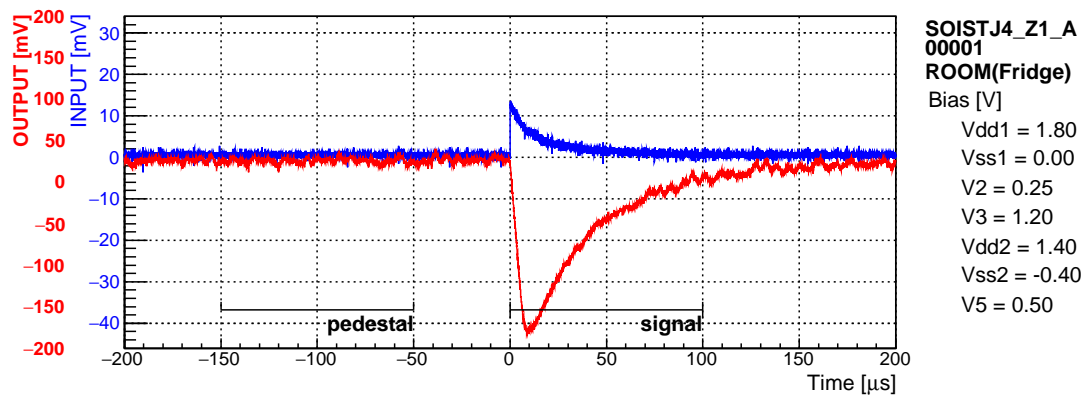
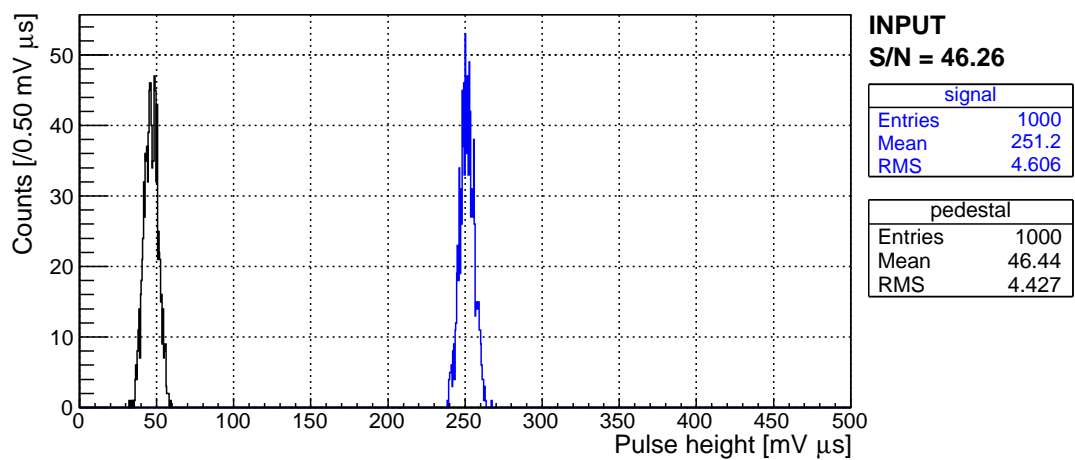


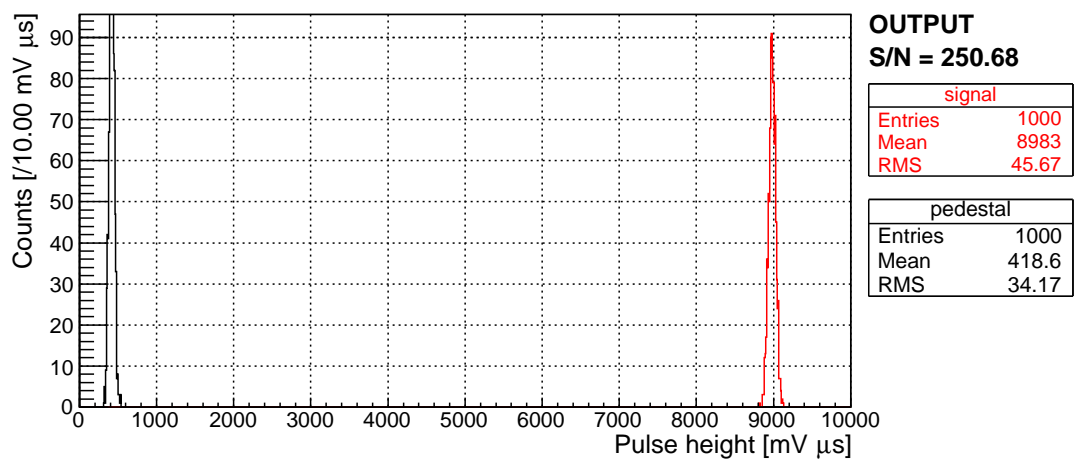
図 5.84: SOI-STJ4 A 信号雑音比の積分時間依存性 (冷凍機配線時)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 (100 μ s)



(b) 入力波形の波高分布 (青:信号, 黒:雑音)



(c) 出力波形の波高分布 (青:信号, 黒:雑音)

図 5.85: SOI-STJ4 A 波高分布 (冷凍機配線時)

極低温時

冷凍機配線時の測定結果を図 5.86 から図 5.99 に示す．いずれも，前節と同じく入力コンデンサ容量は $C_{in} = 1000\text{pF}$ ，バイアス電圧は $V_{DD1} = 1.80\text{V}$ ， $V_{SS2} = GND(0\text{V})$ ， $V_2 = 0.55\text{V}$ ， $V_3 = 1.50\text{V}$ ， $V_B = GND(0\text{V})$ ， $V_{DD2} = 1.10\text{V}$ ， $V_{SS2} = -0.70\text{V}$ の時の測定結果である． V_5 に関しても前節と同じ値で測定を行った．図 5.86 から図 5.91 は 3K 時，図 5.92 から図 5.99 は 300mK 時の測定結果である．

測定条件と測定結果を表 5.3 にまとめる．測定条件と測定時の温度は前節と同じである．表中の信号雑音比の列に示す図は，室温時と同様，信号雑音比と積分時間の関係を表す．積分の開始時間はいずれも，信号区間が $0\mu\text{s}$ から，雑音区間が $-1500\mu\text{s}$ からとした．これより，出力波形の信号雑音比が最大となる積分時間を求めた．その結果を T_{integ} の列に示す．波高分布の列に示す図は，各 T_{integ} で積分した時の，入出力波形とその波高分布を表す．この時の入出力の信号雑音比をそれぞれ， $(S/N)_{IN}$ ， $(S/N)_{OUT}$ の列に示す．

この結果，いずれのバイアス条件においても，SOI-STJ4 回路を介することで信号雑音比が改善することが確認できる．したがって，極低温時においても冷凍機内からの信号読み出しに SOI-STJ4 回路は有用であると言える．

信号雑音比	波高分布	$V_5[\text{V}]$	$P[\mu\text{W}]$	$T[\text{K}]$	$(S/N)_{IN}$	$(S/N)_{OUT}$	$T_{integ}[\mu\text{s}]$
図 5.86	図 5.89	0.00	8.06	~ 3	10.2	48.8	100
図 5.87	図 5.90	0.10	103	~ 3	18.4	94.9	50
図 5.88	図 5.91	0.30	856	~ 3	18.6	111	50
図 5.92	図 5.96	0.00	8.75	~ 0.315	11.6	47.0	110
図 5.93	図 5.97	0.10	105	~ 0.368	12.8	71.1	60
図 5.94	図 5.98	0.20	400	≤ 0.490	12.1	73.5	60
図 5.95	図 5.99	0.30	854	≥ 0.515	11.0	68.2	60

表 5.3: SOI-STJA パルス波高分布 (極低温時) バイアス条件と測定値

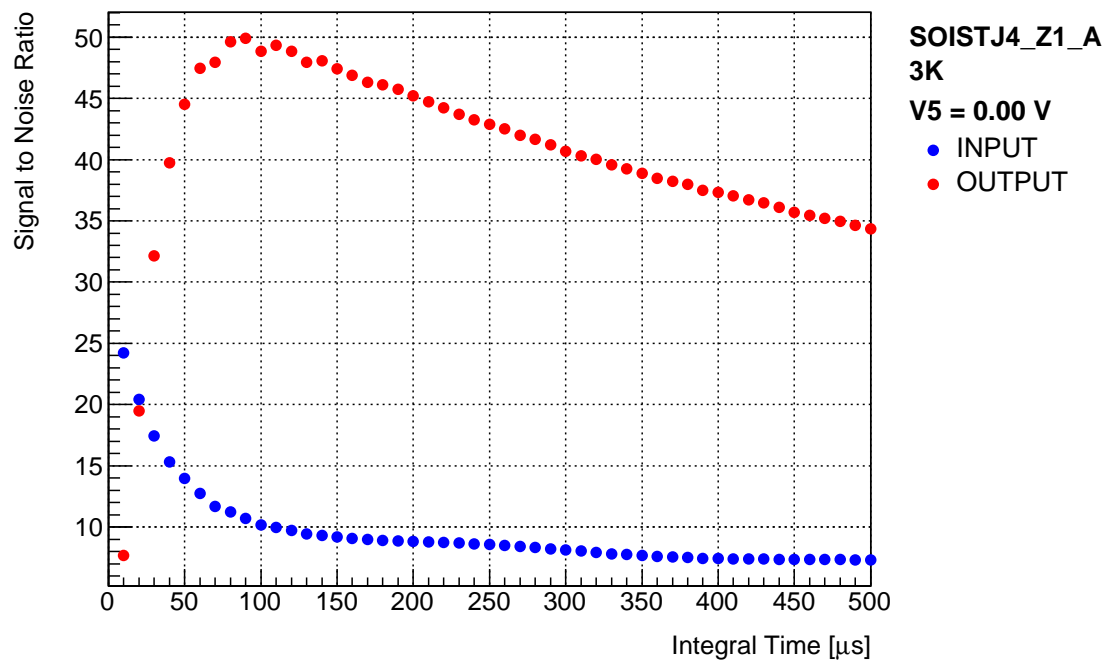


図 5.86: SOI-STJ4 A 信号雑音比の積分時間依存性 (3K , $V_5 = 0.00V$)

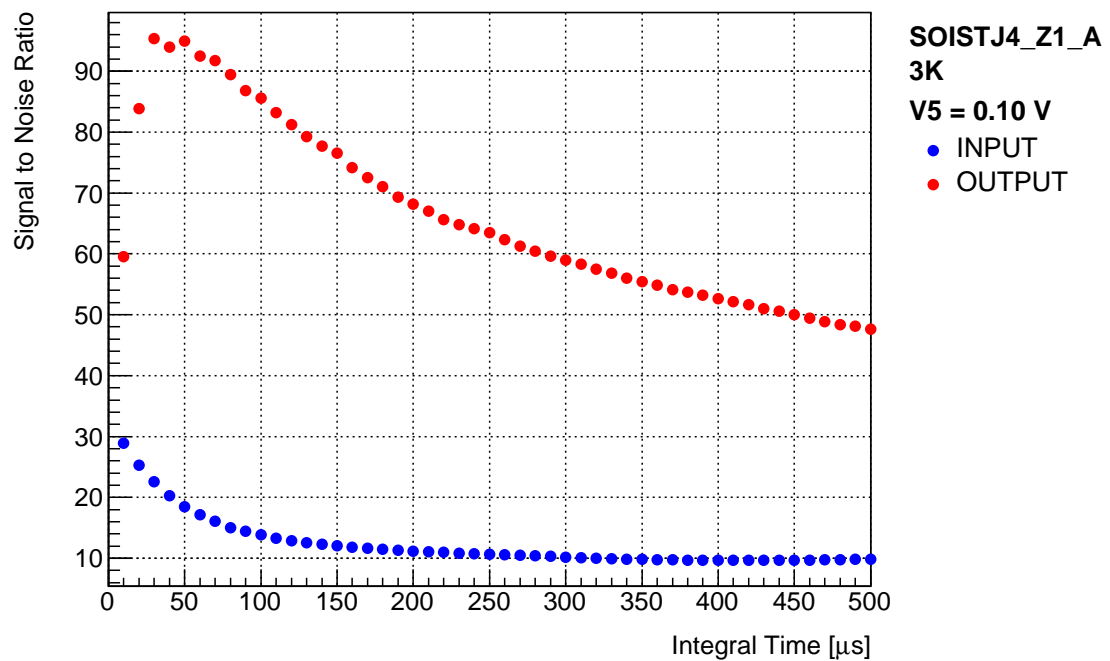


図 5.87: SOI-STJ4 A 信号雑音比の積分時間依存性 (3K , $V_5 = 0.10V$)

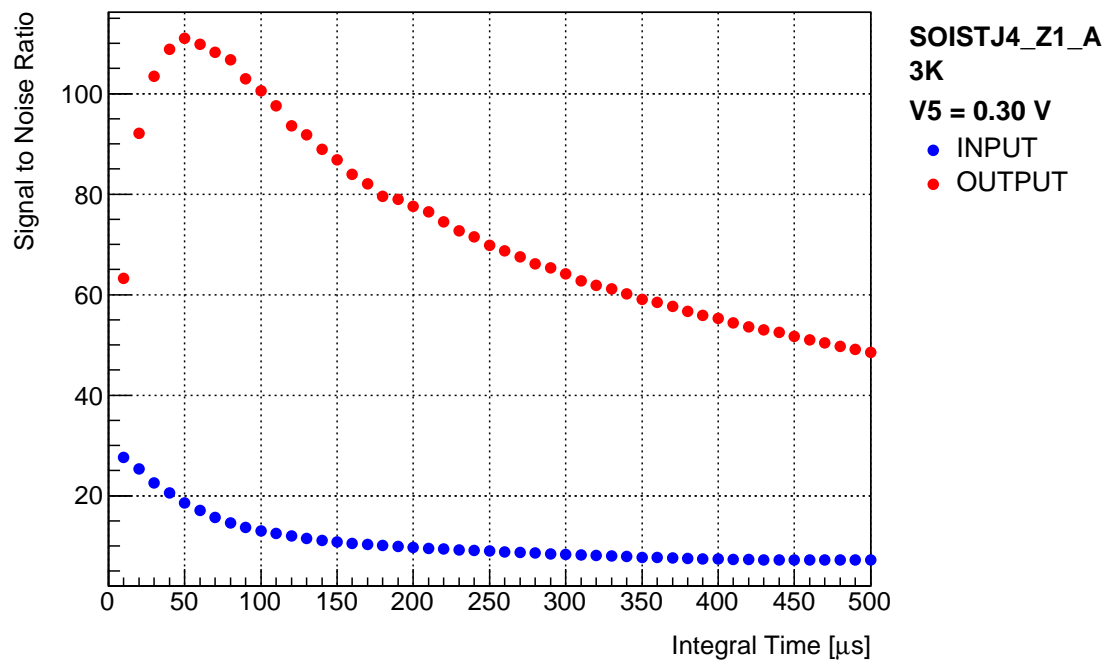
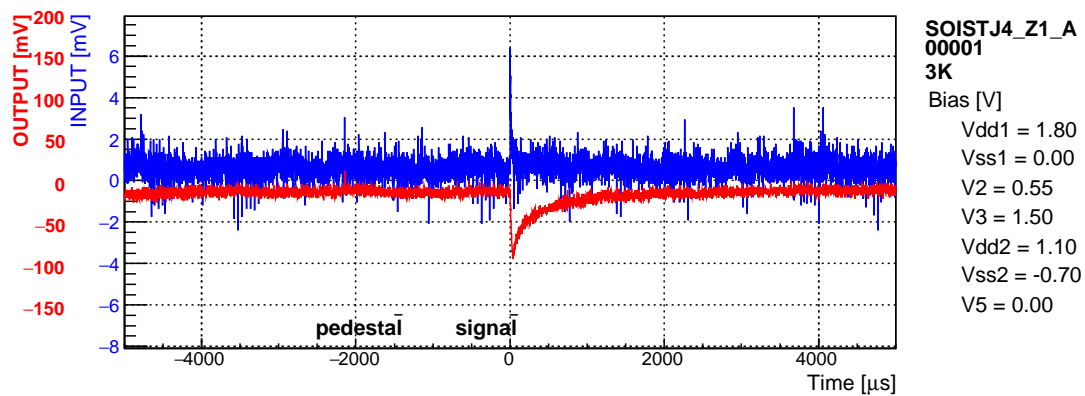
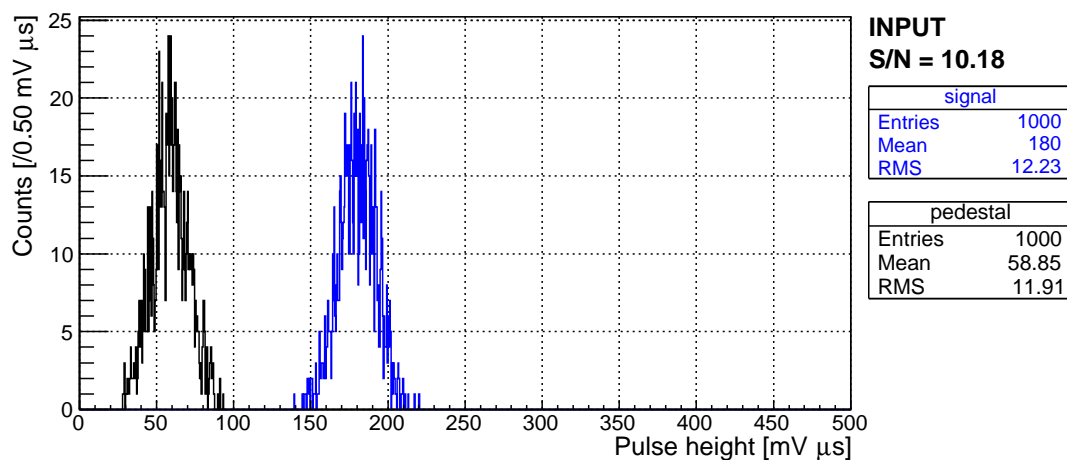


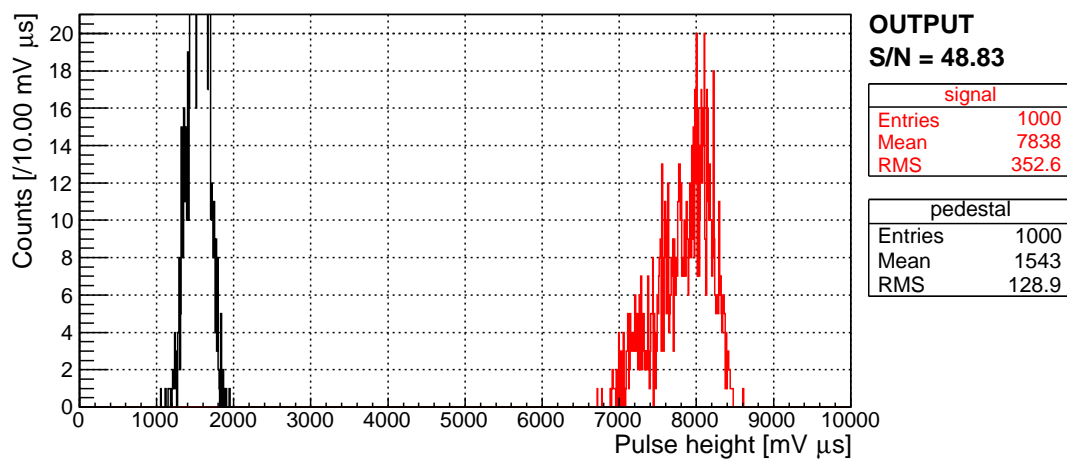
図 5.88: SOI-STJ4 A 信号雑音比の積分時間依存性 (3K , $V5 = 0.30V$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)

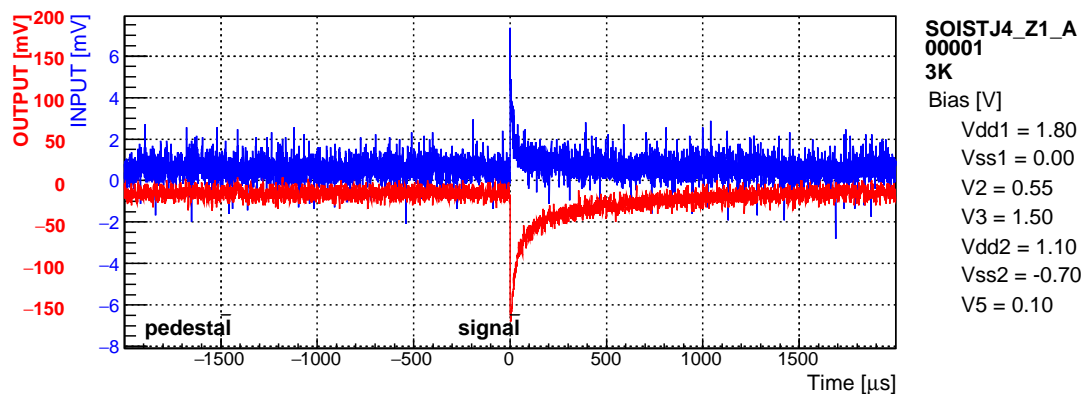


(b) 入力波形の波高分布 (青:信号, 黒:雑音)

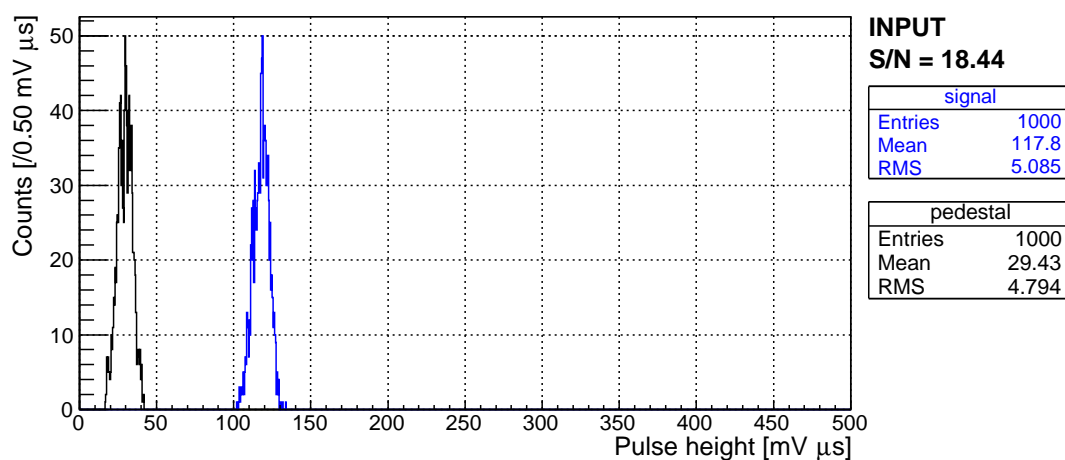


(c) 出力波形の波高分布 (青:信号, 黒:雑音)

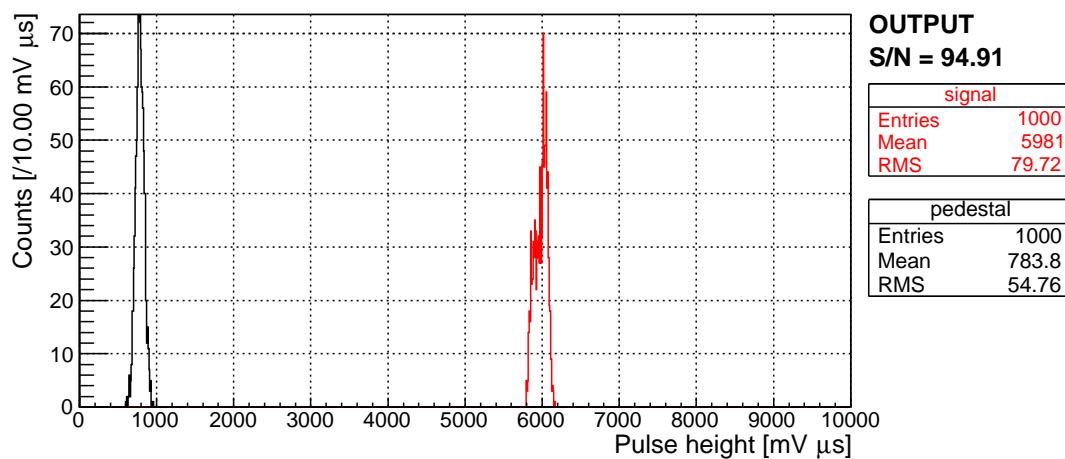
図 5.89: SOI-STJ4 A 波高分布 (3K, $V5 = 0.00\text{V}$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)

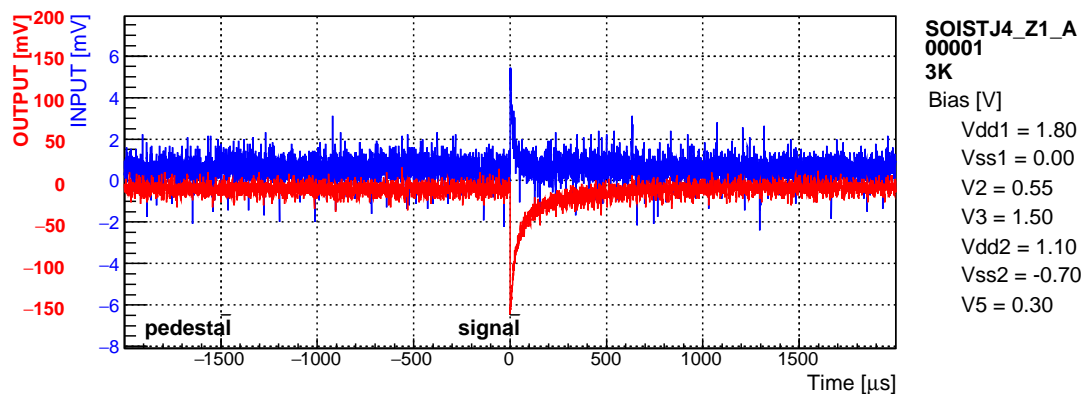


(b) 入力波形の波高分布 (青:信号, 黒:雑音)

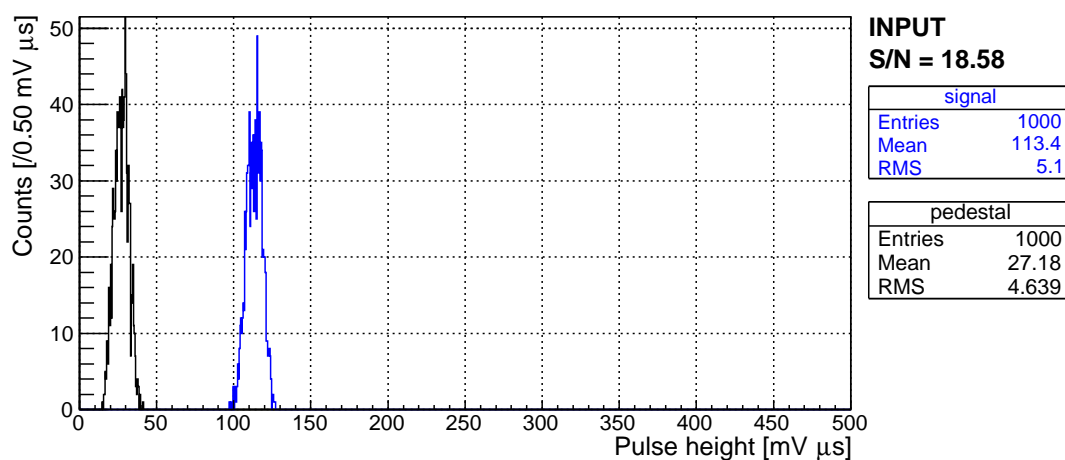


(c) 出力波形の波高分布 (青:信号, 黒:雑音)

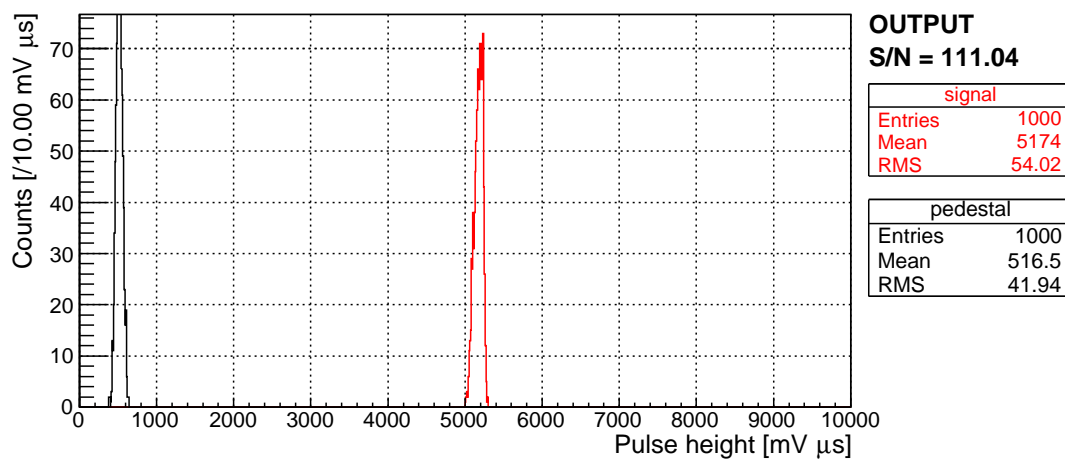
図 5.90: SOI-STJ4 A 波高分布 (3K, $V5 = 0.10\text{V}$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)



(b) 入力波形の波高分布 (青:信号, 黒:雑音)



(c) 出力波形の波高分布 (青:信号, 黒:雑音)

図 5.91: SOI-STJ4 A 波高分布 (3K, $V5 = 0.30\text{V}$)

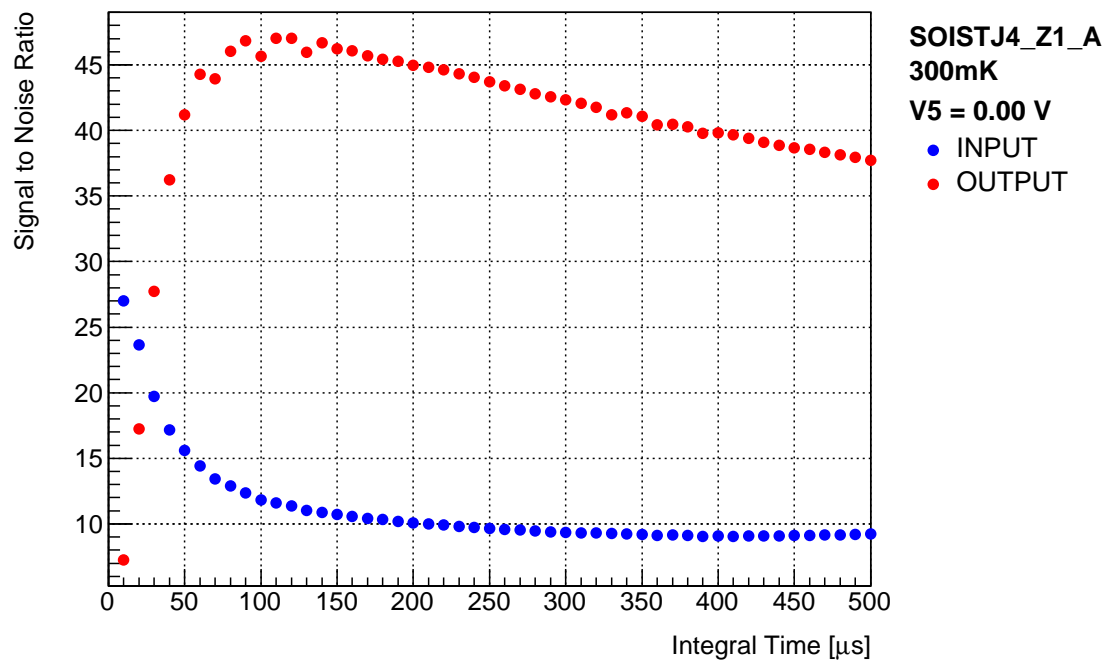


図 5.92: SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK , $V_5 = 0.00$ V)

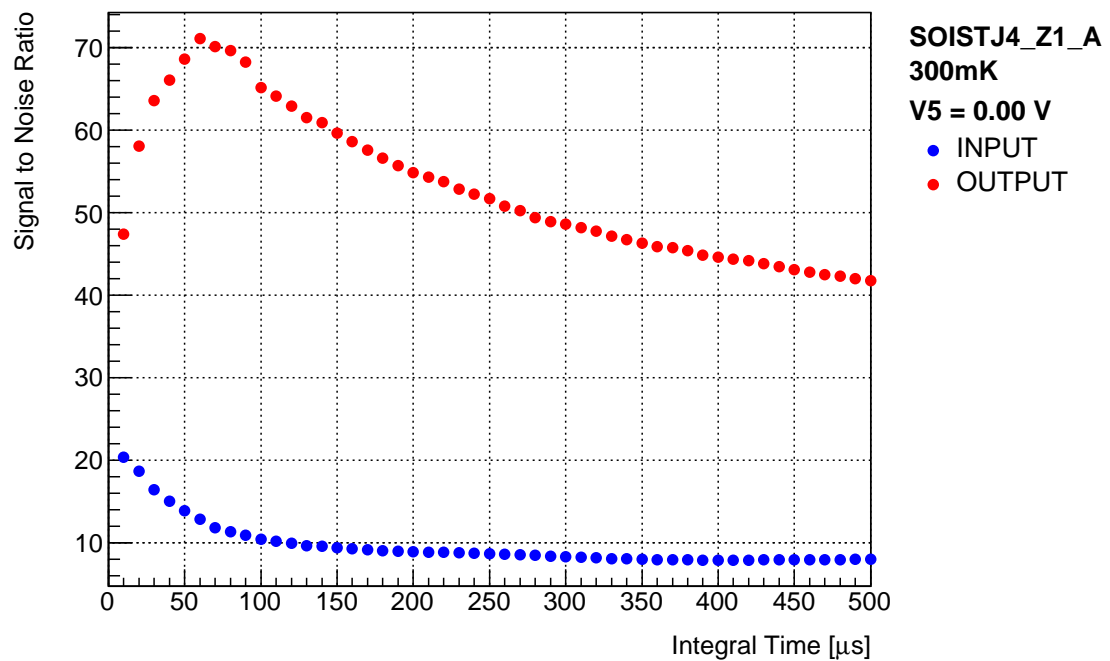


図 5.93: SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK , $V_5 = 0.10$ V)

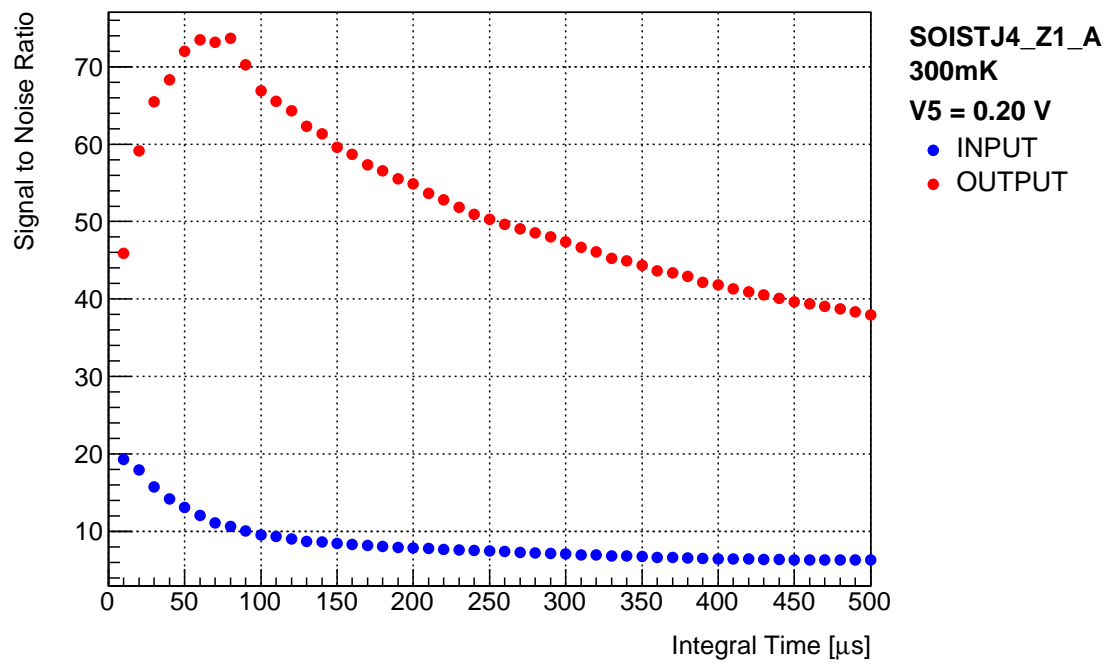


図 5.94: SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK , $V_5 = 0.20$ V)

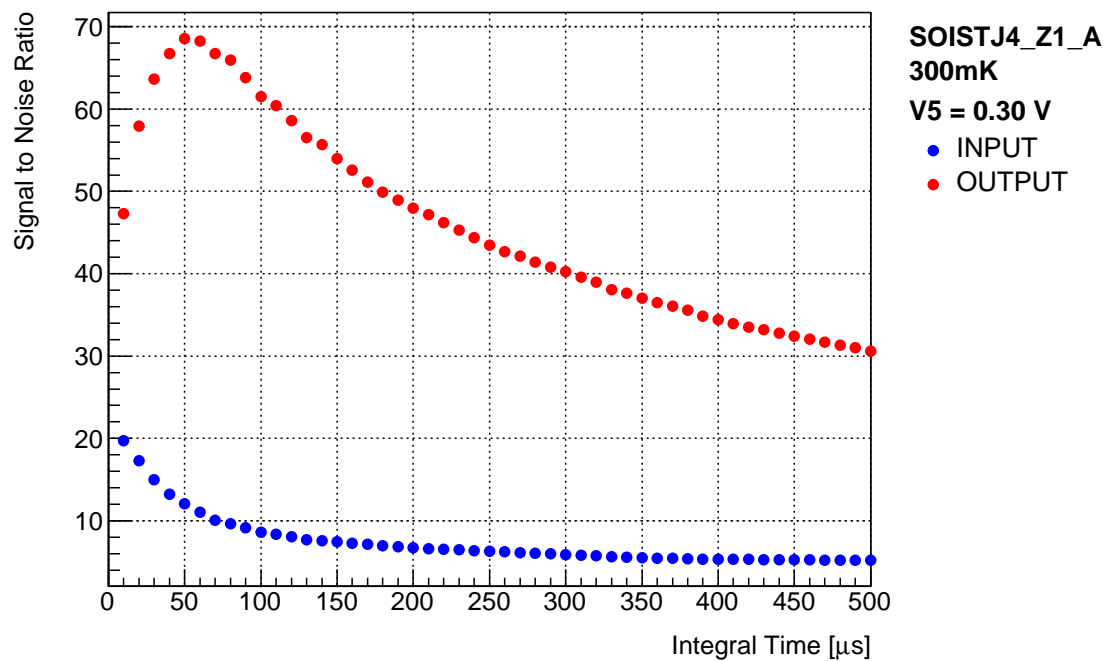
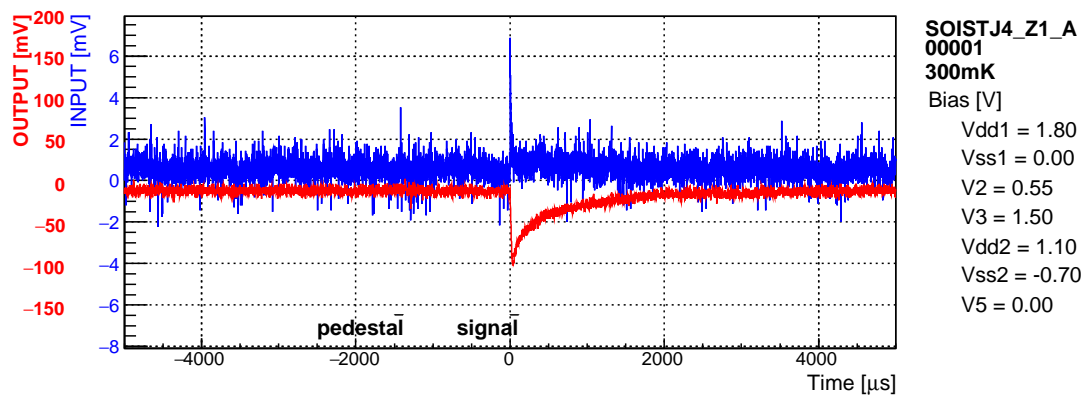
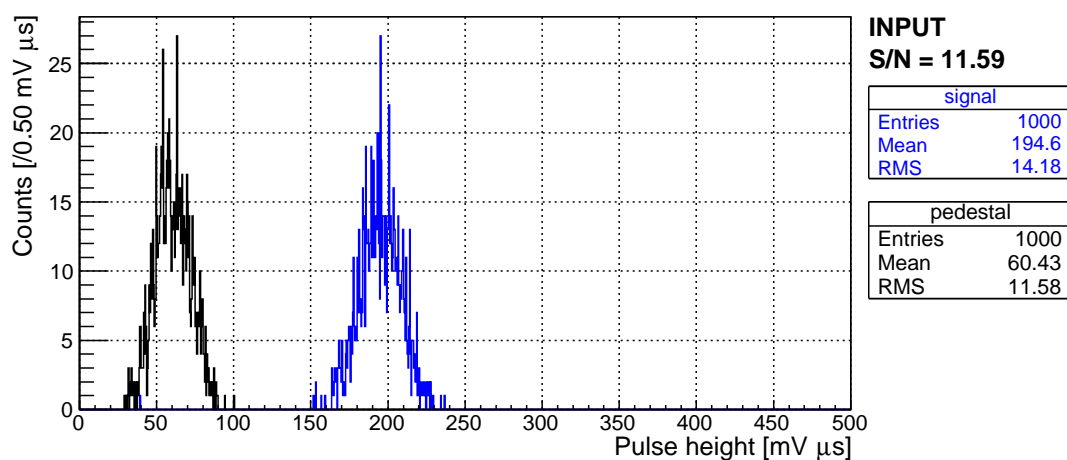


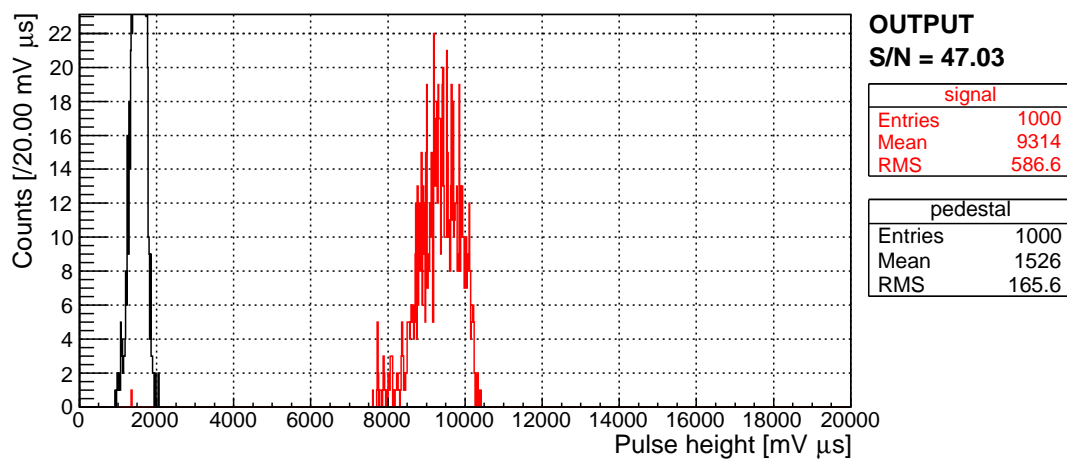
図 5.95: SOI-STJ4 A 信号雑音比の積分時間依存性 (300mK , $V_5 = 0.30$ V)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)

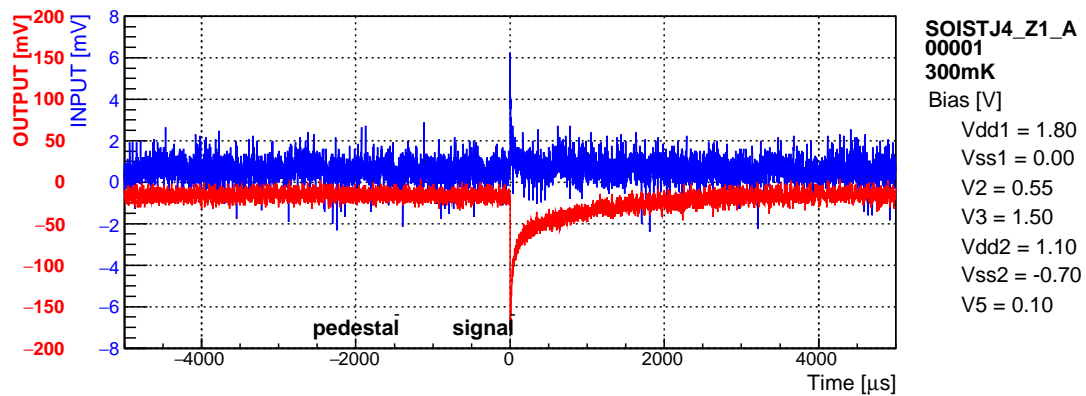


(b) 入力波形の波高分布 (青:信号, 黒:雑音)

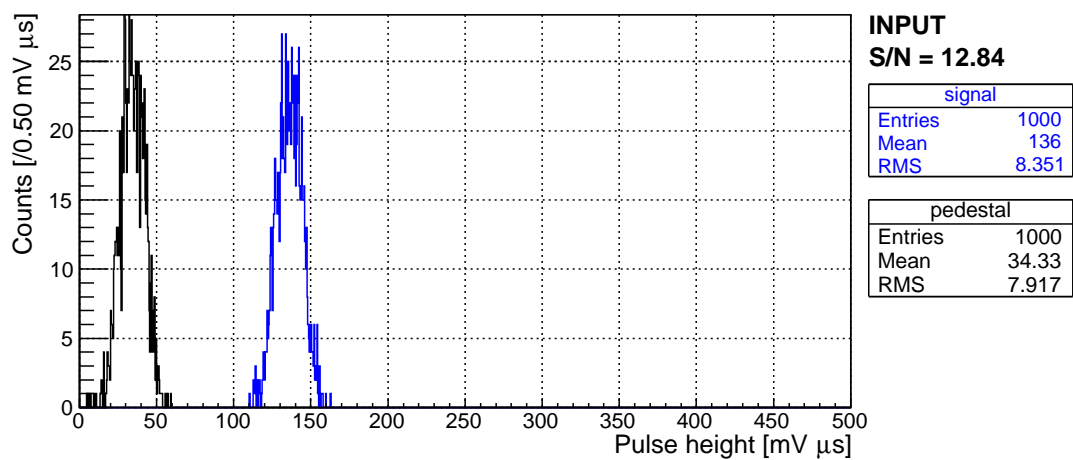


(c) 出力波形の波高分布 (青:信号, 黒:雑音)

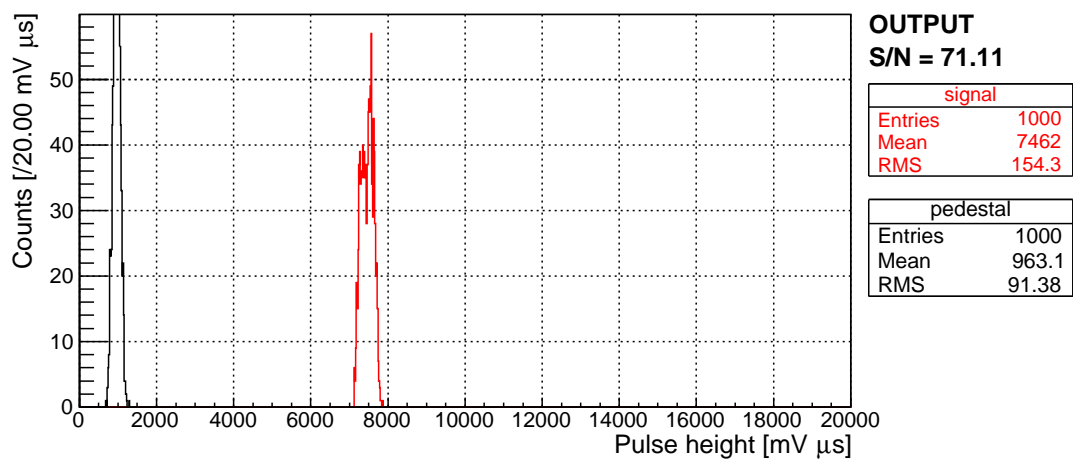
図 5.96: SOI-STJ4 A 波高分布 (300mK , $V5 = 0.00\text{V}$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)

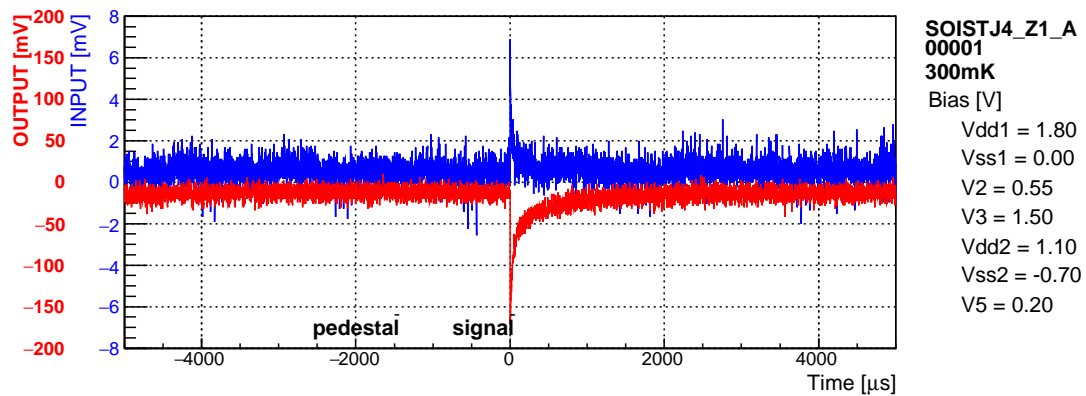


(b) 入力波形の波高分布 (青:信号, 黒:雑音)

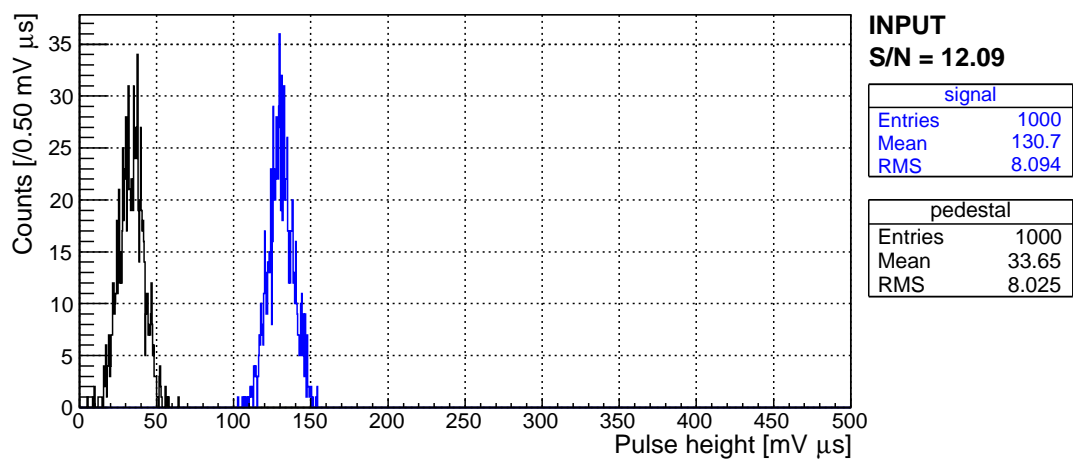


(c) 出力波形の波高分布 (青:信号, 黒:雑音)

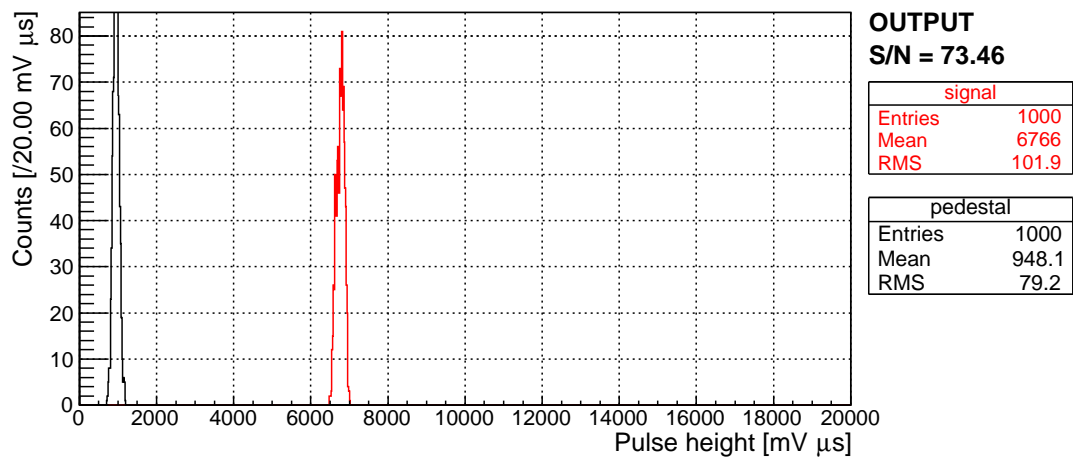
図 5.97: SOI-STJ4 A 波高分布 (300mK, $V5 = 0.10\text{V}$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)

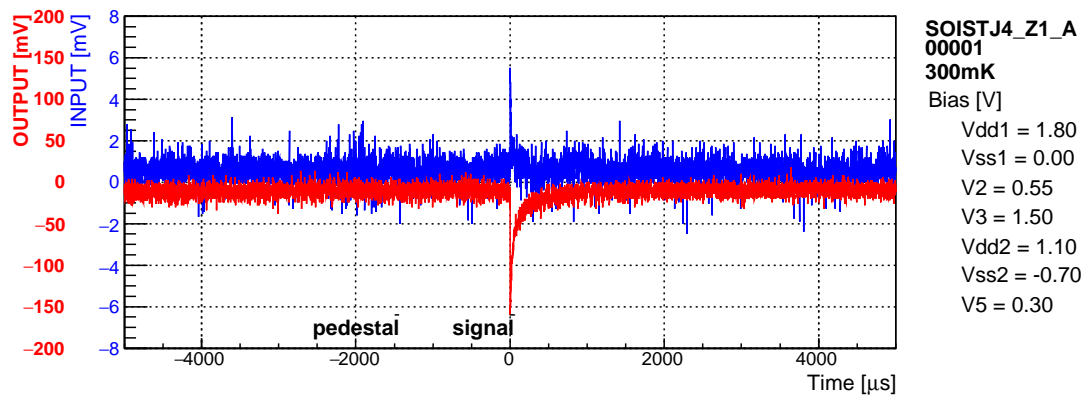


(b) 入力波形の波高分布 (青:信号, 黒:雑音)

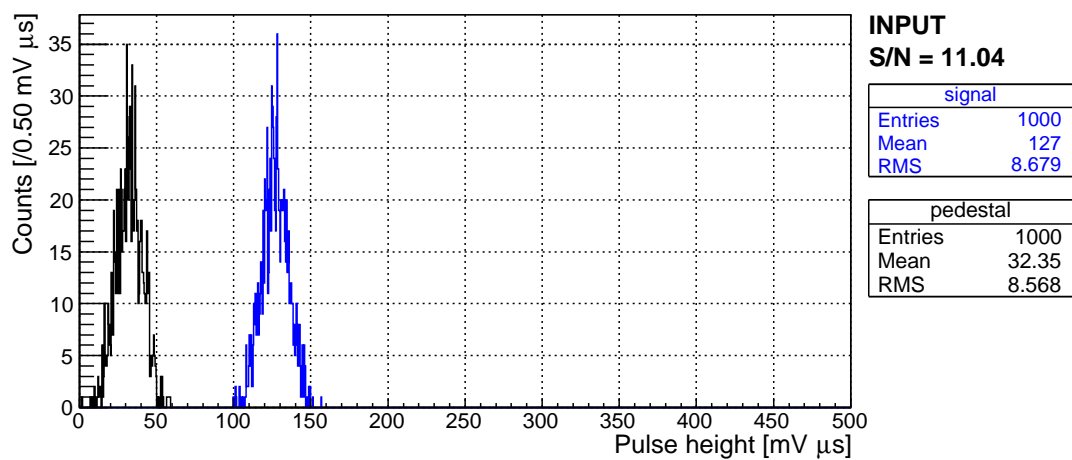


(c) 出力波形の波高分布 (青:信号, 黒:雑音)

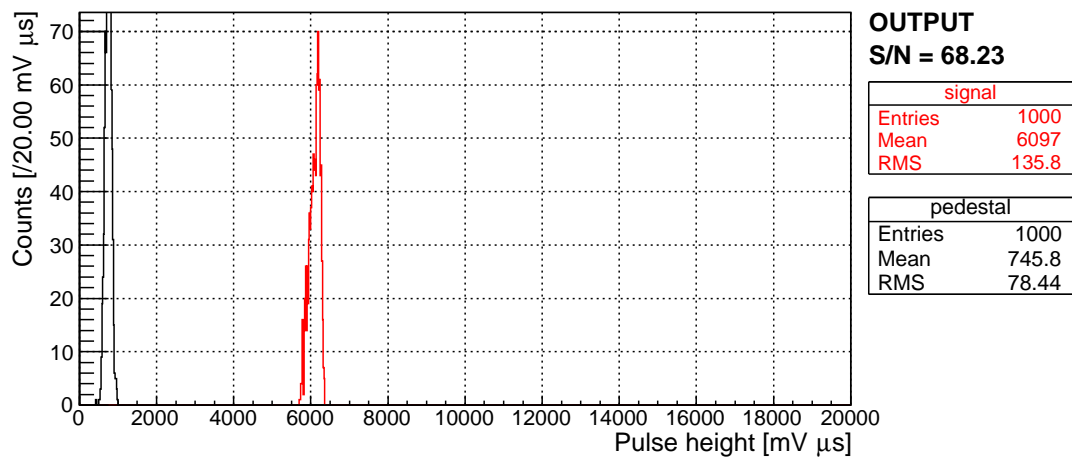
図 5.98: SOI-STJ4 A 波高分布 (300mK , $V5 = 0.20\text{V}$)



(a) 入力波形 (青), 出力波形 (赤) と積分時間 ($10\mu\text{s}$)



(b) 入力波形の波高分布 (青:信号, 黒:雑音)



(c) 出力波形の波高分布 (青:信号, 黒:雑音)

図 5.99: SOI-STJ4 A 波高分布 (300mK , $V5 = 0.30\text{V}$)

第6章 結論

ニュートリノ振動実験により、ニュートリノが質量を持つことが証明されたものの、未だその絶対質量は求まっていない。そこで、本研究グループはニュートリノ崩壊という現象を利用しニュートリノの絶対質量を求めることを考えている。

ニュートリノ崩壊で放出される光子のエネルギーを精度良く測定することで、振動実験の結果と合わせて、ニュートリノの絶対質量を求めることが出来る。この崩壊寿命は比較的短い寿命を与える計算モデル(LR 対象模型)でも 10^{17} 年と非常に長い。そのため、宇宙初期に大量に生成されたと予言される宇宙背景ニュートリノの崩壊光を観測することを考える。予想される崩壊光のエネルギーは 24meV (波長換算で $51\mu\text{m}$) であり、観測にはこのエネルギーに対し 1 光子計測が可能な光検出器が要求される。

本研究グループでは、その検出器として Nb/Al-STJ 光検出器の開発研究を行ってきた。現状、検出器雑音であるリーク電流については、崩壊光 1 光子検出に必要な 400pA 以下を達成している。しかしながら、冷凍機外への信号読み出し系での雑音のため目的とする 1 光子検出には未だ至っていない。そこで、極低温で動作する前置増幅器を導入し、STJ 検出器直近で信号を増幅し冷凍機外へ読み出すことを考え SOI-STJ 検出器の開発を行っている。

SOI-STJ 検出器とは、 4K での動作が報告された FD-SOI-CMOS 回路基板上に、直接 Nb/Al-STJ 検出器を形成した増幅器一体型の STJ 検出器である。このように、一体型とすることで検出器と回路間の配線が不要となり、信号雑音比の向上が期待できる。

今回これまでの開発を踏まえ、新たな回路の設計を行った。前回路の問題としては、検出器のインピーダンスに対して回路のインピーダンスが高く、信号が回路側へ伝達しないということが挙げられた。回路の入力インピーダンスを下げるため、前号機からの大きく以下の 2 点を変更した。

- 増幅段を電荷積分型の増幅回路とした。
- 検出器と増幅回路間のカップリングコンデンサを排除した。

極低温増幅回路としては以下に示す性能が求められる。

- 3K 以下でも問題なく動作する。
- 消費電力が冷凍機の冷却能力 (350mK 下で $100\mu\text{W}$) を下回る。
- 冷凍機の配線容量負荷 (数百 pF) の下でも STJ 検出器の信号 (信号幅: 数 ~ 数十 μs) を十分伝送できる。

現状、極低温下のシミュレーションモデルは存在しないため、回路の設計は室温条件での回路シミュレーションを元に行った。その結果、波長 1312nm の 1 光子の信号に対し、冷凍機の配線容量 500pF を仮定しても 7.5mV の出力が得られる設計となった。低温下でもこの性能を達成できるか否かを調べるため、実際に素子を 3K まで冷却し性能の測定・評価を行った。

バッファ段について、以下を確認した。

- 室温において、シミュレーション結果と実測値はほぼ一致した。

- 消費電力が同じならば，室温時と低温時の周波数応答は同等であり，最大で 1MHz 程度まで応答が可能である．
- 低温時，光応答信号の増幅に必要な周波数応答 (200kHz) は消費電力 数十 μ W で実現できる．

増幅段について，以下を確認した．

- 室温において，シミュレーション結果と実測値に相違が見られた．すなわち，バイアス電圧に対する利得の変化の具合が異なっていた．しかし，利得の最大値はほぼ同じであり，校正を行えばシミュレーションと同等の性能は得られる．
- バイアス電圧を調節すれば，室温時と低温時の利得は同等であり，最大で 60 倍程度であった．ただし，バッファ段単体での利得である．
- 消費電力はいずれのバイアス条件でも 10 μ W 程度以下であった．

増幅段，バッファ段，いずれについても回路に印加するバイアス電圧さえ調節すれば，室温時と同等の性能が得られることが分かった．また，1 素子に限定するならば，消費電力 100 μ W 以下で光応答信号の増幅が可能な性能を得られることも確認できた．

また，増幅段とバッファ段を繋げ，350mK 下で模擬信号 (ピーク電圧 6mV，信号幅 10 μ s) に対する応答を確認した．配線による周波数特性異常が見られるものの，消費電力 \sim 100 μ W の条件下でピーク電圧 164mV，信号幅 116 μ s の出力が得られた．また，入出力の波高分布を比較した所，冷凍機内においてはいずれのバイアス電圧でも増幅回路による信号雑音比の向上が確認出来た．

以上より，極低温下でも STJ 検出器の信号を十分増幅可能な回路が設計出来たと考えられる．

付 録 A 増幅段・バッファ段一体型回路の再測定

SOI-STJ4 のパターン A の回路の性能評価では，冷凍機に素子を配線した状態で周波数応答に特性異常が見られた（節 5.5.3 参照）．そこで，節 5.5 で測定したものは別の素子を再度冷凍機に配線し，測定を行った．

測定素子を図 A.1 に示す．これは，5 章で用いたものとは別のウェハから切り出したもので，素子上に Nb/Al-STJ 検出器が形成されてある．STJ 検出器は上下電極を短絡し，回路の評価に影響を及ぼさないようにして測定を行った．

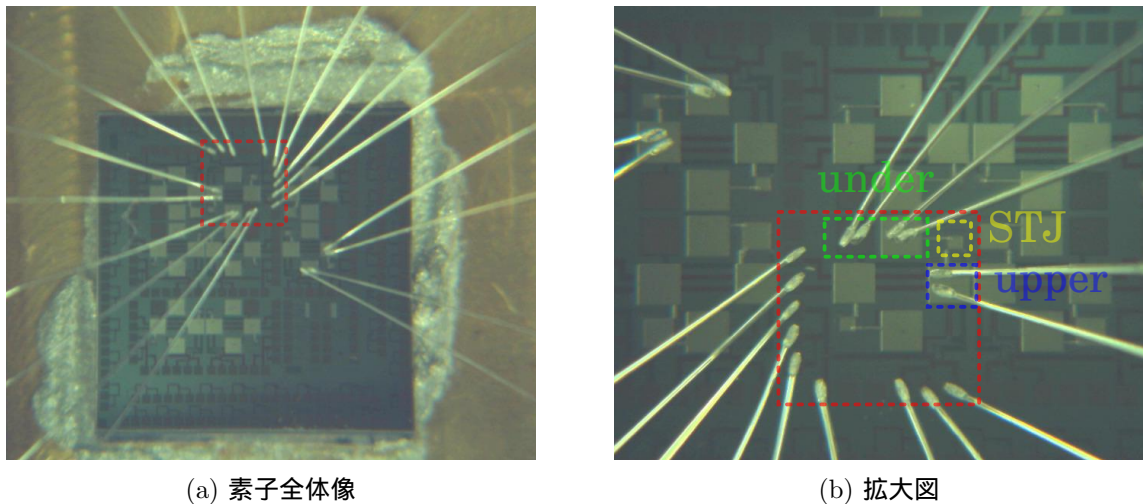


図 A.1: SOI-STJ4 A 再測定に用いた素子

A.1 利得のバイアス依存性

節 5.5.2 と同様に，印加するバイアス電圧によって回路の利得がどのように変化するかを調べた．測定は室温時のみ行った．

室温時

室温時の測定結果を図 A.2 に示す．縦軸が利得，横軸がバイアス電圧 V_2 を表し，バイアス電圧 V_3 ごとにプロットしてある．また，点は測定点，線はシミュレーション結果を表す．測定時の入力周波数はカットオフ周波数を超えない範囲で 100Hz とした．シミュレーションは出入力の負荷容量を 30pF と仮定し過渡解析を行った．バッファ段のバイアス電圧は $V_{DD2} = 1.80V$ ， $V_{SS2} = GND(0V)$ ， $V_5 = 0.50V$ に固定して測定を行った．

節 5.5.2 の結果 (図 5.58) と比較すると、利得のバイアス電圧に対する依存性が異なることが見て取れる。ただし、各 V_3 での利得の最大値自体はほぼ変わらない。以後、利得が節 5.5.2 の時と同じになるように、増幅段のバイアス電圧を $V_{DD1} = 1.80V$, $V_{DD1} = GND(0V)$, $V_2 = 0.30V$, $V_3 = 1.30V$ として測定を行う。

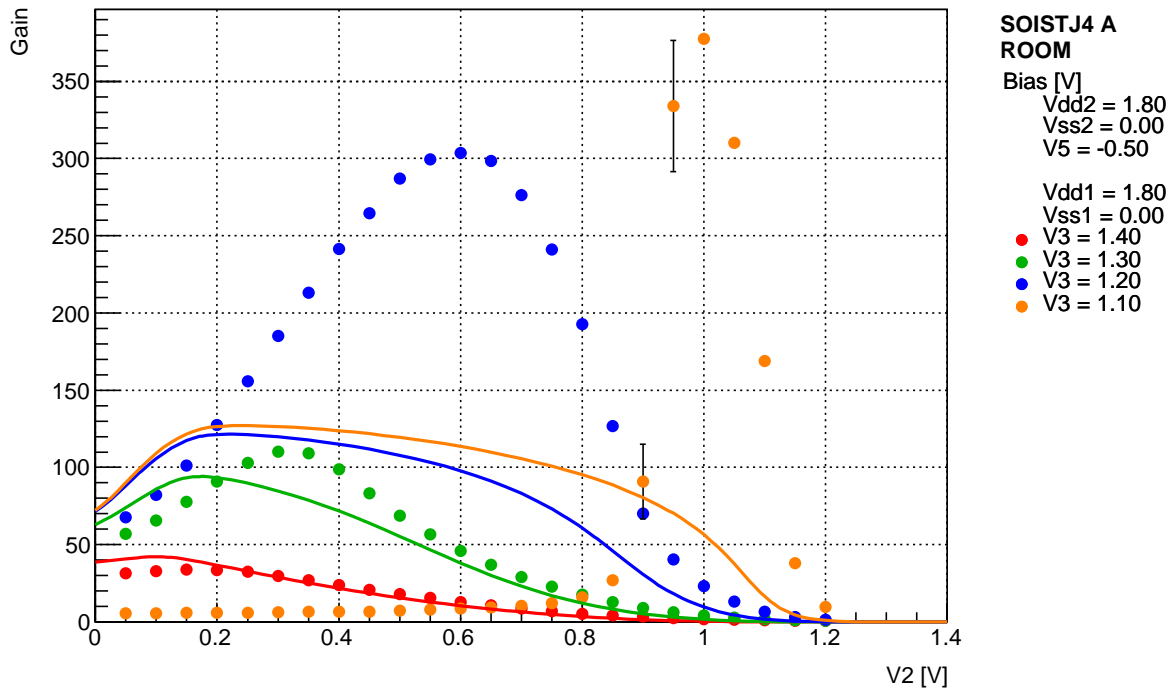


図 A.2: SOI-STJ4 A 利得のバイアス電圧依存性 (室温, 再測)

A.2 周波数特性

節 5.5.3 と同様に、入力周波数に対する回路の応答を調べた。測定は室温時と冷凍機配線時 (室温) のみ行った。

室温時

室温時の測定結果を図 A.3, 図 A.4 に示す。横軸が入力信号の周波数、縦軸が利得を表し、バッファ段バイアス V_5 ごとにプロットしてある。増幅段のバイアス電圧は、前節 A.1 の結果から $V_{DD1} = 1.80V$, $V_{DD1} = GND(0V)$, $V_2 = 0.30V$, $V_3 = 1.30V$ とした。

図 A.3, 図 A.4 は、順に $V_{DD2} = 1.80V$, $1.40V$ のものである。 V_{SS2} 電圧は $V_{DD2} - V_{SS2}$ 間の電圧差が $1.80V$ となるよう設定した。

これより、節 5.5.3 の結果 (図 5.63, 図 5.65) と同様、周波数応答に特性異常は見られず、バイアス電圧 V_5 に対する依存性もほぼ同等となることが確認できた。

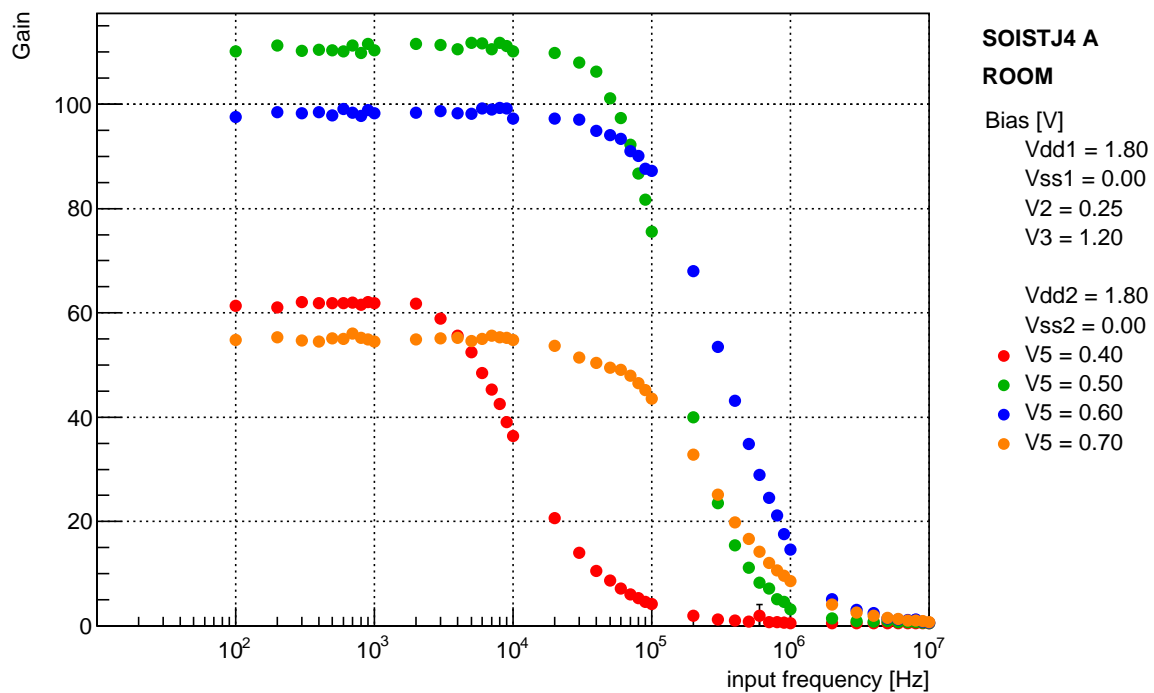


図 A.3: SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.80V$)

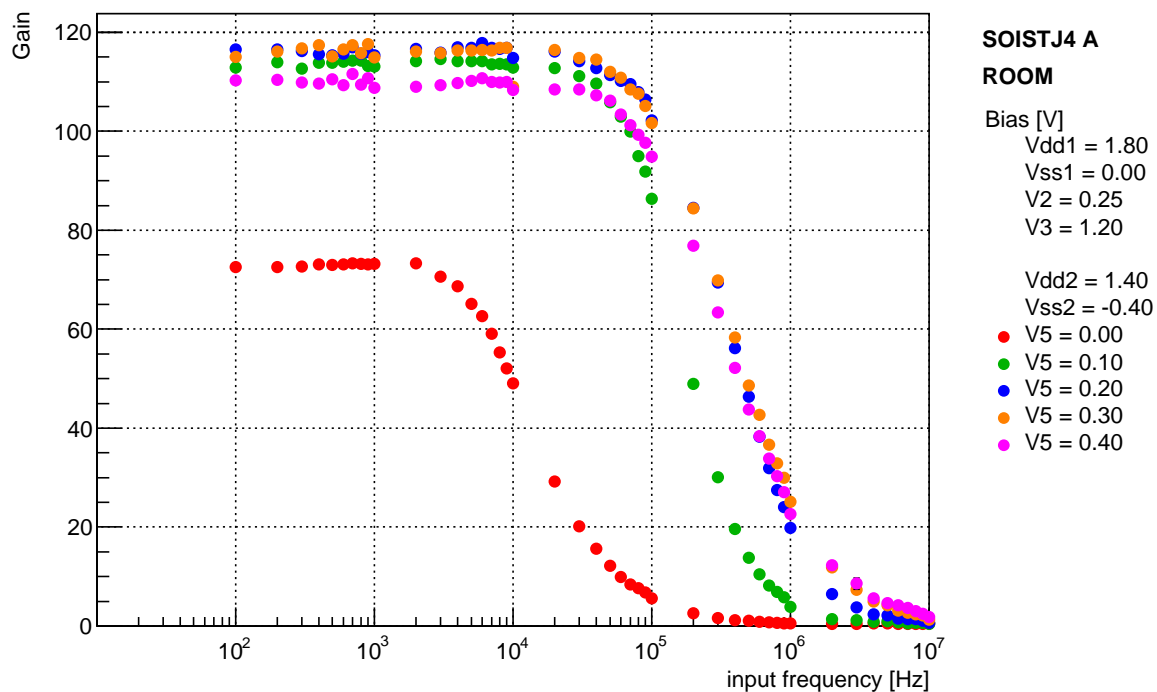


図 A.4: SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.40V$)

冷凍機配線時

冷凍機配線時の測定結果を図 A.5 に示す．横軸が入力信号の周波数，縦軸が利得を表し，バッファ段バイアス V_5 ごとにプロットしてある．増幅段のバイアス電圧は $V_{DD1} = 1.80\text{V}$, $V_{DD1} = GND(0\text{V})$, $V_2 = 0.30\text{V}$, $V_3 = 1.30\text{V}$ とした．バッファ段電圧は $V_{DD2} = 1.40\text{V}$, $V_{SS2} = -0.40\text{V}$ である．

測定の結果，節 5.5.3(図 5.67) のような特性異常は見られなかった．また，バッファ段単体での測定時の結果(節 5.3.3, 図 5.17) と比較すると，同様の V_5 電圧依存性を示し，ほぼ同じ周波数帯まで動作することが確認できる．

以上より，節 5.5.3 で見られた周波数特性異常は，冷凍機配線の容量やインダクタンスが原因であると考えられる．

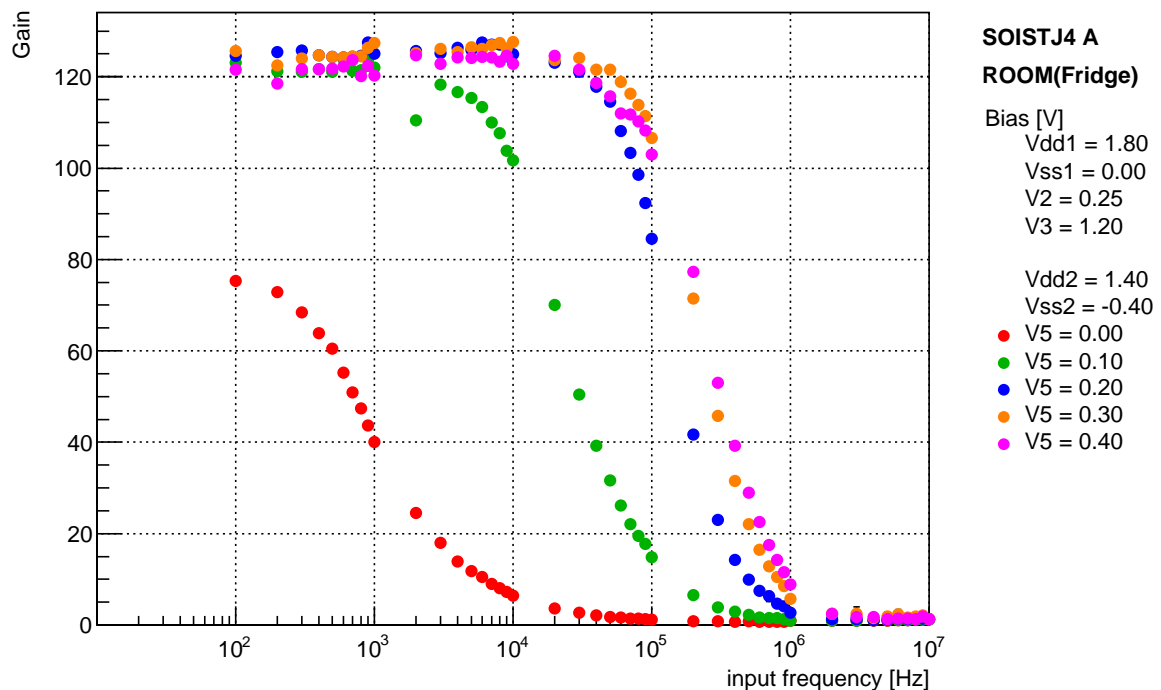


図 A.5: SOI-STJ4 A 周波数特性 (室温, 再測, $V_{dd} = 1.40\text{V}$)

謝辞

本研究を進めるに当たりお世話になりました皆様に心から感謝申し上げます。

金信弘教授には本研究に関して充実した研究環境を提供して頂きました。ミーティングや日々の会話の中では研究に関する適切なご指導をいただき、誠にありがとうございました。また、宇宙史拠点実習や研究会等、貴重な体験も数多く経験させて頂きました。

武内勇司先生には研究室に入りたての頃から実験やプログラミングの指導をして頂きました。気さくな雰囲気でお話しがやすく、些細な質問に対しても分かりやすく返答して頂きました。研究外の雑談もとても楽しかったです。

指導教官の原和彦先生には研究発表や論文作製の際、丁寧に適切なアドバイスを数多く頂きました。飲み会やイベント等でも大変お世話になりました。飲み会後の麻雀、楽しかったです。

高崎史彦先生には宇宙史特講で大変お世話になりました。普段の研究生活ではなかなか得られない経験を積むことができました。新井康夫先生、倉知郁生先生を始めとする、KEKのSOIグループの皆様にも大変お世話になりました。特に新井先生には回路設計の際、大変ご迷惑をお掛けしました。先生なしでこの論文の執筆はありえませんでした。

STJグループの方々には実験から日々の研究生活に至るまで色々とお世話になりました。武政さんには機器の修理から実験のアドバイスまで幅広くお世話になりました。良くも悪くも優しい方が多い研究室の中で、木内さんには厳しく尻を叩いて頂きました。STJグループからは抜けてしまいましたが、笠原宏太さん、奥平琢也さんにはいろいろとお世話になりました。当時の馬鹿騒ぎも今や懐かしさを覚えます。同期の森内航也くんのおかげで、3年間楽しく研究を行うことが出来ました。ありがとうございました。八木くんには色々雑用を押し付けてしまって申し訳なかったです。来年から人数が少なくなりますが、失敗に十分気をつけて頑張ってください。

研究室の先輩、同期、後輩の皆様にも日々の生活などで大変お世話になりました。ありがとうございました。

最後になりましたが、金銭面、精神面、健康面で24年間支えてくださった両親、祖父母、弟妹に感謝いたします。ありがとうございました。

先崎 蓮

参考文献

- [1] Shin-Hong KIM, Ken-ichi TAKEMASA, Yuji TAKEUCHI, and Shuji MATSUURA
『Search for Radiative Decays of Cosmic Background Neutrino using Cosmic Infrared
Background Energy Spectrum』Journal of the Physical Society of Japan 81 (2012) 024101
- [2] 阪大物理学オナーセミナー, <http://osksn2.hep.sci.osaka-u.ac.jp/~naga/kogi/kanazawa-class06/ch3-atms-osci.pdf> webpage
- [3] K.A. OLIVE, Particle Data Group, et al. (2014). “2014 Review of Particle Physics”.
- [4] 丹羽雅昭 『超伝導の基礎』東京電機大学 (2002)
- [5] M. Kurakado, Nucl. Instr. and Meth., 196, 275(1982)
- [6] S.H.Kim , H.S. Jeong, K. Kiuchi, S. Kanai, T. Onjo, K. Takemasa, Y. Takeuchi, H. Ikeda,
S. Matsuura, H. Sato, M. Hazumi, and S.B. Kim, Physics Procedia 37 (2012) 667-674
(Proceedings of TIPP2011)
- [7] 奥平琢也, 『ニュートリノ崩壊光探索のためのニオブとアルミニウムを用いた超伝導トン
ネル接合素子光検出器の開発研究』, 修士論文 筑波大学 (2015)
- [8] Y. Takeuchi et al., Tsukuba Global Science Week 2015 (TGSW2015)
- [9] M. Ukibe et al., Jpn. J. Appl. Phys. 51, 010115 (2012)
M. Ohkubo et al., IEEE Trans. Appl. Super, 24, 2400208 (2014)
- [10] Behzad Razavi, 黒田忠広: アナログ CMOS 集積回路の設計 基礎編 丸善出版 (2005)
- [11] Hirohisa NAGATA, Takehiko WADA, Hirokazu IKEDA, Yasuo ARAI, Morifumi OHNO
and Koichi NAGASE: 『Development of Cryogenic Readout Electronics for Far-
Infrared Astronomical Focal Plane Array』 IEICE TRANS, COMMUN, VOL.E94-
B, NO.11(2011.11)
- [12] 八木俊輔, 『ニュートリノ崩壊光探索のための SOI-STJ の研究開発 IV』, 日本物理学会第
71 回年次大会
- [13] 笠原宏太, 『ニュートリノ崩壊からの遠赤外光探索のための SOI-STJ 一体型検出器の開発
研究』, 修士論文 筑波大学 (2014)