

CiRfSE workshop

筑波大学 数理物質科学研究科

木内健司

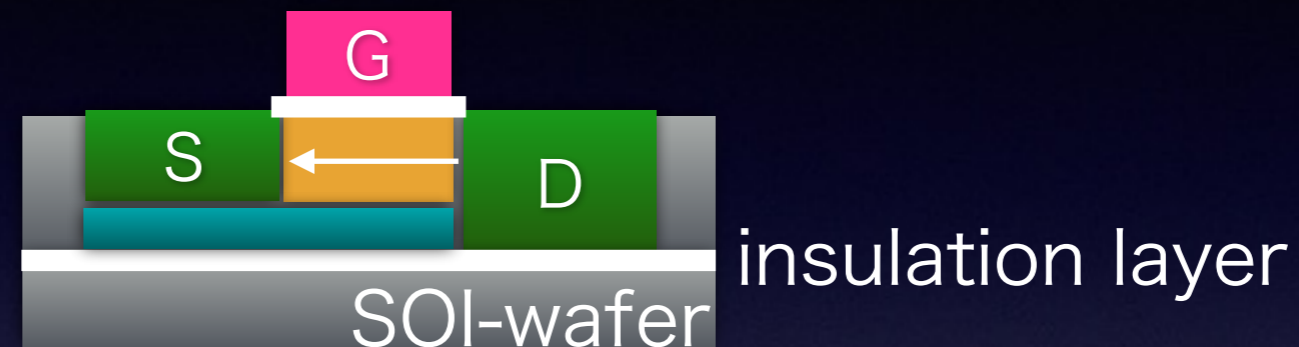
Kenji Kiuchi¹, Shinhong Kim¹, Yuji Takeuchi¹, Kenichi Takemasa¹, Kazuki Nagata¹, Kota Kasahara¹, Koya Moriuchi¹, Ren Senzaki¹, Shunsuke Yagi¹, Hirokazu Ikeda², Shuji Matsuura¹¹, Takehiko Wada², Hirokazu Ishino³, Atsuko Kibayashi³, Hiromi Sato⁴, Satoru Mima⁴, Takuo Yoshida⁵, Ryuta Hirose⁵, Yukihiro Kato⁶, Masasi Hazumi⁷, Yasuo Arai⁷, Ikuo Kurachi⁷, Erik Ramberg⁸, Mark Kozlovsky⁸, Paul Rubinov⁸, Dmitri Sergatskov⁸, Soo-Bong Kim⁹, Shigetomo Shiki¹⁰, Masahiro Ukibe¹⁰, Go Fujii¹⁰, Masataka Okubo¹⁰, and Shoji Kawahito¹²

¹University of Tsukuba ²JAXA/ISAS ³Okayama University ⁴RIKEN ⁵University of Fukui ⁷KEK
⁶Kinki University ⁸Fermilab ⁹Seoul National University ¹⁰AIST ¹¹Kansei Gakuin University
¹²Shizuoka University

outline

- ・ FD-SOIトランジスタの低温特性
 - ・ SPICEモデル構築
- ・ STJの容量と増幅器
 - ・ STJの容量測定
- ・ SOI前置増幅器の設計
 - ・ シミュレーション
- ・ まとめ

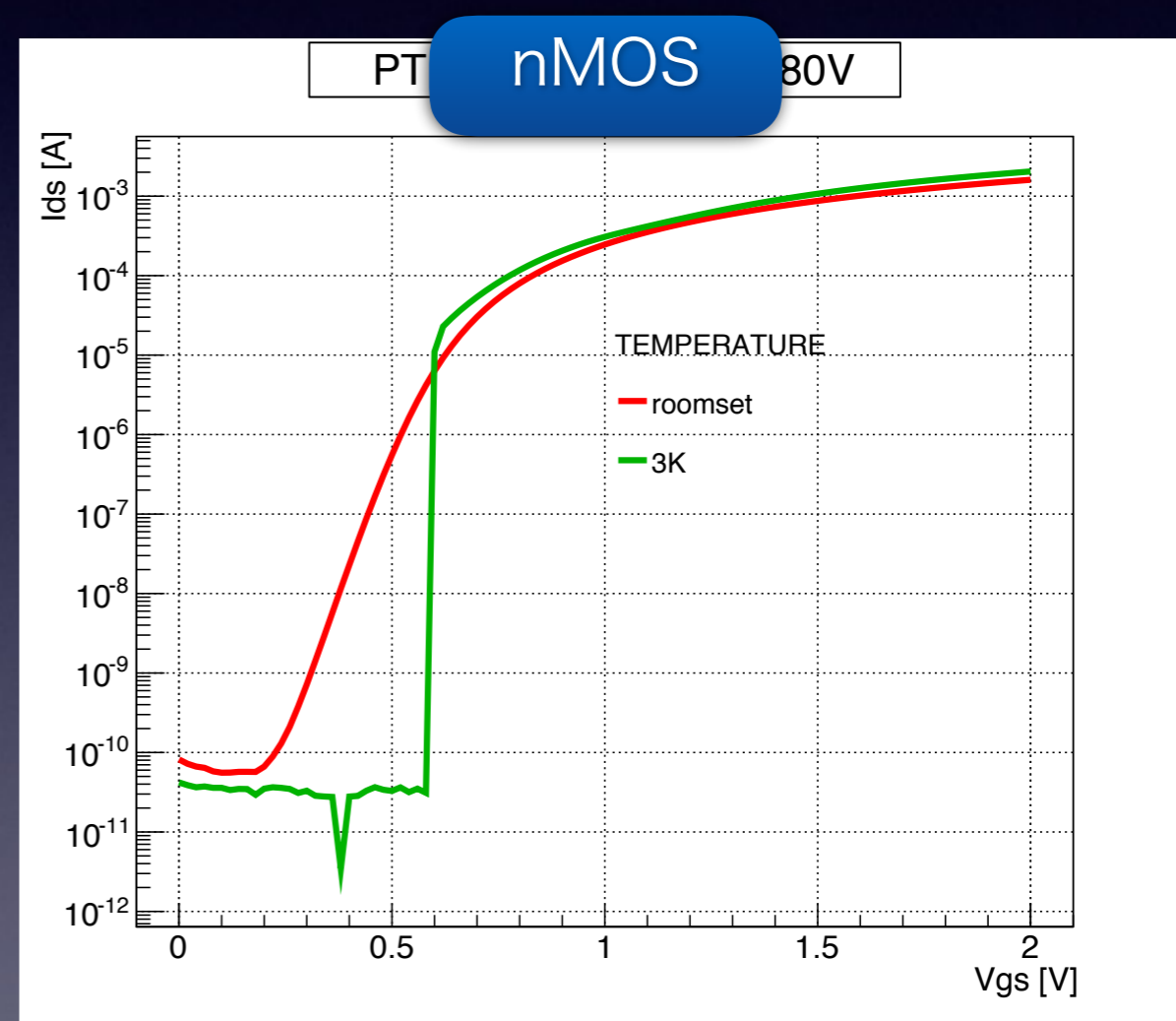
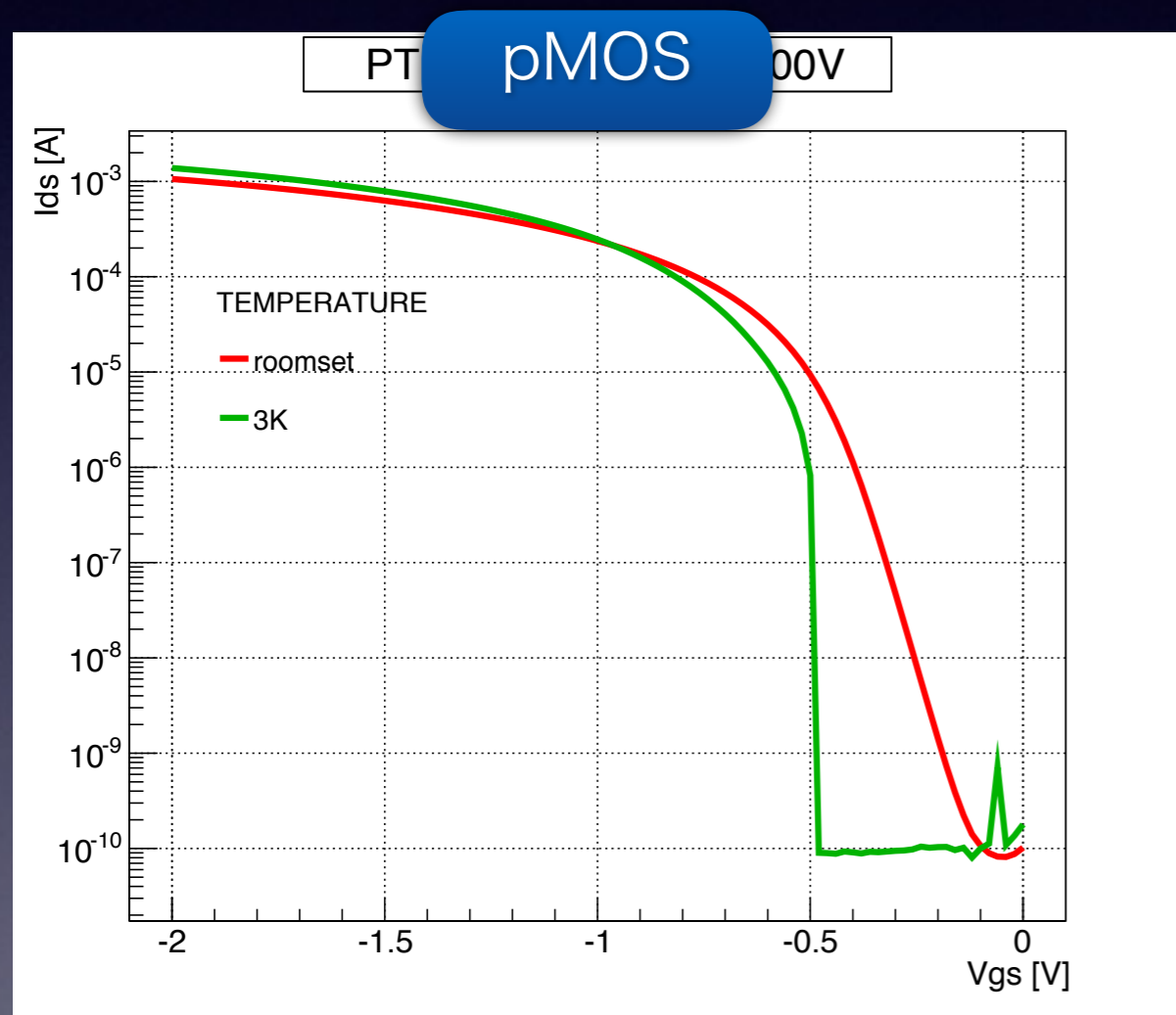
Fully-Depleted Silicon-On-Insulator technology



- Fabricated by Lapis semiconductor 0.2um FD-SOI process
- FD-SOI FET: Low noise and low power dissipation
- The source body tie structure(ST) of the FD-SOI FET
 - The body is connected with the source to stabilize body potential
- This FET shows an excellent performance at 4.2 K (*)
 - * H. Nagata et al. AIP conference proceedings, vol.1185, pp267-270,2009
- We confirmed that the FD-SOI FETs operate at 100 mK

FD-SOI FET Id-Vg curve

Id-Vg curve of W/L=10um/0.4um at |Vds|=1.8V (saturation region)

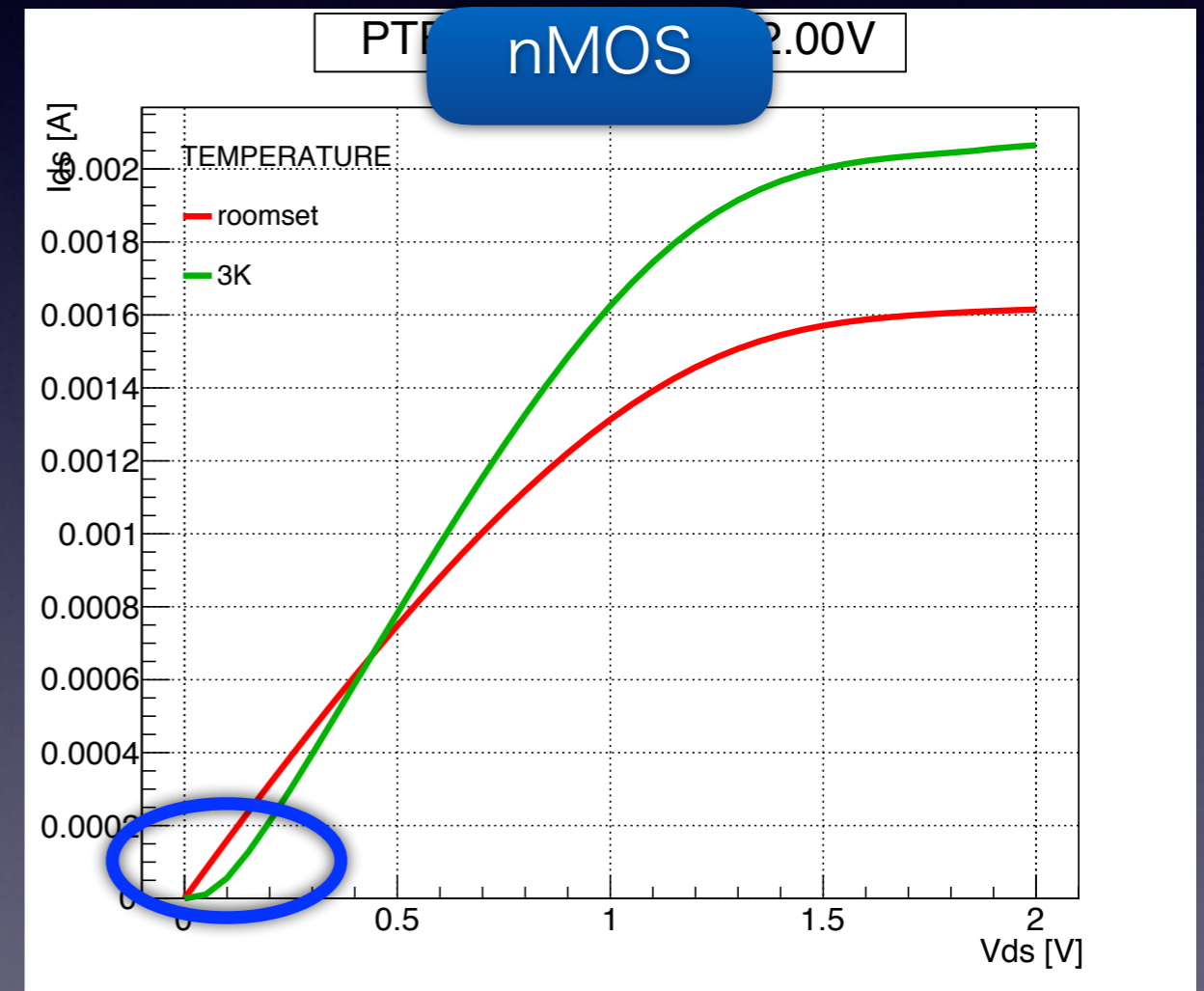
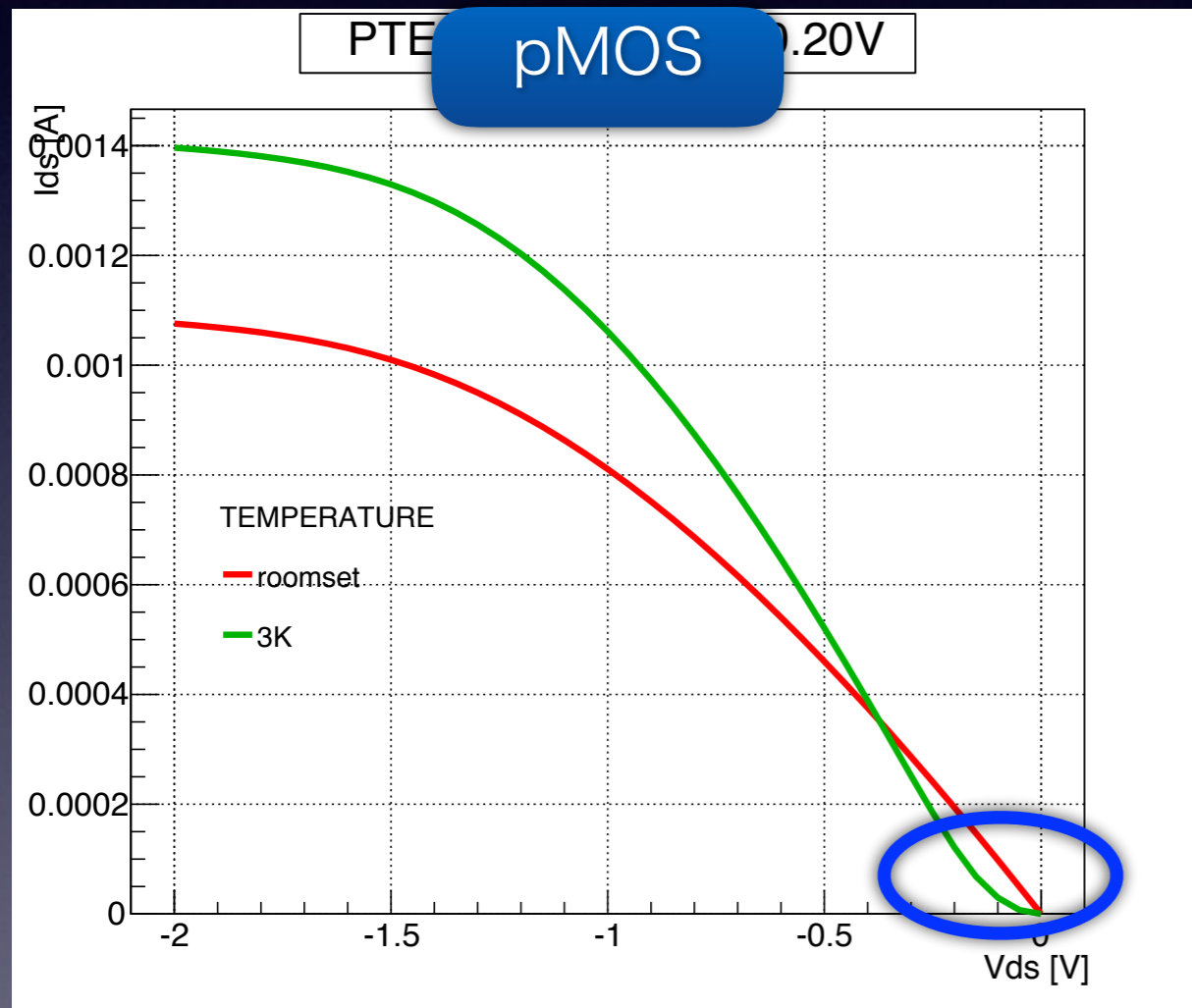


PMOS、NMOS共に非常に良い特性を示している

キャリア密度の減少による閾値の上昇、移動度上昇によるgmの上昇が見られる

FD-SOI FET I_d - V_d curve

I_d - V_g curve of $W/L=10\mu\text{m}/0.4\mu\text{m}$ at $|V_{gs}|=2\text{V}$

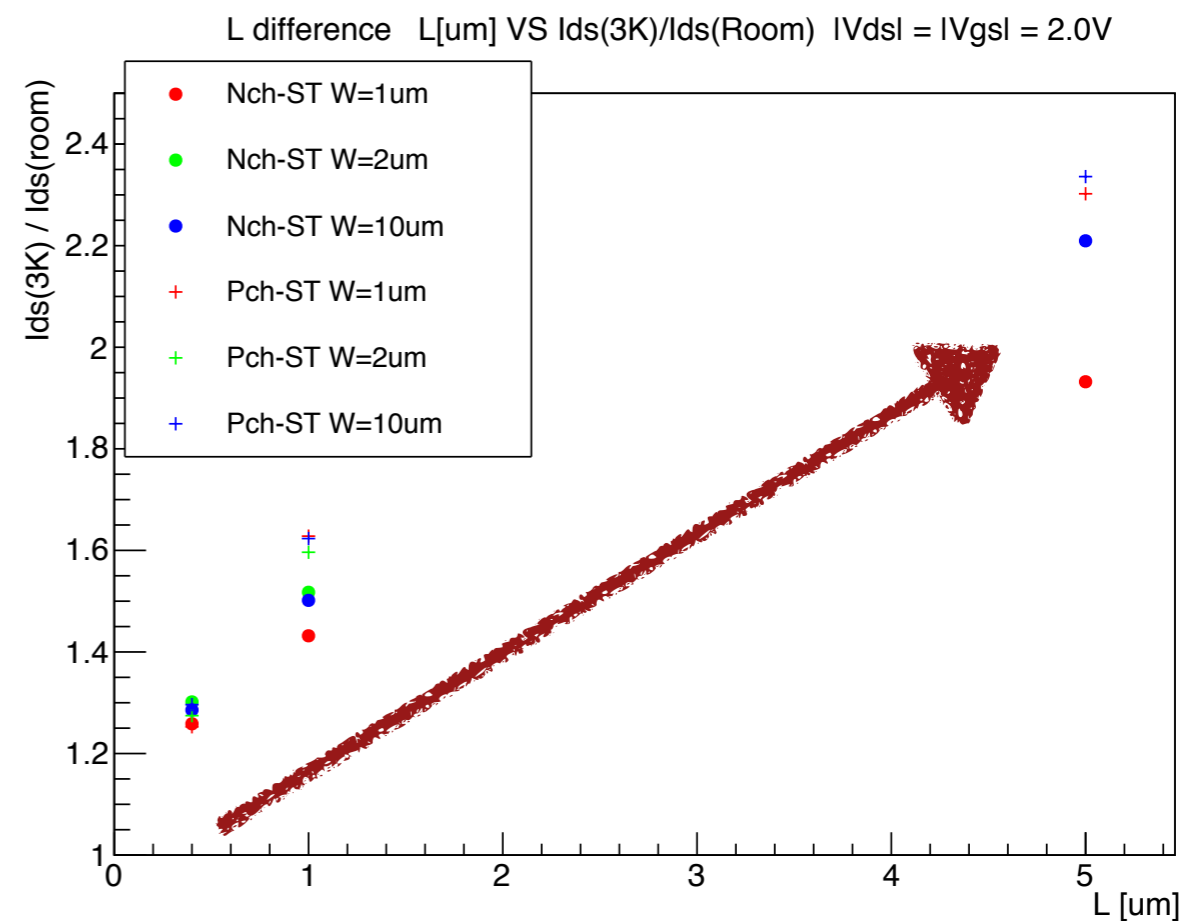
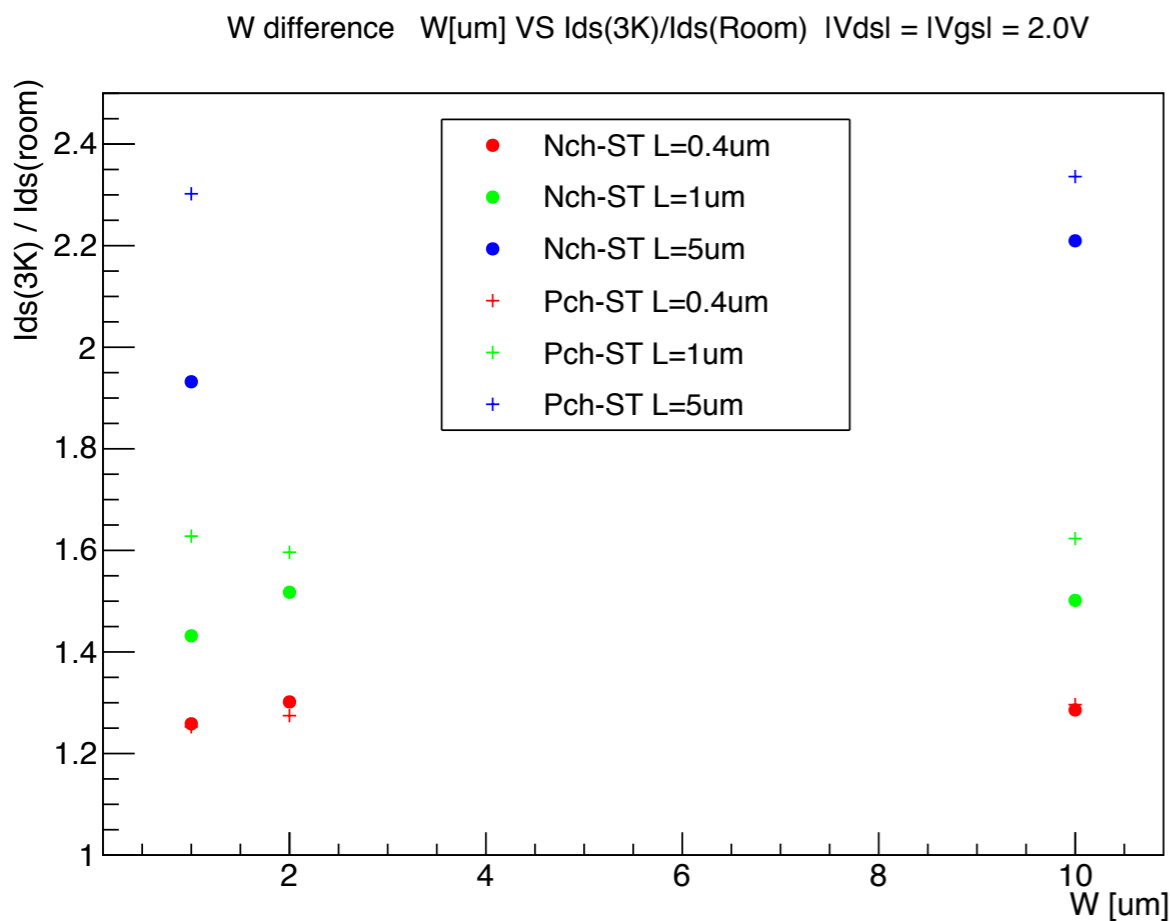


$V_{ds}=0$ V (線形領域) に於いて非線形な振る舞いを示す

The LDD 構造 (FETのoff leakを減らす構造) によるものであることが判明した
基本的にアナログ回路では飽和領域のみを使うので問題無い

The size dependence of the I_d

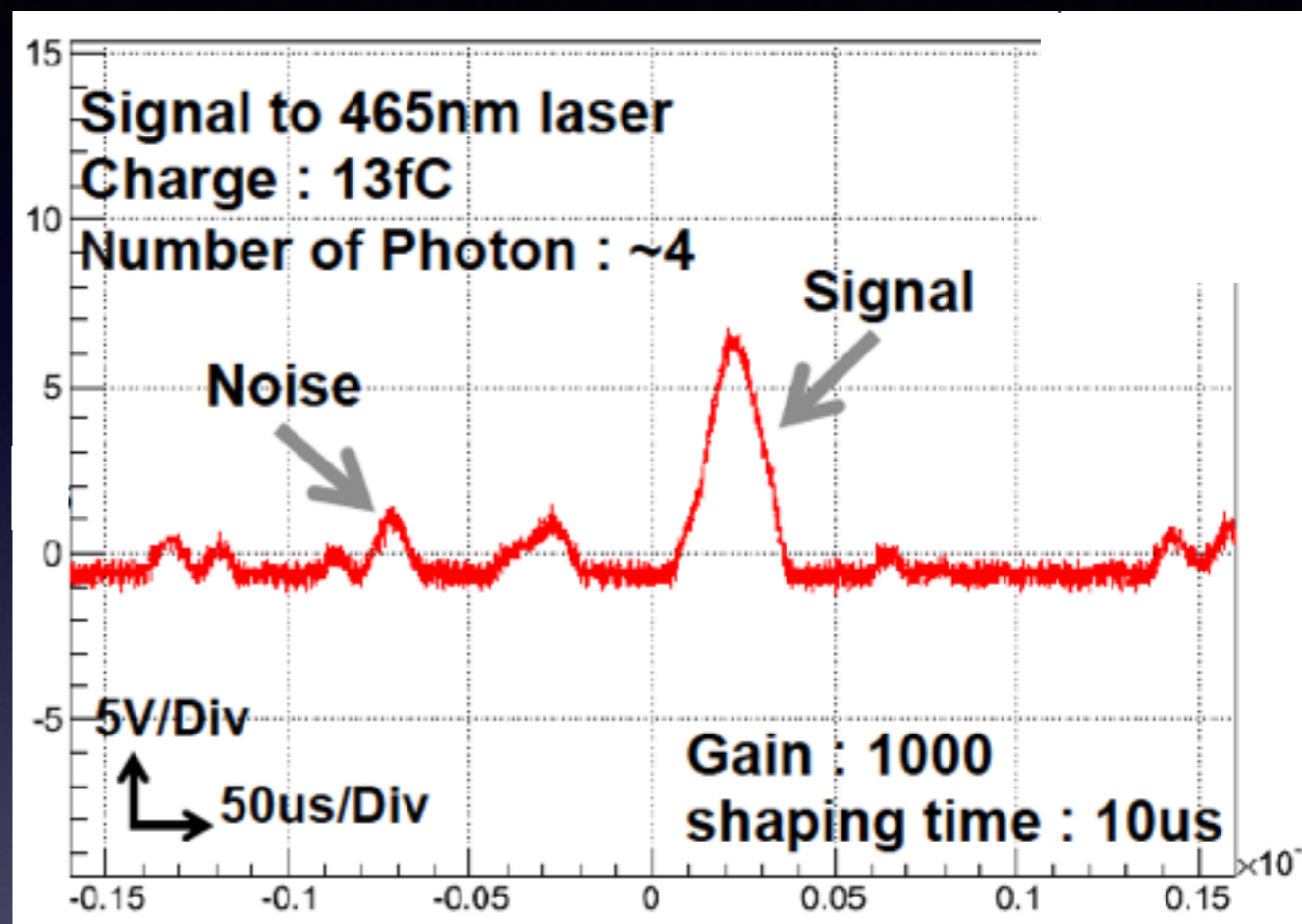
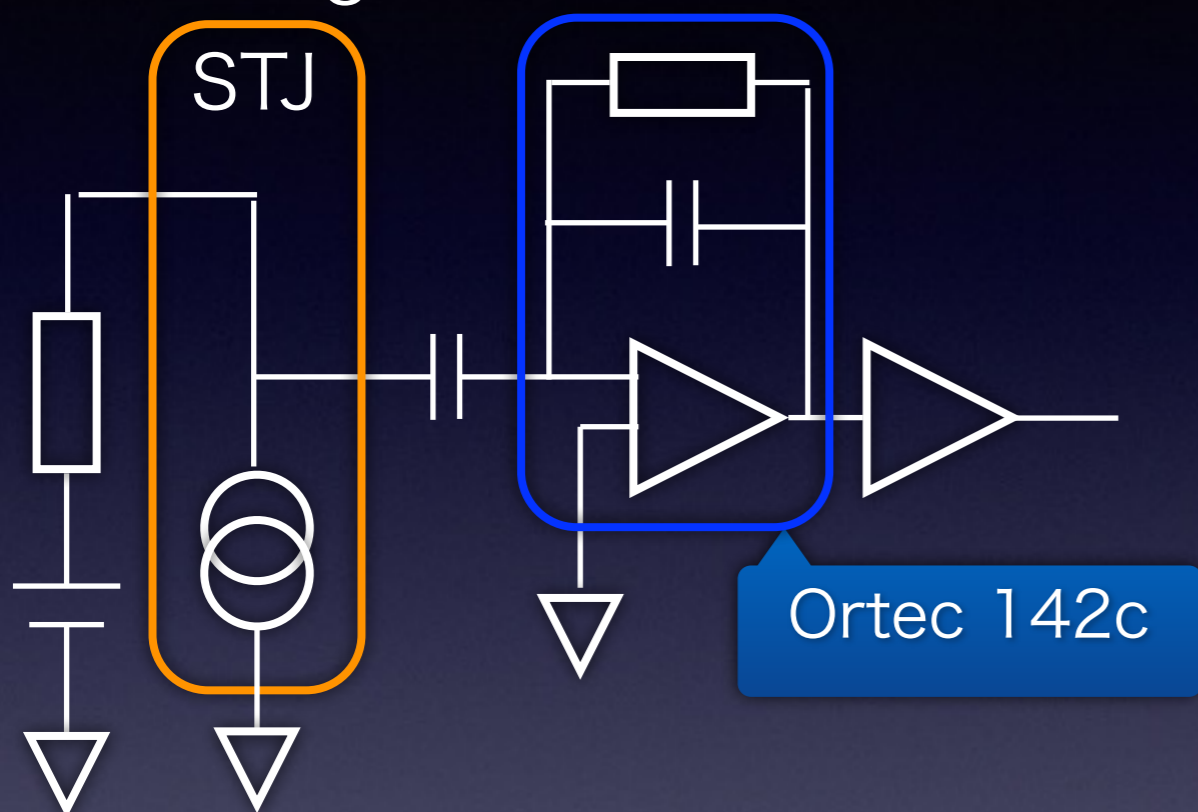
- Measured W and L range: $W=1-10\mu\text{m}$ and $L=0.4-5\mu\text{m}$



I_d 比(3K/300K)を見る限り W 依存は比較的少なく、
 L 依存が大きいことが予想される。
 L ごとに異なるSIMモデルを構築して対応する予定。

The readout circuit for STJ

³He refrigerator



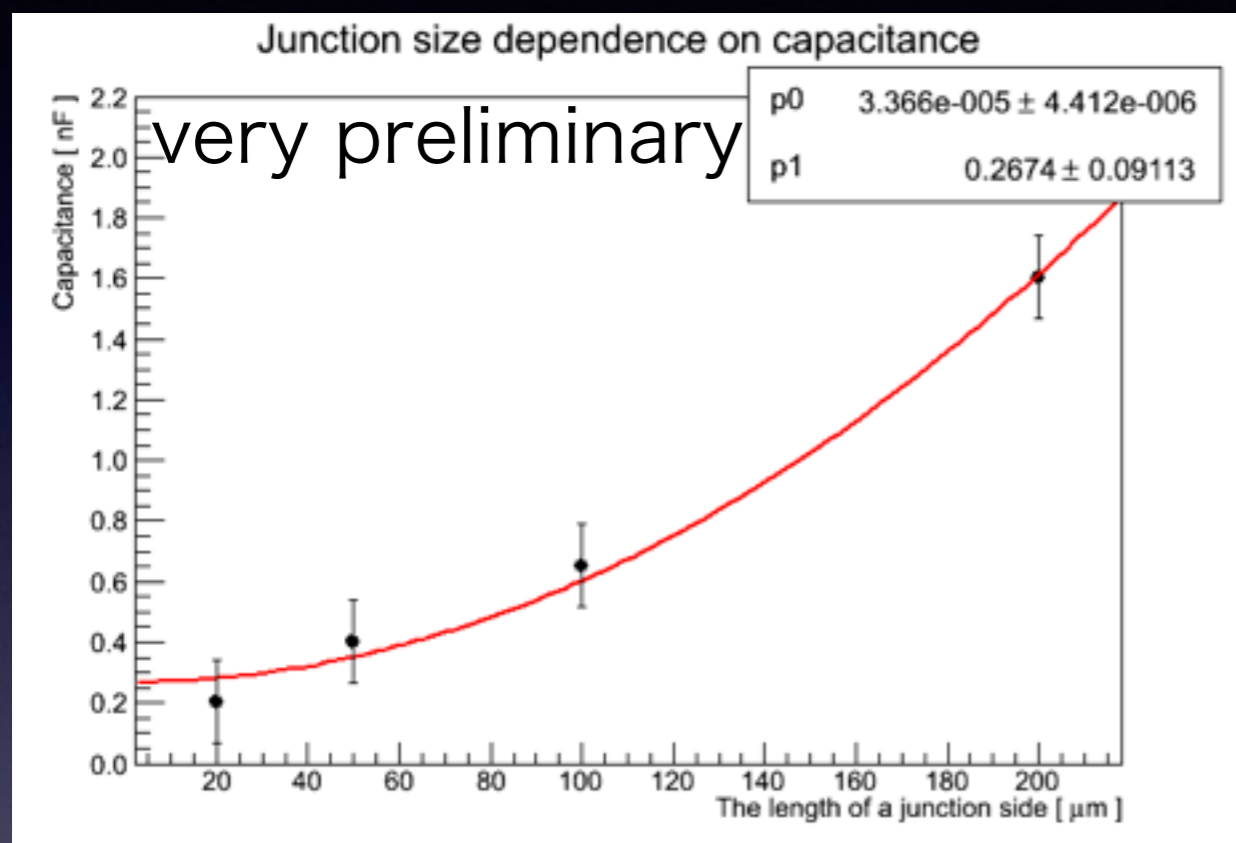
STJの出力を室温の電荷積分型アンプを使用して測定した。

465nm x 4光子の入力に対する出力がノイズの3倍程度と得られた。

1光子検出には読み出し部の改善が必要である。

特に低温アンプの導入が伝送損失やアンプの雑音を下げる上で有効である。

Capacitance of the STJ



STJの容量が面積のみに依存すると仮定すると、

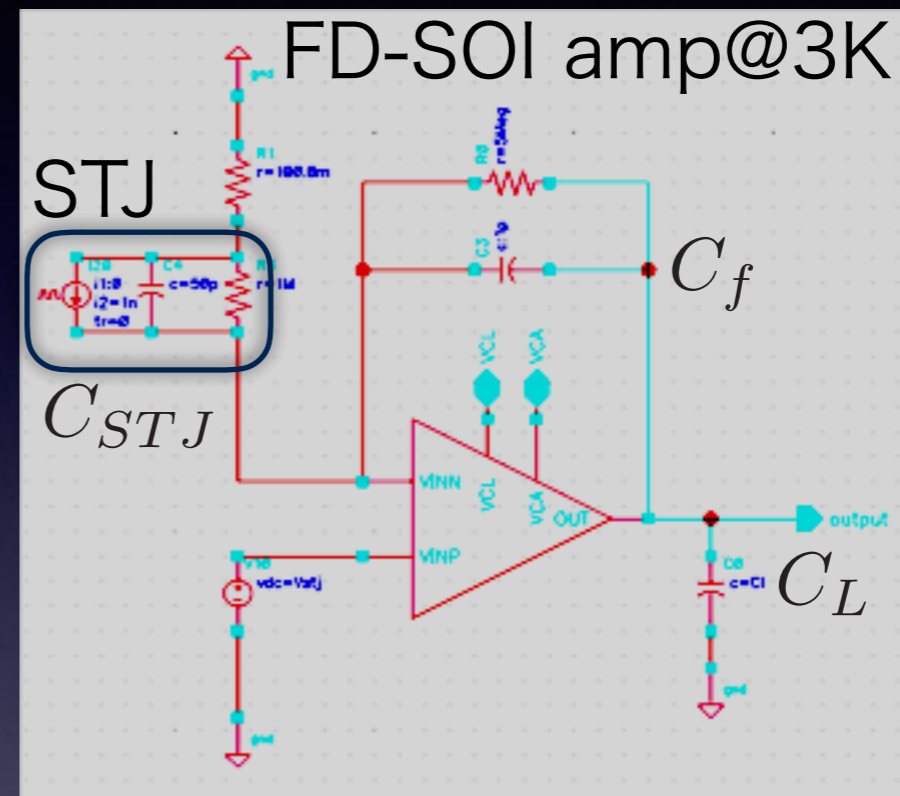
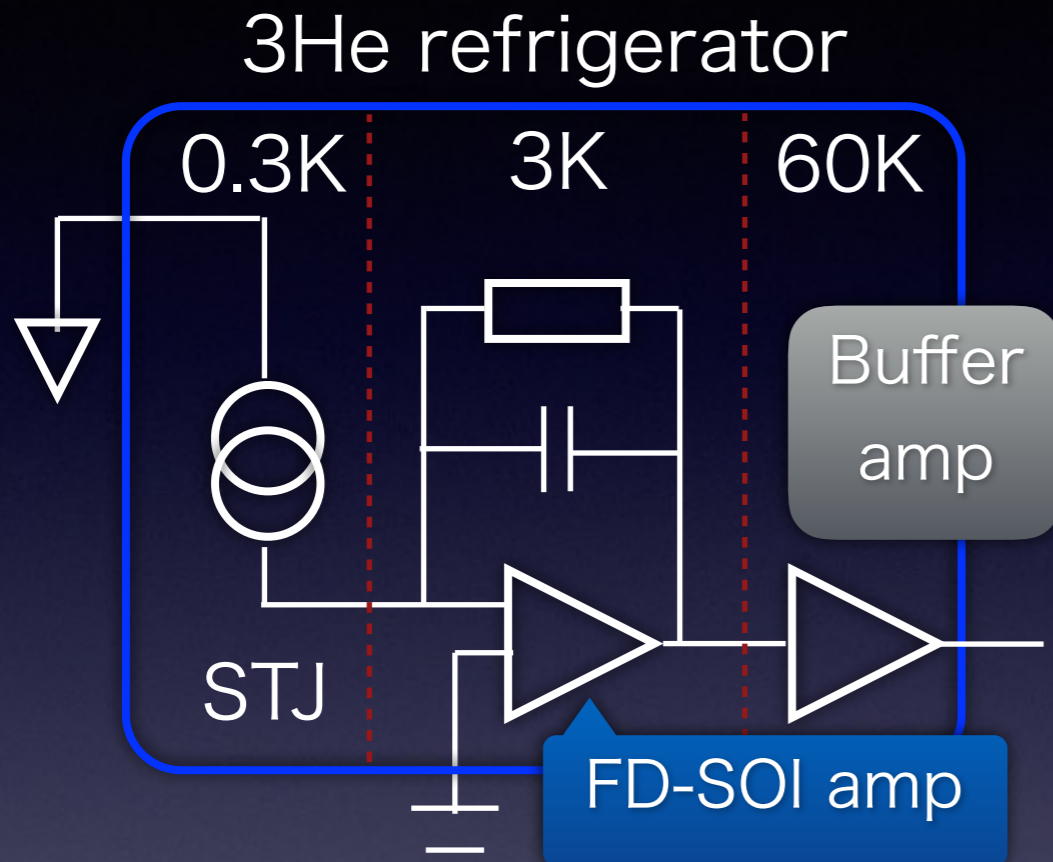
$$C_{all} = C_{RO} + C_{STJ} \times Length^2$$

C_{RO} : Cap. of readout line

C_{STJ} : Cap. of STJ in unit area

- ・ 配線容量(0.8nF)はすでに差し引いたものをプロットした。
- ・ STJの容量は $C_{STJ} = 34 \pm 4(\text{fF}) \times \text{Area}(\mu\text{m}^2)$ と見積もられる。
- ・ 差し引き切れていない容量と合わせて、配線容量は $1.1 \pm 0.1 \text{ nF}$
- ・ $20 \times 20 \mu\text{m}^2$ の面積を持つSTJの容量はおよそ $14 \pm 2 \text{ pF}$ と予想される。

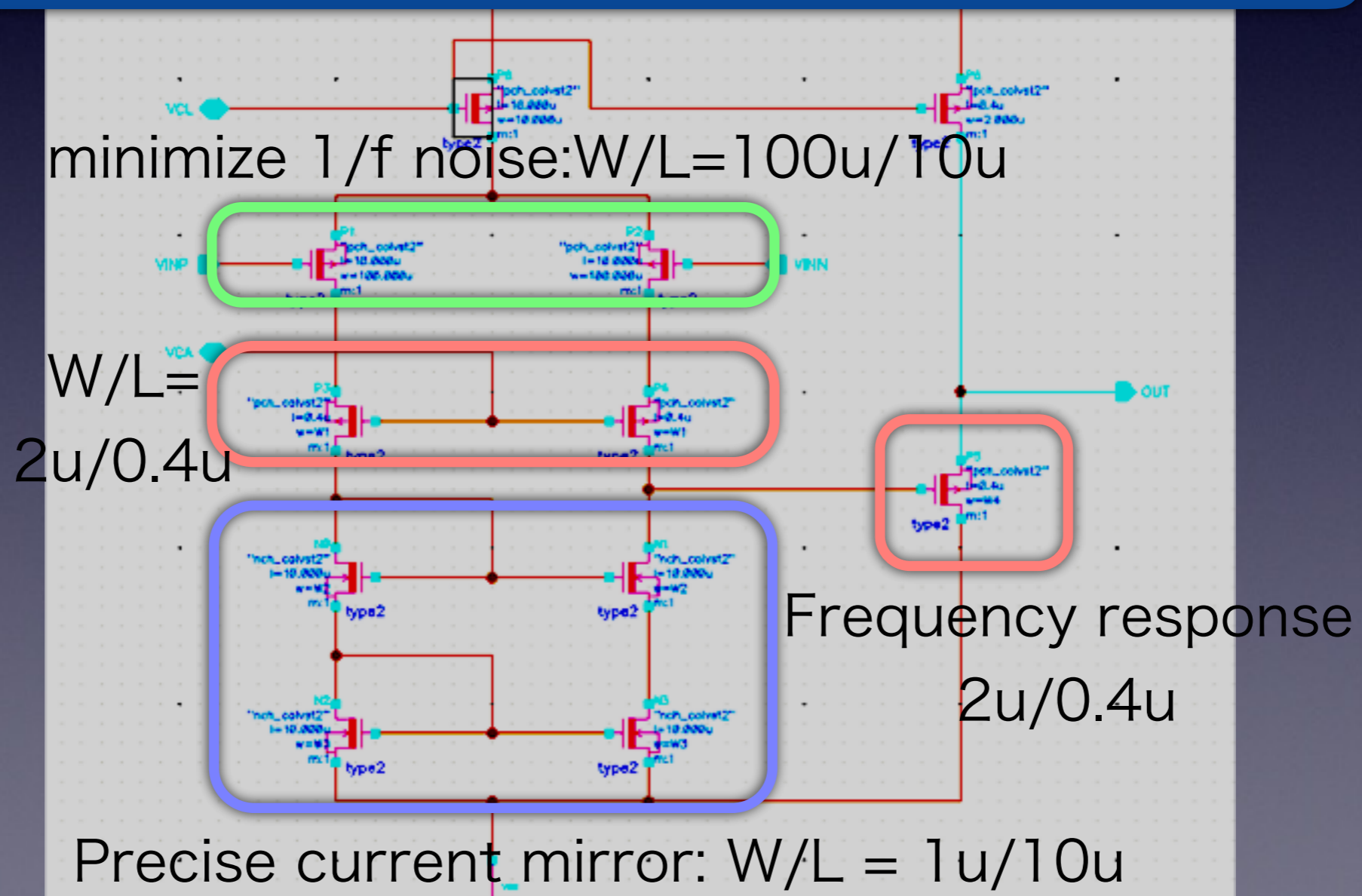
Design of the readout circuit



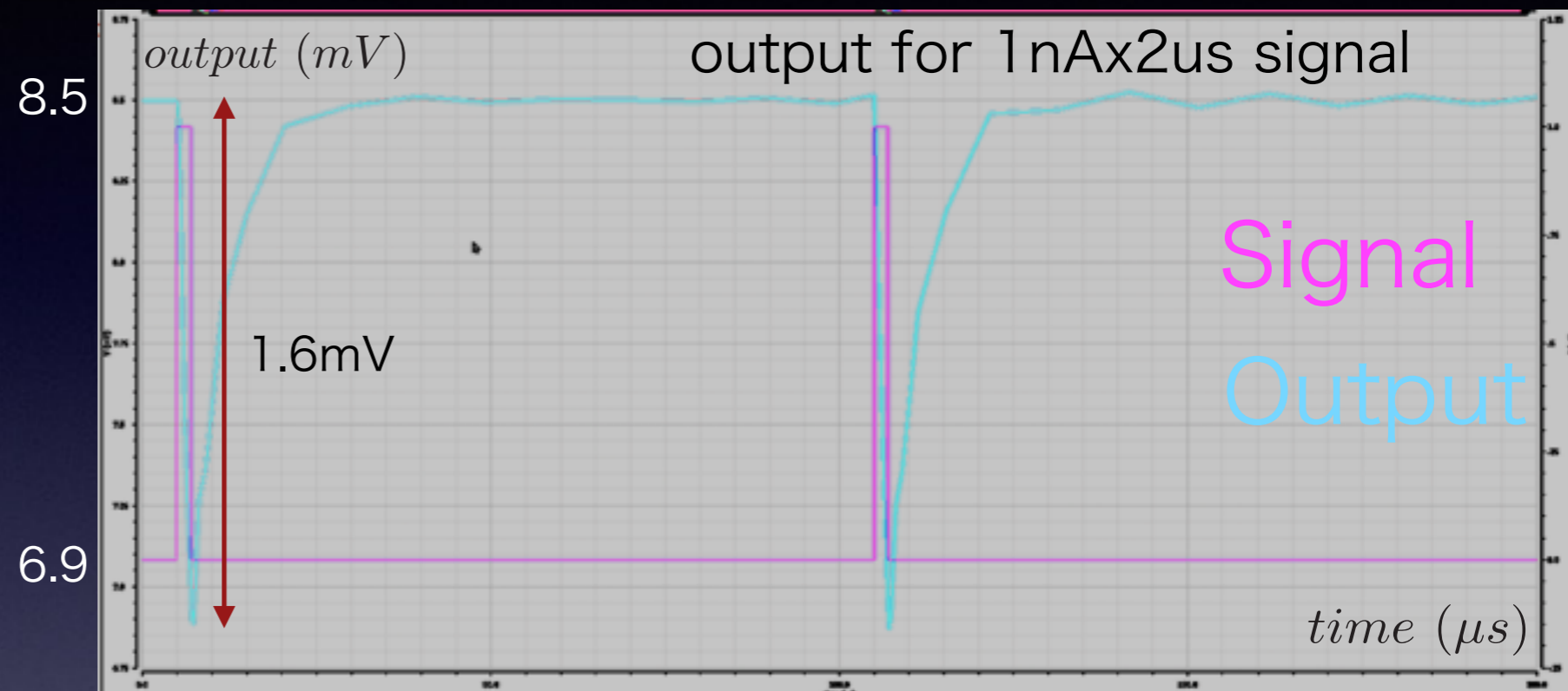
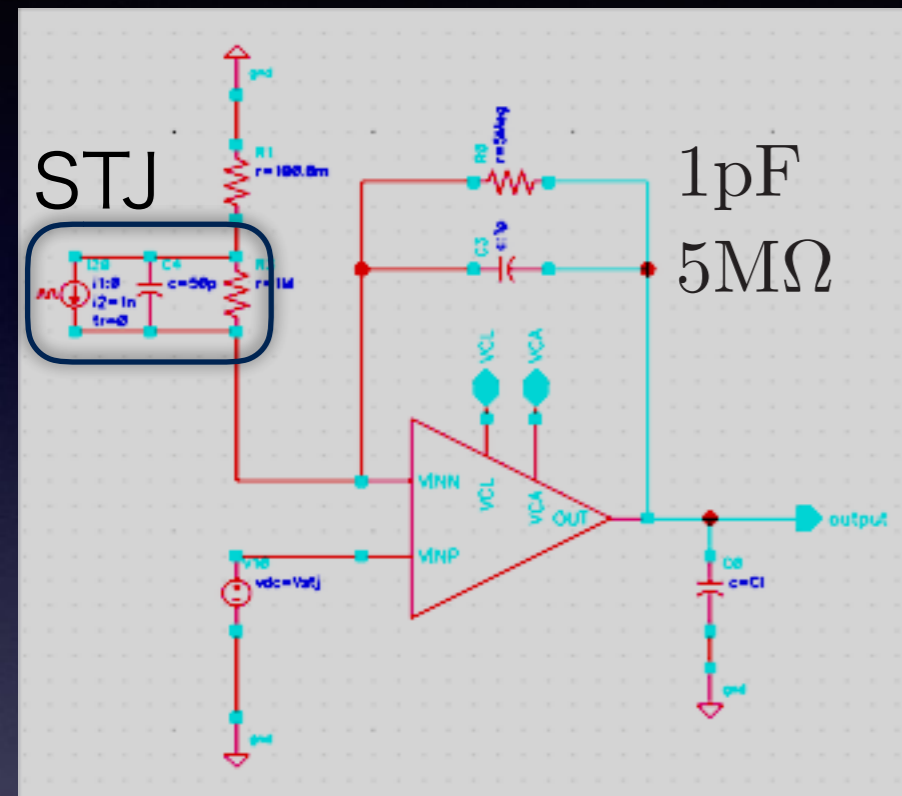
- 3He冷凍機には3つの温度ステージがある: 300mK, 3K and 60K
- STJは300mKステージで運転される。
- FD-SOI 前置増幅器は3Kステージで動作させる。
- バッファ回路を60Kステージに置いて冷凍機の配線容量を駆動する
- 次回MPWランで作製するアンプの目標は1.3umの単一光子検出

Candidate of op-amp design

The telescopic cascode structure is employed
Low noise, low power dissipation and fast response



Simulation result



- SPICE simulation(*) is performed with room temperature condition

* Supported by VLSI Design and Education Center(VDEC), the U. Tokyo in collaboration with Synopsys, Inc., Cadence Design Systems, Inc., and Mentor Graphics, Inc.

- フィードバック容量、および抵抗は1pF and 5MΩ
- STJのリーク電流は400pA@0.4mVを仮定した
- 検出器の容量、読み出し配線の容量はそれぞれ50pF
- $1\text{ nA} \times 2\text{ us} = 2\text{ fC}$ (600nm single photon) の電荷入力に対して1.6mVの出力が得られた

まとめ

- ・ Nb/Al-STJとSOIアンプの統合を目指す。
 - ・ 八木: FETの特性評価とSPICEモデル構築用I-V測定
 - ・ 先崎: SOI-STJ4の評価
 - ・ 森内: STJの容量測定と評価系の構築
 - ・ 木内: 次期SOIアンプの設計
- ・ SOI-FETは低温で非常に良い特性を示し、SPICEモデルの構築が完了した。
- ・ アンプ部はシミュレーション上は1.3uの単一光子を測定可能であることを確認した。
ただし、アンプ前(STJ+配線)の容量を50pFにする必要がある。
- ・ アンプの周辺回路の設計を行うと共に、種々の改善を模索中。