



SOI技術を用いた高位置・時間分解能を有するモノリシック型ピクセル検出器SOFISTの開発研究



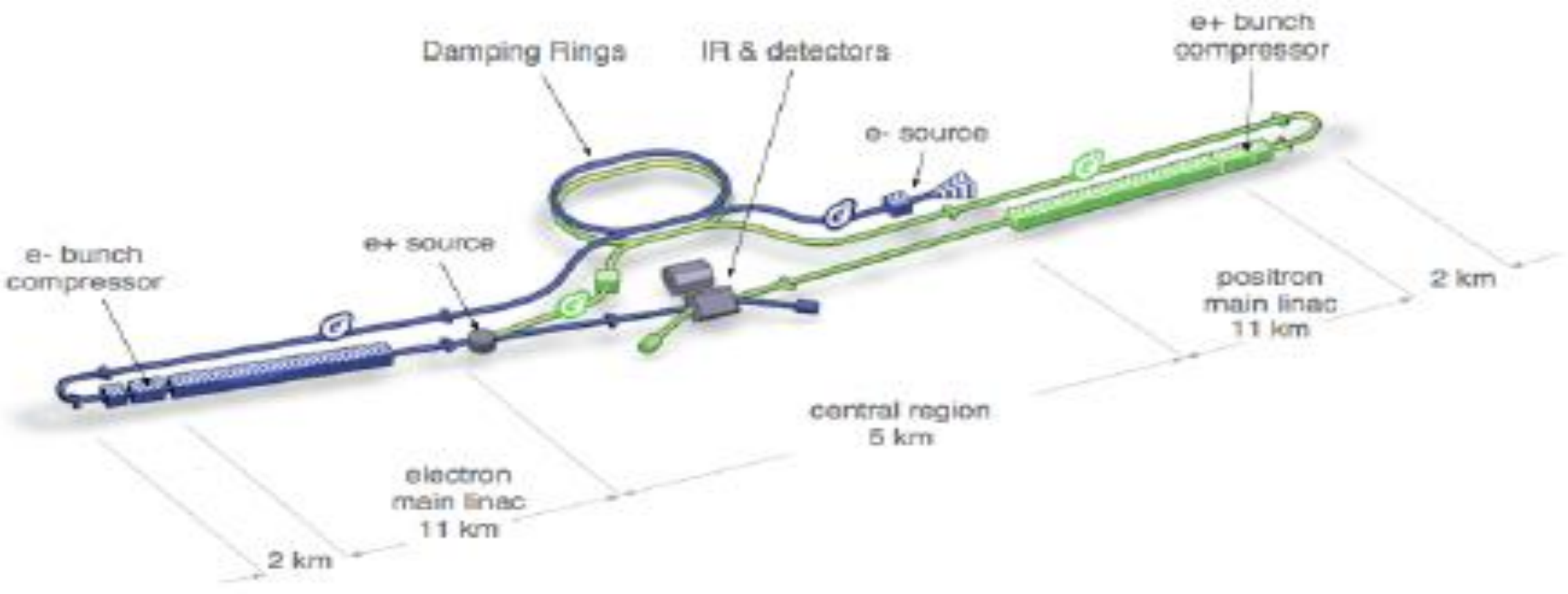
筑波大学
University of Tsukuba

山内大輝、原和彦、岩波四季恵、村山仁志、^A山田美帆、^A小野俊、^A坪山透、^A新井康夫、^A倉知郁生、^A外川学、^A池上陽一、^BTaohan Li
筑波大数理物質、^AKEK-INPS、^B東北大理学



SOIピクセル検出器のILC実験での応用

- ILC実験
- ・ 加速器：電子・陽電子衝突型の線形加速器
- ・ 重心系エネルギー：250 GeV ~
- ・ 目的：ヒッグス粒子の精密測定、BSMの探索 etc...



高ルミノシティ、高頻度でのビーム衝突による生成・崩壊粒子を検出し、発生事象を精密に再構成する検出器システムが必要

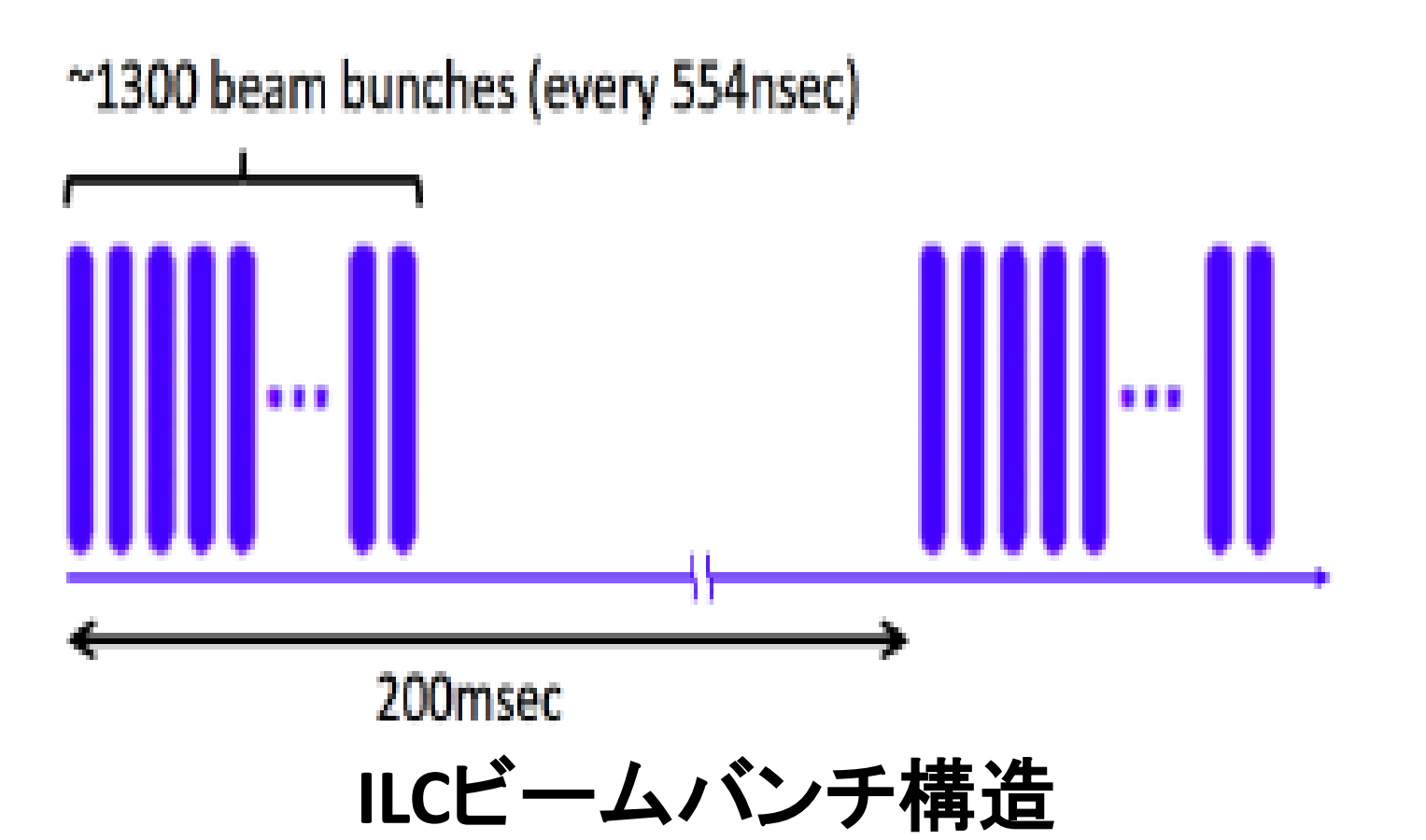
崩壊点検出器への要求

- ・ 位置分解能：3 μm 以下
- ・ (時間分解能：~554 ns)

→我々の目標値

- ・ 動作速度：200 ms/frame
- ・ ピクセル占有率：2 % 以下

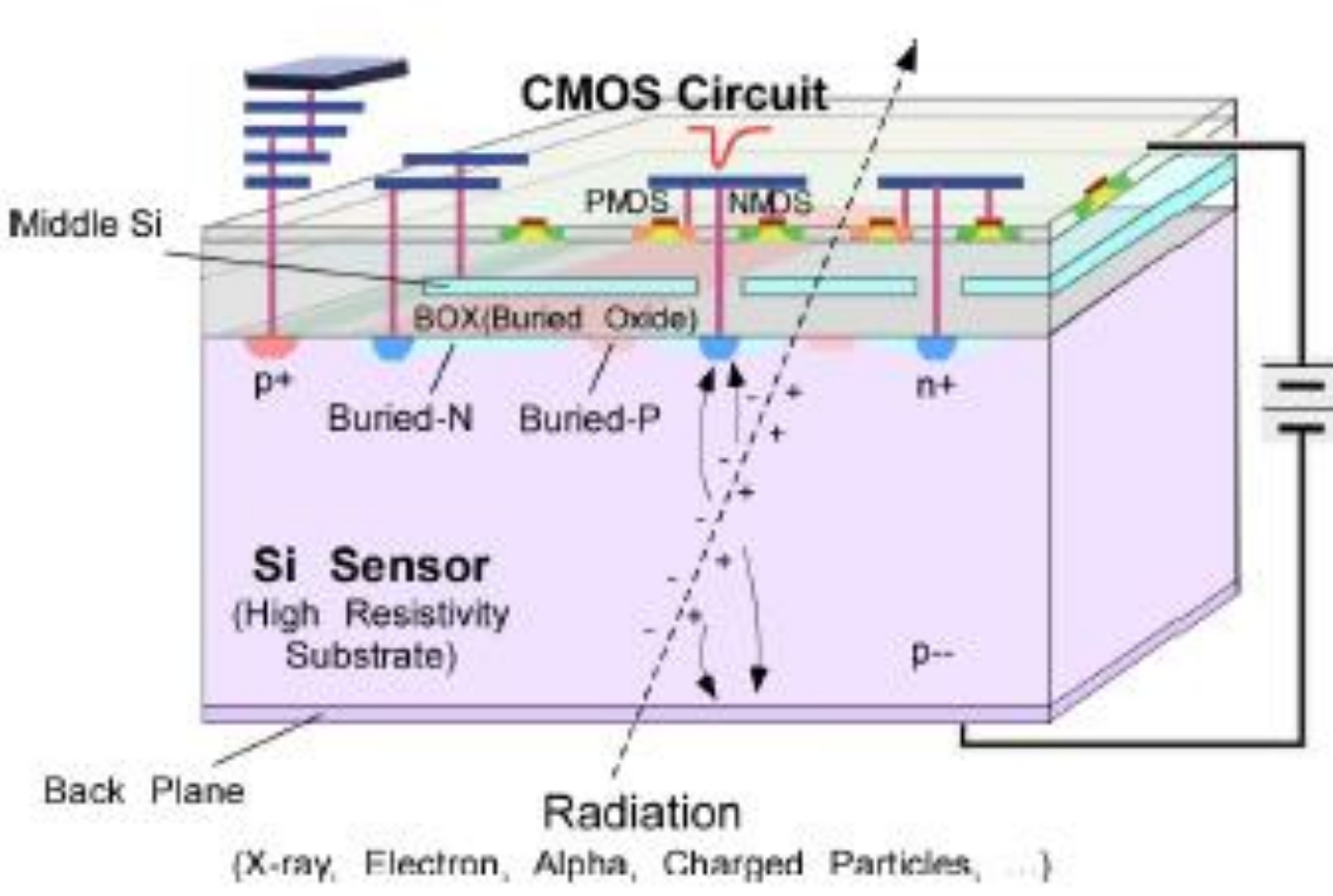
Etc...



SOI技術を用いたILC用崩壊点検出器SOFISTの開発研究を行っている

SOIピクセル検出器SOFIST

- SOI技術
- 酸化膜層 (BOX層) 上に、MOSFETを実装する回路層を形成。下部にはセンサー層を形成
- **モノリシック型検出器**
- SOIピクセル検出器の特長
- 低寄生容量・微細ピクセル構造・
 - 低消費電力・高速動作・高放射線耐性 ...



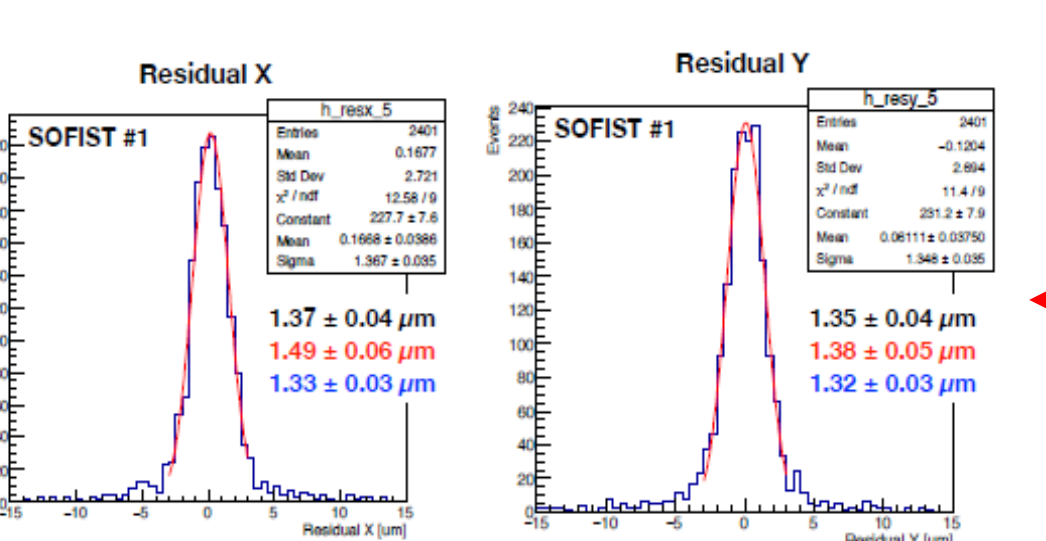
- SOIピクセル検出器SOFIST
- 一つのピクセル内に、**アナログシグナルメモリ・タイムスタンプメモリ・ヒットメモリ**の3つのメモリを実装

→ 検出シグナルの**位置と時間情報を同時計測**

- ピクセル回路構成
- ・ プリアンプ
 - ・ コンパレータ ⇒ 入力シグナルの閾値弁別
 - ・ シフトレジスタ ⇒ 2~3 のヒット情報を保持
 - ・ **アナログシグナルメモリ** ⇒ 電荷の蓄積
 - ・ **タイムスタンプメモリ** ⇒ タイムスタンプの蓄積

- 読み出し回路構成
- ・ Column ADC ⇒ カラム並列でのAD変換
 - ・ ゼロサプレッション回路 ⇒ ヒットが検出された場合のみデータを抽出

■ SOFIST Series



位置分解能1.3 μm の精度を達成

Miho Yamada(KEK) IEEE NSS, Semiconductor Detector I, N-29 2018


	ver.1	ver.2	ver.3	ver.4 (3D)
Beam test at FNAL in Jan. 2017	Yes	Yes	Yes	Yes
Beam test at FNAL in Feb. 2018	No	Yes	Yes	Yes
Under evaluation	No	No	Yes	Yes
Analog signal and Timestamp	No	Yes	Yes	Yes
Under 3D integration	No	No	Yes	Yes
Chip Size (mm ²)	2.0 x 2.0	4.45 x 4.45	6 x 6	4.45 x 4.45
Pixel Size (um ²)	20 x 20	25 x 25	30 x 30	20 x 20
Pixel Array	60 x 50	66 x 64 (Time Stamp)	128 x 128	104 x 104
Functions (Pixel)	Pre-Amplifier (CSA) Analog signal memory (2 Hrs)	Pre-Amplifier (CSA) Comparator (Chopper inverter) Shift register (DFF x 2) Analog signal memory (2 Hrs) Time stamp memory (2 Hrs)	Pre-Amplifier (CSA) Comparator (Chopper inverter) Shift register (DFF x 2) Analog signal memory (2 Hrs) Time stamp memory (2 Hrs)	Pre-Amplifier (CSA) Comparator (Chopper inverter) Shift register (DFF x 2) Analog signal memory (2 Hrs) Time stamp memory (2 Hrs)
Functions (On Chip)	Column ADC (8 bit) F2 n-type Single SOI	Column ADC (8 bit) F2 n-type Double SOI	Column ADC (8 bit) F2 n-type Double SOI	Column ADC (8 bit) F2 p-type Double SOI
Wafer	2-in	3-in	3-in	3-in
Wafer Readout (SOIcm)	1-in	1-in	1-in	1-in
Status	Delivered (Dec. 2019) Position resolution < 1.4 μm	Delivered (Jan. 2017) Under evaluation	Delivered (May 2018) Under evaluation	will be delivered (Oct. 2019)

Beam Test in FNAL

set up

2018年2月18日~3月6日
@フェルミ国立加速器研究所 (FNAL)

- ビーム：120 GeV陽子ビーム
- ビーム構造：スプイル構造 (spill duration time : 4s/spill)



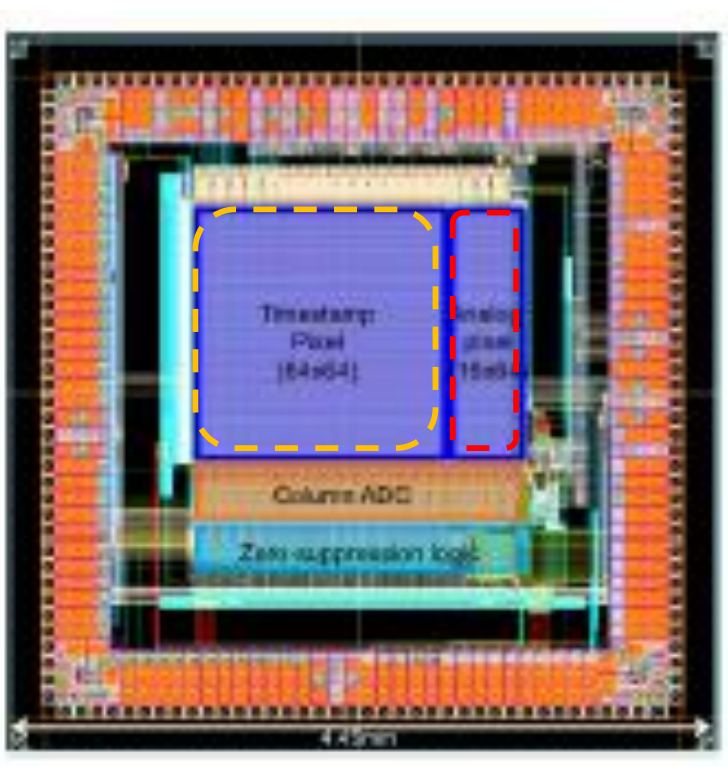
■ Sensors

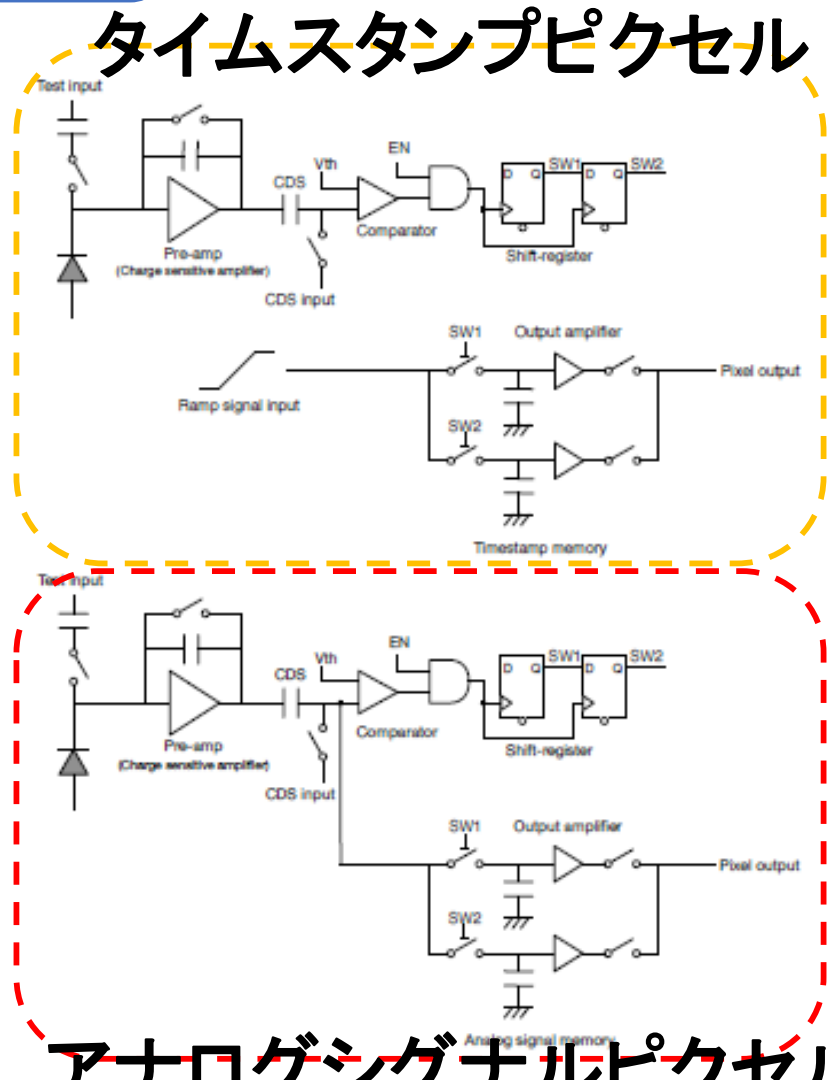
- ・ **DUTs : SOFIST Ver.2 x 3**
- ・ Tracker: INTPIX4 x 4

⇒ 大面積SOIピクセル検出器

- ・ Trigger : scintillator with MPPC

SOFIST Ver.2





タイムスタンプピクセル

アナログシグナルピクセル

SOFIST Ver.2のデザインパラメータ

Chip size	4.45 x 4.45 mm ²
Active area	2.0 x 1.6 mm ²
Pixel size	25 x 25 μm^2
Pixel array	80 x 64
Wafer thickness	300 μm

アナログシグナルピクセル領域 (16 x 64)と、**タイムスタンプピクセル領域** (64 x 64)を持つ。また、今回のビームテストでは、センサー厚を75 μm まで裏面研磨したものを使用した。

Analysis

Time Resolution

検出ヒット位置により2枚のSOFISTセンサー間のタイムスタンプ値の相関 (図1) から、Residualを計算した (図2)

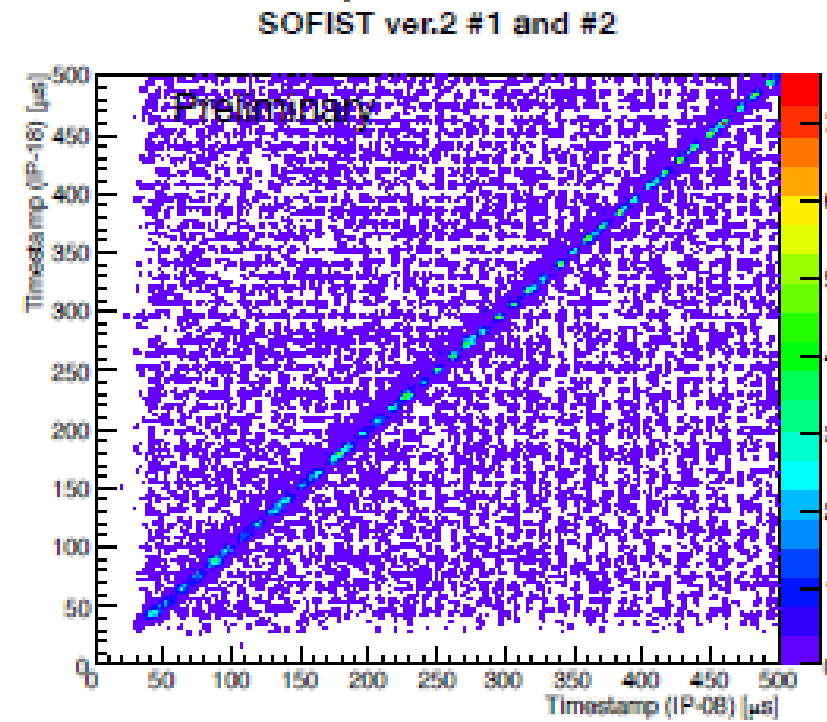


図1

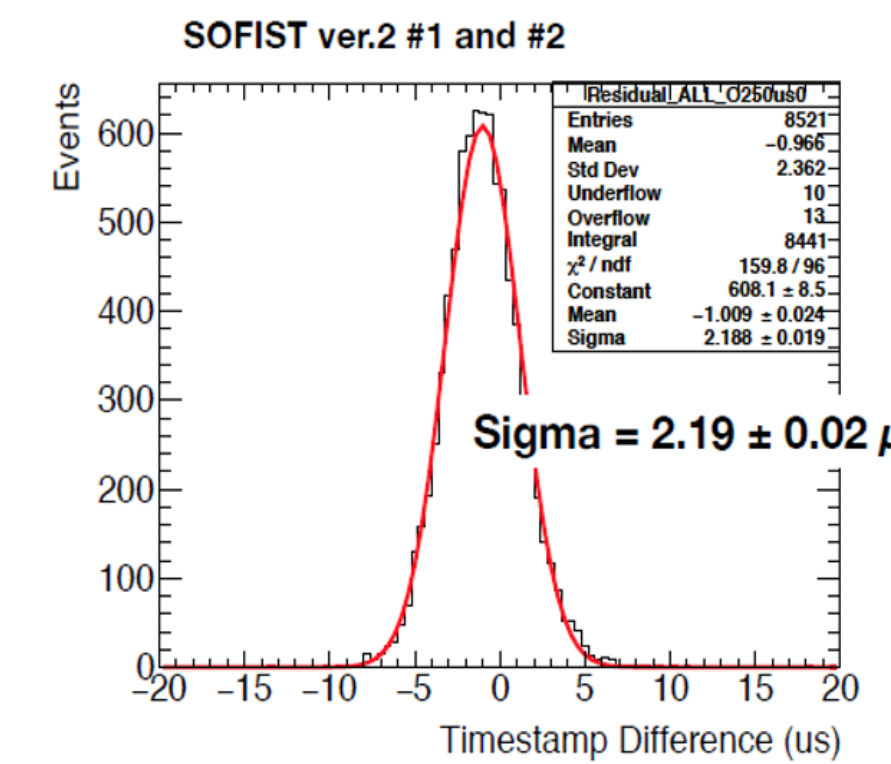


図2

Time Resolution (Intrinsic) : ~1.55 μs

非常に高い時間分解能を達成した。これにより、時間情報を用いてバックグラウンドを1/100 倍に低減が可能で、ILCのトラッキング性能を画期的に改善する。

Position Resolution

INTPIX4でトラックを引き、各SOFIST上のトラック位置と検出ヒット位置の残差を計算した (図3:x方向, 図4:y方向)

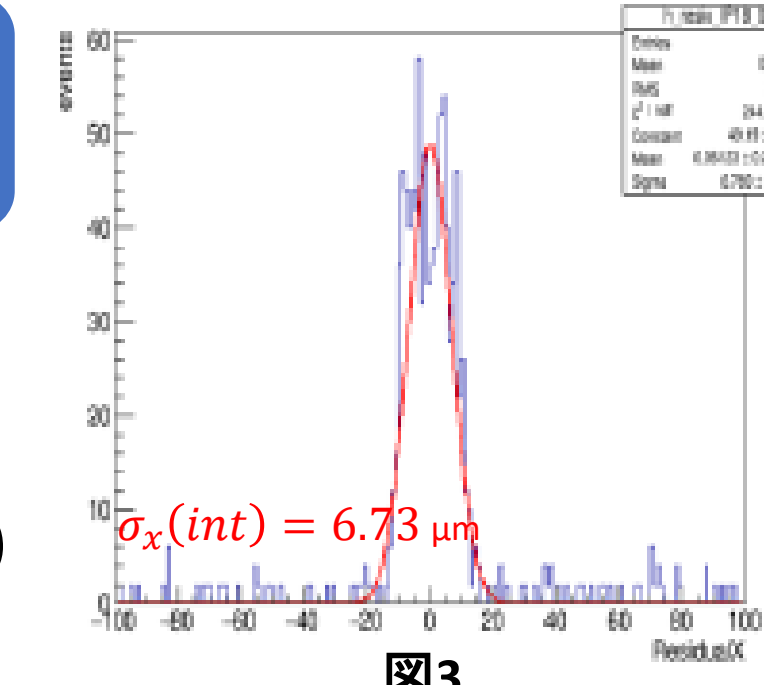


図3

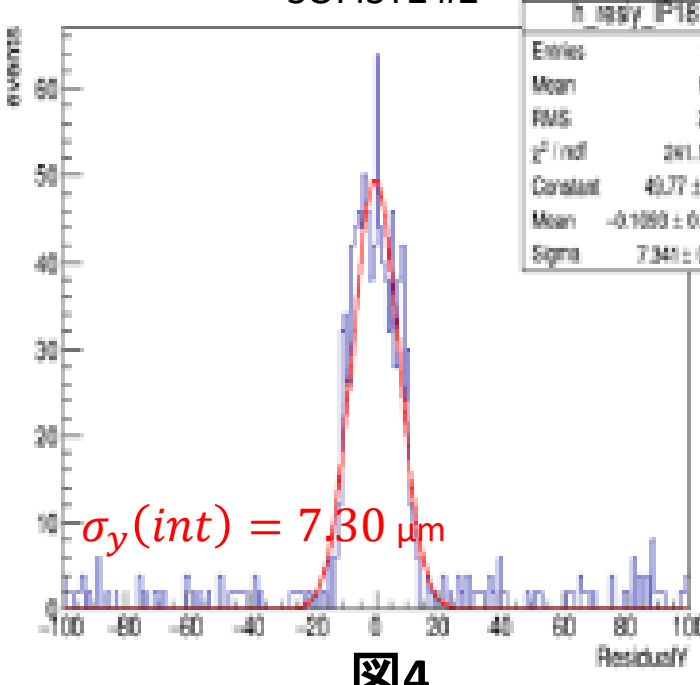
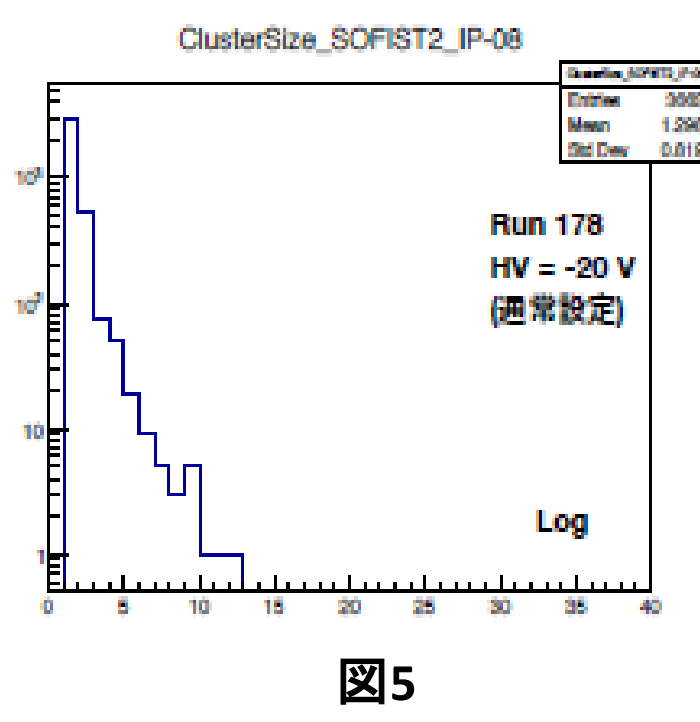


図4

Position Resolution (Intrinsic) : ~7 μm

SOFIST Ver.1と比べて位置分解能が劣るが、これは閾値が高かったためにクラスタが広がらず (図5)、電荷重心法が機能しなかったためである。SOFIST Ver.3では十分に高い閾値に設定できることが分かっている。(3/5までビームテストを実施)



- まとめ
- ・ ILC用崩壊点検出器として、SOI技術を用いたモノリシック型のピクセル検出器SOFISTを開発している。
 - ・ SOFIST Ver.2を高エネルギービームで試験し、時間分解能1.55 μs を達成できることを実証。
 - ・ 時間と位置を同時測定できるSOFIST Ver.3のビーム試験が終了し、性能評価を行っている。
 - ・ 20 μm 角のピクセルサイズにすべての機能を3D実装したSOFIST Ver.4の評価も開始した。